

マイクロプロセッサの熱解析に関する研究

長谷川直之[†] 伊藤 睦夫[†] 江川 隆輔[†] 鈴木 健一[†] 中村 維男[†]

[†] 東北大学大学院情報科学研究科 〒980-8579 仙台市青葉区荒巻字青葉 6-6-01

E-mail: †{nhsos,mutsu,egawa,suzuki,nakamura}@archi.is.tohoku.ac.jp

あらまし 近年の半導体加工技術の進歩と新しいマイクロアーキテクチャにより、マイクロプロセッサの性能は劇的に向上している。しかし、それに伴いチップ自体の発熱問題が表面化し、チップ内部の温度分布を扱える熱解析と熱を考慮した回路設計の重要性が増している。早期設計段階のみを対象とした既存の熱解析手法は機能ブロック単位で発熱源をモデル化しているため、スタンダードセルを用いたより詳細な設計段階において熱の振舞いを正確に把握し設計に反映させることが困難である。そこで本研究では、論理ゲートを発熱源とする細粒度の発熱モデルを用いた熱解析手法を提案し、細粒度発熱モデルによって得られる温度プロファイルを定量的に評価し、本提案手法の有効性について論じる。

キーワード 熱解析、セルレベル、ホットスポット

Thermal Analysis on Microprocessors

Naoyuki HASEGAWA[†], Ito MUTSUO[†], Ryusuke EGAWA[†], Ken-ichi SUZUKI[†], and

Tadao NAKAMURA[†]

[†] Graduate School of Information Sciences, Tohoku University Aramaki Aza Aoba 6-6-01, Aoba-ku, Sendai-shi, 980-8579 Japan

E-mail: †{nhsos,mutsu,egawa,suzuki,nakamura}@archi.is.tohoku.ac.jp

Abstract Recently, the advance in the semiconductor process technology and the modern microarchitectural techniques have enabled microprocessors to obtain higher performance continuously. However, as a result of the radical improvement, in turn, inevitable high temperature induced by the circuits restricts the performance and reliability. Consequently, it is very important to analyze on-chip temperature distribution and apply the results of it to the design. Conventionally, most of the existing thermal analyzing methods regard a functional block as a heat source due to focusing on early design stages. It has a difficulty in comprehending and making use of the thermal behavior on later design stages. In our study, we propose a fine-grain thermal analysis method modeling a logic gate as a unit of a heat source. This paper shows quantitative evaluations of the effect of the fine-grain heat source model, and discusses the effectiveness of our proposal.

Key words Thermal Analysis, Cell Level, Hotspot

1. ま え が き

近年の半導体加工技術のめざましい発展により、高速、高機能なマイクロプロセッサが実現されている。しかし一方で、高集積化に伴いこれまで表面化しなかった新たな問題が生じてきている。その中で早急な対策が求められているのが、回路の電力密度の増加に伴う回路自体の発熱問題である。特に、回路内部の時間的、空間的に局所的な高温領域、いわゆるホットスポットの発生に対する対応が強く求められている [1]。

回路内の非均一な高温領域であるホットスポットは、トラン

ジスタの動作速度の低下、リーク電流の増加、ひいては回路自身の物理的破壊を引き起こすことが報告されている [2]。加えて、回路上の局所的な高温は微少な回路内部に急激な温度勾配を生じさせる。これにより、トランジスタと配線の双方に関してタイミングと信号のずれを引き起こすため、シグナルインテグリティの劣化を招くこととなり、回路の信頼性が損なわれる。従って、微細加工技術下の高性能回路の実現には、回路内部の温度、及び熱の振舞いを設計早期段階で把握し、設計に反映させることが不可欠である。

Huang らは回路設計の各段階において、熱の振舞いを把握

し設計に反映させる temperature-aware design を提唱している [3]。しかし、これまでの回路の発熱解析に関する研究の多くは、機能ブロックを発熱源としたシステムアーキテクチャレベルのものである。ここでは、回路設計の最終段階である機能ブロック内部のセルの配置配線において、その解析データを十分に生かすことができない。そこで、本研究では ASIC 設計の基本構成要素であるセルを発熱源とした細粒度熱解析手法の確立を目指し、その有用性を示す [4]。具体的には、チップ表面の熱解析をセルレベルで行うことにより、機能ブロックレベルでの熱解析よりも詳細な解析データが得られることを示す。また、細粒度熱解析手法の必要性を示すため、従来の粗粒度解析をそのまま細粒度の熱解析に用いることによる危険性について示す。

2. 有限差分法を用いた熱解析手法

本章では、一般的な熱伝導方程式の有限差分法による熱解析手法について述べる。チップ表面の温度分布は熱伝導方程式を解くことによって求めることができる。しかしながら、熱伝導方程式は特定条件下においてしか解析解を求めることができない。今回解析対象となるのはチップのパッケージングモデルであり熱伝導率は一様でない。この場合、解析解を得ることはできない。よって、数値シミュレーションを用いた解析が必要になる。

本章ではまず、既存の熱解析において用いられている熱伝導方程式を示す。次に、熱伝導方程式を数値シミュレーションによって解くために、熱伝導方程式の離散化を行う。

2.1 非定常熱伝導モデル

3次元物体内部の熱伝導は次の偏微分方程式で表される。

$$c\rho\frac{\partial T}{\partial \tau} = \frac{\partial}{\partial x}\left(\lambda\frac{\partial T}{\partial x}\right) + \frac{\partial}{\partial y}\left(\lambda\frac{\partial T}{\partial y}\right) + \frac{\partial}{\partial z}\left(\lambda\frac{\partial T}{\partial z}\right) + \dot{q}_v \quad (1)$$

ここで、 τ は時間、 T は温度である。また、単位時間、単位体積あたりの内部発熱を $\dot{q}_v(x, y, z, \tau)$ 、物質の比熱を c 、密度を ρ 、熱伝導率を λ で表す。

2.2 熱伝導方程式の離散化

数値解析的に式 (1) を解くため、コントロールボリュームの考え方をを用いて離散化を行う。まず解析領域を、計算領域が重なり合わない微小体積要素となるように分割する。この微小領域の中心が解析点となる。そして、この微小領域をコントロールボリュームと呼ぶ。微分方程式を各々のコントロールボリュームにわたって積分することにより離散化方程式を導く。

3次元コントロールボリュームを図1に示す。 $\Delta x, \Delta y, \Delta z$ は点Pまわりのコントロールボリュームの大きさを表す。これらの値を用いて離散化方程式の誘導を行うと次のようになる。

$$a_P T_P = a_E T_E + a_W T_W + a_N T_N + a_S T_S + a_T T_T + a_B T_B + b \quad (2)$$

ただし

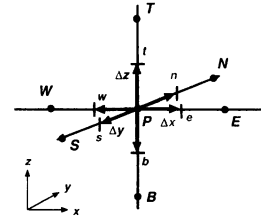


図1 3次元コントロールボリューム

$$a_E = \frac{k_x \Delta y \Delta z}{\Delta x}, \quad a_W = \frac{k_w \Delta y \Delta z}{\Delta x} \quad (3)$$

$$a_N = \frac{k_n \Delta z \Delta x}{\Delta y}, \quad a_S = \frac{k_s \Delta z \Delta x}{\Delta y} \quad (4)$$

$$a_T = \frac{k_t \Delta x \Delta y}{\Delta z}, \quad a_B = \frac{k_b \Delta x \Delta y}{\Delta z} \quad (5)$$

$$a_P^0 = \frac{\rho c \Delta x \Delta y \Delta z}{\Delta t} \quad (6)$$

$$b = S \Delta x \Delta y \Delta z + a_P^0 T_P^0 \quad (7)$$

$$a_P = a_E + a_W + a_N + a_S + a_T + a_B + a_P^0 \quad (8)$$

単位体積・単位時間当たりの熱発生率を S とする。隣接点係数 $a_E, a_W, a_N, \dots, a_B$ は、格子点 P とそれに対応する隣接点間のコンダクタンスを表している。 $a_P^0 T_P^0$ は時刻 t においてコントロールボリュームがもつ内部エネルギーである。定数項 b は内部エネルギーと S によるコントロールボリューム内部の熱発生から成り立っている。

3. パッケージングモデル

本章では、回路を取り囲むパッケージングモデルを熱抵抗回路網によって表現する方法について示す。チップ表面の発熱分布はパッケージングモデルにより大きく影響を受ける。よって、チップ外のパッケージングモデルをどのように熱抵抗回路網として構築するかが、熱解析の精度を決める上で重要となる。

3.1 3次元熱抵抗回路網

一般的なマイクロプロセッサチップのパッケージングモデルを図2に示す。シリコンダイはヒートスプレッドに面して設置される。ヒートスプレッドは熱伝導率の高いアルミまたは銅からなる。シリコンダイとヒートスプレッド間には熱伝導率を高めるためインターフェース材料としてシリコングリース等が塗られている。さらに、ヒートスプレッドに面してヒートシンクが設置される。ヒートシンクも熱伝導率の高いアルミまたは銅からなり、表面は放熱効率を高めるためフィン構造をとる。これら一般的なパッケージングにおける熱解析では、シリコン表面のトランジスタにおいて発生した熱が、パッケージの各層を通して、最外層のヒートシンクで自然放熱すると仮定する。

図3に熱解析ツール ILLIADS-T [5] において用いられている熱抵抗回路網を示す。計算量削減のためシリコンダイのみに、水平方向への熱流も考慮可能な3次元の熱抵抗回路網を用いている。シリコンダイに比べて、比較的的水平方向の温度が一様な

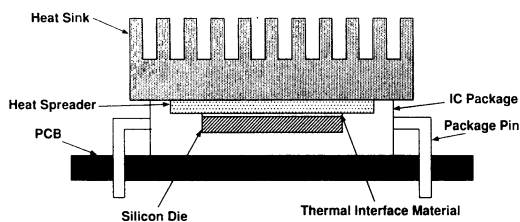


図2 一般的なパッケージングモデル例

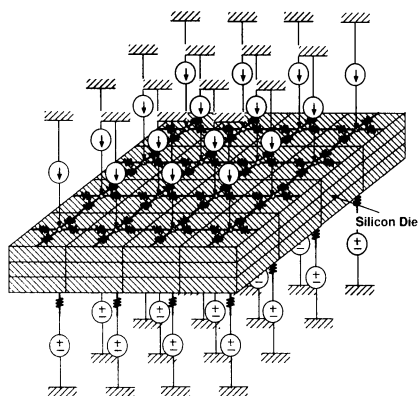


図3 ILLIADS-Tの熱抵抗回路網 [5]

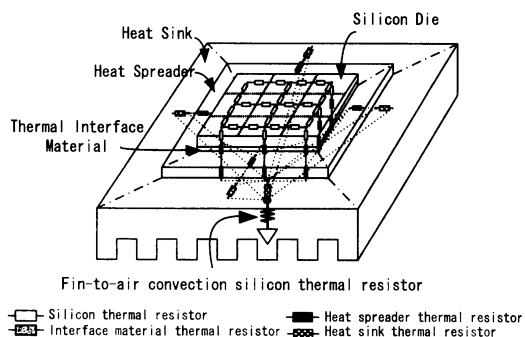


図4 HotSpotの熱抵抗回路網 [3]

ヒートスプレッドから外部の対流熱抵抗までは一次元熱抵抗として近似している。

次に熱解析ツール HotSpot [3] の熱抵抗回路網を図4に示す。シリコンダイからヒートスプレッドまでをそれぞれ層構造で解析している。ヒートスプレッド、ヒートシンクのシリコンダイ外側へ向かう広がりやを考慮し、水平方向へも熱抵抗回路網が接続されている。HotSpotのような機能ブロックレベルの熱解析では、水平方向のコントロールボリュームの大きさに対して垂直方向の厚さは小さいため、各物質層を分割することなく一層の熱抵抗回路網とおいても問題ないとしている。

本研究では、ILLIADS-Tの3次元回路モデルを、シリコンダイからヒートシンクまで3次元解析できるように改良した。なぜなら、シリコンダイ下面では水平方向の温度は一樣になっ

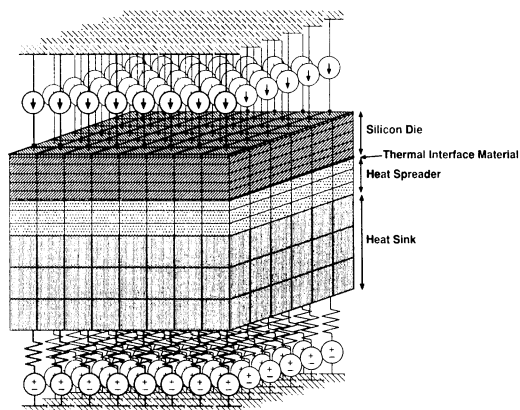


図5 3次元熱抵抗回路網

ておらず、シリコンダイ内部のみに3次元解析を用いるだけでは不十分であると考えられている。また、水平方向のコントロールボリュームの分割間隔を可変にし、部分的な解析粒度の変更を可能にした。細粒度の熱解析では、その細かな解析粒度に対応しなければ、正確な熱解析結果は得られないと考えるからである。本研究において用いる熱抵抗回路網を図5に示す。

4. セルレベル熱解析

4.1 機能ブロックレベルとセルレベルの違い

セルレベルの熱解析においては、従来は機能ブロックごとに平均化されていた各セルを発熱源として考える。セルの消費電力データは、回路の設計初期段階において得られる最も細かい電力データである。よって、これは提案する細粒度の熱解析であるといえる。機能ブロックレベルとセルレベルの違いを図6に示す。従来は、回路の設計テクノロジーが現在ほど進んでおらず、動作周波数も低かったため、セル一つ一つの発熱は問題となる程大きなものではなかった。従って、ある程度まとまった機能ブロック単位の発熱解析で十分であった。しかし、テクノロジーの進歩により単位面積あたりに搭載されるトランジスタの数が増え、動作周波数も上昇している。よって、使用頻度や構成による各セルの消費電力の差はますます大きくなると考えられる。セルレベルで発熱を考えることは、解析のための計算コストを増大させるが、今後はそのコストに見合う解析結果が得られると予想される。本研究では、セルレベルの熱解析の有効性を明らかにするために、比較的大規模な32-bit RISCプロセッサの熱解析を行う。次に、本研究において用いたセルレベルにおける解析データの取得方法について示す。

4.2 解析データの取得

本研究では、熱解析の対象回路として、32bit プロセッサ OpenRISCを使用する。

OpenRISCとは、オープンソースハードグループ「OpenCores」が中心となって開発を進める、HDLソースコードが公開されている32bitのRISC型プロセッサである。同プロセッサは、現在オープンソース設計として利用できるRISCプロ

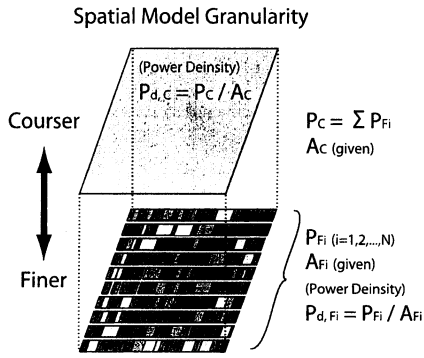


図6 機能ブロックレベルとセルレベルの違い

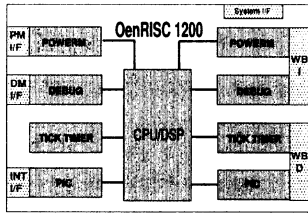


図7 OpenRISCのアーキテクチャ

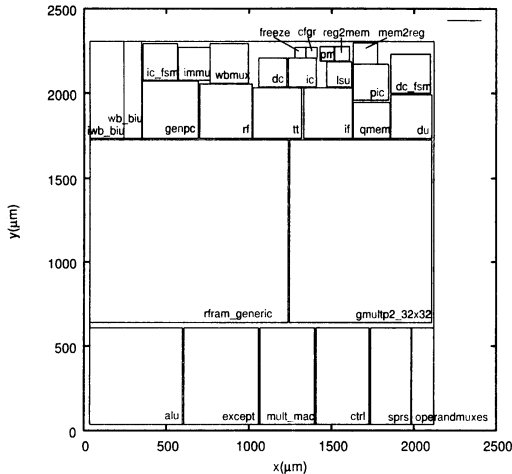


図8 機能ブロックの配置

セッサコアをベースにしている。OpenRISC 1200のアーキテクチャを図7に示す。gcc, binutils も移植され、uClinuxなども動作可能である[6]。

本報告では配布されているHDLを使用して、ROHMの0.35 μ m CMOS プロセステクノロジーを用いて設計する。スタンダードセルは、EXD社製のセルライブラリを用いる。各機能ブロックのレイアウトを図8に示す。また、セルのレイアウトを図9に示す。回路面積は2100 \times 2300 μ m²である。機能ブロック数は30であり、総セル数は14791個である。今回の実験条件下において、チップ全体の消費電力は271.3(mW)であ

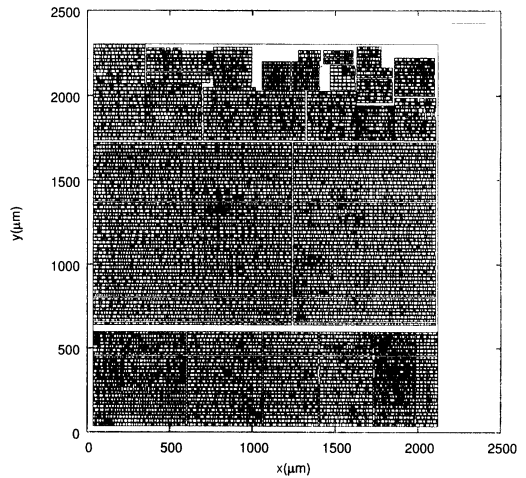


図9 セルレイアウト

り、平均電力密度は5.61(W/cm²)である。

解析データの取得手順について示す。まず、Synopsys Scirowco^(注1)による論理シミュレーションにより、回路の動作を確認する。次に、Design Compilerを用いて論理合成を行い、各セルのネットリストを得る。ネットリストを用いたゲートレベルシミュレーションにより、各セルのスイッチング情報を得る。ネットリストとスイッチングファイルを用いて、DeignPowerより各セルの消費電力を得る。

各セルのレイアウトは、Avanti!社 Milkyway、及び Apolloを用いて行う。今回はテストベンチとして、整数の加算を連続して行うプログラムを与えた。OpenRISCはgccコンパイラを使用することが可能であるため、今後は他のテストベンチを用いて消費電力、電力分布の比較を行う予定である。

5. 実 験

前章において示したOpenRISCのレイアウトを使用し、セルレベル熱解析と機能ブロックレベル熱解析の比較を行う。また、従来の機能ブロックレベルの熱解析では問題とならなかった垂直方向の解析粒度が、チップ表面の温度分布に与える影響についても調べる。

5.1 実験条件

チップのパッケージモデルとして、Huangらが[3]で用いたパッケージモデルと同じパッケージモデルを使用する。Alpha 21364の代わりに、レイアウトしたOpenRISCがシリコンダイ上に載っていると仮定する。パッケージングモデルの物性値を表1に示す。外気の温度を27 C (300K)とする。また、外気の熱伝達率 $h(\text{W}/(\text{m}^2 \cdot \text{K}))$ をヒートシンクの広がりによる放熱効果を考慮し39060とする。水平方向のグリッド数を100 \times 100とした。コントロールボリュームの大きさは、 Δx 、 Δy がそれ

(注1)：本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社の協力で行われたものである。

表 1 パッケージングの物性値

物性値	単位	シリコンダイ	インターフェース マテリアル	ヒートスプレッド	ヒートシンク
物質	-	Si	silicon gel	Cu	Cu
熱伝導率	W/(mK)	100.0	1.3333	400.0	400.0
厚さ	mm	0.5	0.075	1.0	6.9
面積	m ²	0.0159 × 0.0159	0.0159 × 0.0159	0.03 × 0.03	0.06 × 0.06

表 2 垂直方向のコントロールボリュームの分割

解析層	熱伝導率 (W/mK)	解析層の厚さ (mm)	
		通常分割	詳細分割
シリコンダイ	100.00	0.01	0.001
			0.009
		0.48	0.04
			0.1
			0.1
			0.1
			0.1
		0.04	
0.01	0.01		
インターフェースマテリアル	1.3333	0.075	0.075
ヒートスプレッド	400.00	0.1	0.1
		0.8	0.8
		0.1	0.1
ヒートシンク	400.00	0.1	0.1
		6.7	6.7
		0.1	0.1

それぞれ 21 μ m、23 μ m となる。垂直方向のコントロールボリュームの分割については、二つの場合について考える。シリコンダイをおおまかに 3 層に分割した場合と、表面付近を中心に 9 層に分割した場合である。それぞれを、通常分割、詳細分割と呼ぶこととする。その他の層は、インターフェースマテリアル層を 1 層、ヒートスプレッドを 3 層、ヒートシンクを 3 層に分割する。詳しい垂直方向における分割条件を表 2 に示す。動作周波数は 100MHz であると仮定する。

次に、シミュレーションの結果を示す。

5.2 解析粒度の違いが温度分布に与える影響

まず、セルレベルと機能ブロックレベルの解析で得られる温度分布の違いを示す。図 10、図 11 にセルレベル熱解析、機能ブロックレベル熱解析それぞれの場合における、チップ表面の温度分布を示す。セルレベル熱解析の方が部分的に細かな温度分布が得られている。チップ上の最大温度と最小温度の差も、機能ブロックレベルの解析では約 0.8K であるのに対して、セルレベルの解析では約 1.4K の温度差が生じていることが分かる。

次に、さらに詳細な比較を行うため、機能ブロック内部の温度分布に注目した。回路右下に位置する、機能ブロック ctrl 内部の温度分布を図 12 に示す。まず、最大温度点の位置がそれぞれにおいて異なることが分かる。セルレベルによる解析では中央に最大温度点があるのに対して、機能ブロックレベルでは下端に最大温度点が位置する。また、温度の大きさにも違いがあることが分かる。最小温度ではほとんど差が見られないが、最大温度では、0.3K の差が生じている。また、機能ブロック内の温度差は、セルレベルでは 0.77K であったのに対し、機能

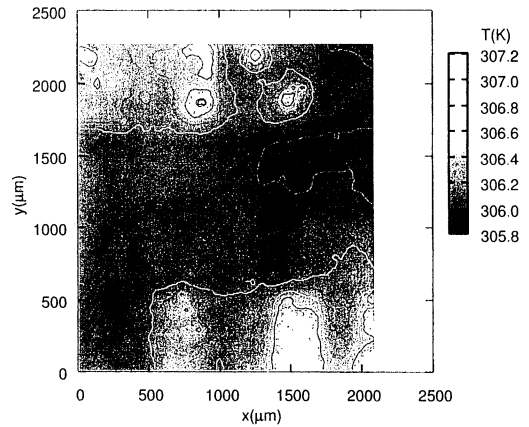


図 10 セルレベル解析

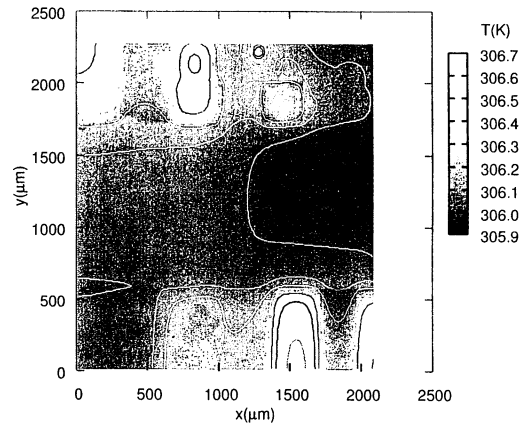


図 11 機能ブロックレベル解析

ブロックレベルでは 0.47K であった。この機能ブロック ctrl においては、最大温度点と最小温度点の距離はセルレベルの方が小さいため、機能ブロック内の温度勾配を比較するとさらに大きな違いとなる。

図 13 に各機能ブロック内の温度差について示す。機能ブロックレベルの解析では、発熱分布が平均化されているため温度差が起こりにくい。機能ブロック内の温度差はほぼ 0.5K 以下となっている。一方、実際の発熱分布に近いセルレベルの解析では、温度差が最大で 0.95K となっている。特に、機能ブロック rf では、機能ブロックレベル熱解析とセルレベル熱解析の間で、温度差の違いが 0.67K と大きなものとなっている。機能ブロック内の一部のセルのみが大きな発熱を持っていたため、発熱が平均化される機能ブロックレベルと平均化されないセルレベルの場合で大きな差が生じたと考えられる。

最後に、従来の機能ブロックレベルの熱解析では問題とならなかった垂直方向の解析粒度が、チップ表面の温度分布に与える影響について調べる。セルレベル熱解析を、垂直方向のコントロールボリュームの分割を通常分割で行った場合と、詳細分

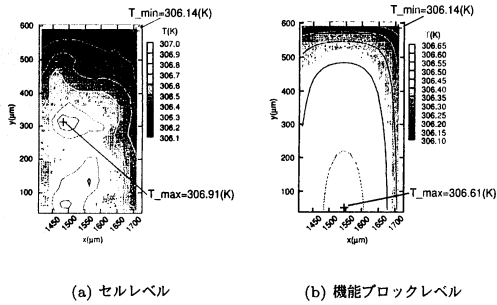


図 12 機能ブロック ctrl 内の温度差

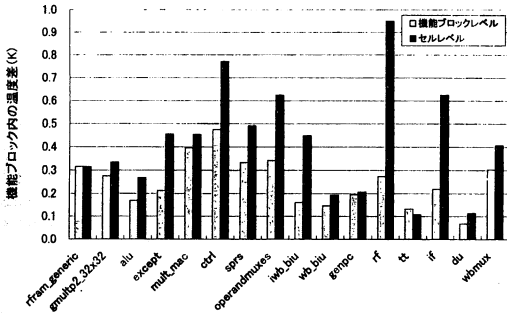


図 13 機能ブロック内の温度差の比較 (機能ブロックレベルとセルレベル)

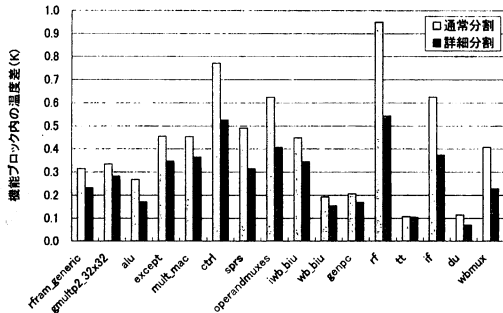


図 14 機能ブロック内温度差の比較 (通常分割と詳細分割)

割で行った場合について比較する。それぞれの解析で得られた、機能ブロック内の温度差を図 14 に示す。温度差の大きな機能ブロックほど詳細分割では、その温度差が小さくなっていることが分かる。詳細分割の方が、チップ表面付近を細かく分割しているため、チップ表面付近での水平方向への熱の移動が起こりやすいためであると思われる。

5.3 考察

実験より、機能ブロック内に局所的な高温部分が発生する可能性があることが分かった。従来の機能ブロックレベルだけの熱解析では、この局所的な高温部分を見逃す恐れがある。

また、セルレベルの熱解析では、シリコンダイ表面の垂直方向の解析粒度の違いにより、温度分布に大きな差が生まれることが分かった。機能ブロックレベルのシミュレーションを想定した解析粒度の粗い解析モデルを、そのままセルレベルの解析において用いると、正しい結果が得られない可能性がある。

テクノロジーの進歩により単位面積あたりに搭載されるトランジスタ数が増大し、今後いままでも以上に様々な機能がチップ上に搭載されることが予想される。それに伴い、従来は複数の機能ブロックに分けられていた機能が単一の機能ブロックに統合されることが予想される。複数の機能ブロックを統合することは、機能ブロック間の配線を無くし、配線面積を削減する上で有利だからである。このような場合、機能ブロック内のトランジスタは常に等しく使用されるわけではなく、機能ブロック内に局所的な高温部分の発生する可能性がますます高くなると予想される。機能ブロックレベルでの解析のみでは、このような局所的な高温部分に対応できない。よって、今後は回路設計の段階に合わせて、機能ブロックレベルの解析のみならず、セルレベルの解析も合わせて行うことが必要になると考える。

6. おわりに

本研究では、回路設計の初期段階におけるチップ上の熱解析に注目し、32-bit RISC プロセッサについて機能ブロックごとの熱解析とさらに詳細なセルレベルの熱解析を行った。この解析により、セルレベルの熱解析では機能ブロックレベルの熱解析よりも詳細なデータが得られることを示した。また、セルレベルでの熱解析においては、垂直方向の解析粒度が温度分布に与える影響が大きいことを示した。

今後の課題として、セルレベルでの熱解析結果をレイアウトに反映させる手法の提案が挙げられる。また、垂直方向の解析粒度が温度分布に与える影響の大きさは不明であるため、セルレベルにおいて必要十分な解析精度の得られる解析粒度の特定も、今後の課題として挙げられる。

文 献

- [1] Kevin Skadron and Mircea Stan. Hotspot: Techniques for modeling thermal effects at the processor-architecture level. *8th THERMINIC Workshop 1-4 October 2002, Madrid*, 2002.
- [2] Massoud Pedram Kaustav Banerjee and Amir H. Ajami. "Analysis and Optimization of Thermal Issues in High-Performance VLSI". *ACM/SIGDA Int. Symp. Physical Design (ISPD)*, pages 230-237, 2001.
- [3] Kevin Skadron and Mircea R. Stan. Temperature-aware microarchitecture. 2003.
- [4] 伊藤 睦夫, 長谷川 直之, 江川 隆輔, 鈴木 健一, 中村 維男. マイクロプロセッサにおける細粒度発熱解析の一手法. 第 4 回情報科学フォーラム (FIT2005) 採録論文集, pp.61-64, 2005.
- [5] Yi-Kan Cheng, Prasun Raha, Chin-Chi Teng, Elyse Rosenbaum, and Sung-Mo Kang. Illiads-t: An electrothermal timing simulator for temperature-sensitive reliability diagnosis of cmos vlsi chips. *IEEE Trans. Computer-Aided Design*, Vol. 17(No.8):pp.668-681, Aug. 1998.
- [6] "http://opencores.gds.tuwien.ac.at/projects.cgi/web/or1k/openrisc.1200".