

## 電流基板制御方式による基板ノイズ低減及びランダムばらつき抑制効果

小松 義英 石橋 孝一郎 塚田 敏郎 山本 雅晴  
(株) 半導体理工学研究センター (STARC) 設計技術開発部 低電力技術開発室  
E-mail: {komatsu, isibasi, tsukada, yamamoto}@starc.or.jp

島崎 健二 深澤 光弥 永田 真  
神戸大学 工学部 情報知能工学科  
E-mail: fukazawa@cs26.scitec.kobe-u.ac.jp, nagata@cs.kobe-u.ac.jp

あらまし セルフアジャスト順方向基板制御方式 (SA-FBB) を用いた際の基板ノイズ低減効果、及びランダムばらつき低減効果について報告する。効果を測定、確認するために2つのテストチップを用意した。1つ目のチップには様々な周波数のノイズ源とそのノイズを検出するためのオンチップオシロスコープが搭載してあり、基板制御時のノイズ低減効果が測定できる。130nmCMOS、3-well プロセスを用いた。2つ目のチップには10M個のトランジスタを搭載し、基板制御を行った際のランダムばらつきの傾向の測定ができる。SA-FBBを用いると基板ノイズ (Well ノイズ) は最大70.2%低減効果があり、ランダムばらつき  $\sigma(I_{ds})$  は最大57.9%程度低減効果がある。

キーワード 基板制御、順方向、基板ノイズ、ランダムばらつき

## Substrate-Noise and Random-Fluctuations Reduction with Self-Adjusted Forward Body Bias

Yoshihide Komatsu<sup>1</sup>, Koichiro Ishibashi<sup>1</sup>, Masaharu Yamamoto<sup>1</sup>, Toshiro Tsukada<sup>1</sup>,  
Kenji Shimazaki<sup>2</sup>, Mitsuya Fukazawa<sup>2</sup>, and Makoto Nagata<sup>2</sup>  
<sup>1</sup>Semiconductor Technology Academic Research Center (STARC), Yokohama, Japan  
<sup>2</sup>Kobe University, Kobe, Japan

**Abstract** We propose a method of reducing substrate noise and random fluctuations utilizing a self-adjusted forward body bias (SA-FBB) circuit. To achieve this, we designed a test chip that contained an on-chip oscilloscope for detecting dynamic noise from various frequency noise sources, and another test chip that contained 10-M transistors for measuring random fluctuation tendencies. Under SA-FBB conditions, it reduced noise by 69.8% and reduced random fluctuations  $\sigma(I_{ds})$  by 57.9%.

**Keyword** Body bias control, Forward, Substrate noise, Random fluctuation

### 1. 概要

本稿では、信頼性の高いLSIを実現するために順方向基板制御技術を用い、基板ノイズとランダムバラつきの低減を可能にする新しいアプローチについての提案を行う。近年、テクノロジーのスケーリングやSoC搭載ファンクションの増大によって基板ノイズ及びトランジスタのランダムばらつきが深刻な問題となっている。特に高速アナログ回路、RF、メモリ、CPU等が搭載されるセンシティブなMixed-signal SoCでは問題が起りやすい。ノイズ源は言うまでもなく大規模化するLogic回路が動作した際のスイッチングによる過渡電流が電源・グラウンド配線メタル揺らし、それがWellを揺らし、基板に影響を与えることでセンシティブ

なアナログやRFが誤動作を起こす原因となる。

ノイズ源としては他にも高速化、及び大規模化が著しいSRAMや微細プロセスで超高速動作するCPUが挙げられる。

近年、高速化やリーク電流削減の為に順方向や逆方向に基板を制御する方式が使用されつつあるが、本来電源・グラウンド配線メタルと接続されていた基板端子を外して基板制御回路からアクセスするため、インピーダンスも増大し、ノイズの観点からみてもロバスト性劣化が懸念される。

さらに微細化によりドープメント数、及びその位置の制御も困難になり、ランダムばらつきの影響も全体の歩留まり特性を劣化させる原因となっている。

## 2. はじめに

通常基板制御を行う場合、基板電位発生回路から基板端子に電位を与えるが、SA-FBB 方式は電流源から定電流を印加する。電流を印加することで P/N 接合ダイオードが ON になる電位で自動的に基板の順方向電位が決定される。電流値に関してはダイオードが ON する程度の値を流す必要があるが、今回使用した数種類のプロセスチップでは、約 10000Tr. に対して 10uA 程度で十分である。さらに定電流性に関してもダイオードの特性上あまり精度は問わないが、試作の際に全体の回路規模に対しての経験値的な値を求めるか、プロセス特性を良く見極めて数値を決める必要がある。Fig.2 は SA-FBB の回路構成を示す。

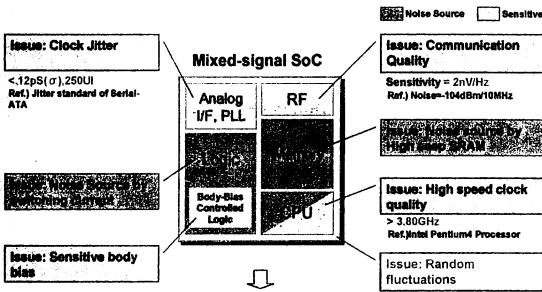


Fig. 1: Serious issue: Substrate noise, Random fluctuations

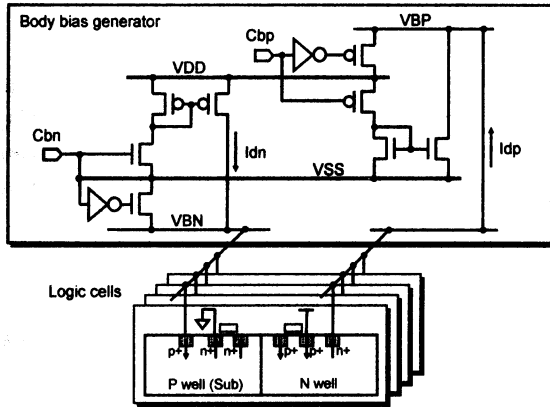


Fig. 2: Practical implementation of self adjusted forward body bias (SA-FBB) Circuit

## 3. 不純物ばらつきによる閾値バラつき

基板を順方向に制御した際の T-CAD シミュレーション結果では空乏層領域が減少する傾向がわかる。

Fig.3の左の図は基板電位を制御しないZero Body Bias (ZBB) 時の空乏層領域を表している。各領域に対する不純物の量は100nmテクノロジー前後の平均的と思われる値を適用した。右の図は基板を順方向 (FBB) に制御した際の空乏層領域の変化を表している。空乏層領域は基板側から押し上げられ体積が減る傾向がある。尚ZBB と比べてもソース/ドレイン領域にまでは入りこまないことがわかる。

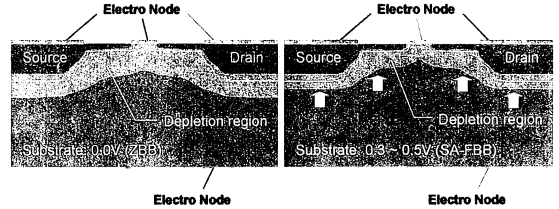


Fig. 3: Doped Impurity Fluctuations

不純物数ばらつきによる閾値ばらつきへの影響は、微細化に伴いチャンネル下のドーパント数が減り、数、位置ともに制御しきれないことによりばらつきの影響が大きい。

チャンネル下のドーパント数は (1) 式で表され、空乏層幅  $W_{dm}$  に依存する。 $W_{dm}$  は式 (2) で表される。

$$N = L_{eff} \cdot W_{eff} \cdot W_{dm} \cdot N_a \quad \text{and} \quad (1)$$

$$W_{dm} = \sqrt{\frac{2(\phi_s + \phi_{bi} - V_{bs}) \cdot \epsilon_{si}}{q \cdot N_a}} \quad (2)$$

均一ドーピングによる不純物数はポアソン分布に依存し、 $\phi_s$  はチャンネル表面ポテンシャル、 $\phi_{bi}$  はフェルミレベル、 $V_{bs}$  は基板電位、 $N_a$  はドーピング濃度を表す。不純物ばらつきは  $\sqrt{N}$  で表されるので、(1) 式に (2) 式を代入して 1/2 乗して表すと (3) 式になる。

$$\sigma(N) = \sqrt{N} = \left( \frac{2(\phi_s + \phi_{bi} - V_{bs}) \cdot \epsilon_{si}}{q \cdot N_a} \right)^{\frac{1}{4}} \cdot \sqrt{L_{eff} \cdot W_{eff} \cdot N_a} \quad (3)$$

閾値ばらつきは酸化膜両端の電位変化で表すことができるので、(3) 式を代入すると (4) 式になる。

$$\sigma(V_{th}) = \sigma\left(\frac{Q_d}{C_{ox}}\right) = \frac{q \cdot \sigma(N) \cdot T_{ox}}{L_{eff} \cdot W_{eff} \cdot \epsilon_{ox}} = \frac{\left[ \frac{2(\phi_s + \phi_{bi} - V_{bs}) \cdot \epsilon_{si} \cdot q^3 \cdot N_a}{\sqrt{L_{eff} \cdot W_{eff} \cdot \epsilon_{ox}}} \right]^{\frac{1}{4}} \cdot T_{ox}}{L_{eff} \cdot W_{eff} \cdot \epsilon_{ox}} \quad (4)$$

つまり動的に、エネルギーバンドの曲がりと同方向基板電位の 1/4 乗で閾値が変化することがわかる。

さらに静的な効果として、空乏層幅が適度に調整され、加工ばらつきによるゲート長変動が緩和されることによるショートチャンネル効果の低減が効いてくるた

め、微細プロセスにおいては  $L_{eff}$  の値も増大するので、 $1/2$  乗で閾値バラつきに影響することがわかる。

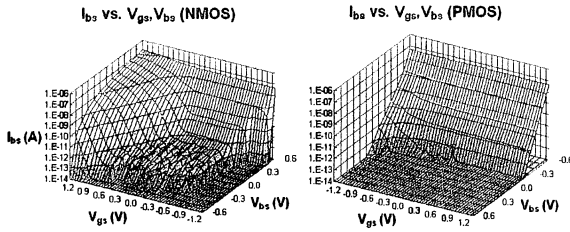


Fig. 4: Measured result: substrate current ( $I_{bs}$ ) vs.  $V_{gs}$  and  $V_{bs}$

本技術を用いて順方向基板制御を行う場合、横バイポーラが ON することによるラッチアップの問題が懸念される。SA-FBB では基板に積極的に電流を流すため、ラッチアップが起こる可能性が通常よりもさらに悪化すると予想されるが、電源電圧が 1.0V 程度になると、さらに HFE が低いプロセスであればバイポーラ成分がラッチアップを起こす電流を保持できないため実際には起こらない。基板電位を制御した際の基板電流の変化をプロットしたが、順方向制御による電流増加分は殆どが順方向ダイオード特性とみられる。

さらに実際 100 個以上のサンプルを使用し、幾つかのプロセス/テクノロジーで試作評価を行ったが、動作時にラッチアップを起こす現象は確認されなかった。

#### 4. SA-FBB におけるランダムばらつき測定

本測定で使用したテストチップは計 10M 個の PMOS/NMOS のトランジスタアレイとそれを制御するアドレスデコーダ、IO インターフェイスとで構成される。Fig.5 はチップの写真を示す。チップサイズは 5.0mm 角、回路のサイズは 3.94mm x 2.72mm、90nm CMOS ツインウェルプロセスで製造した。トランジスタアレイの PMOS/NMOS のバルク端子はウェルで分離されており、尚且つ外部から基板制御が可能である。

電源電圧はデジタル電源となる 1.0V を印加。測定内容は  $I_{sub}$  電流値を順方向に制御し、サブスレッショルド領域、飽和領域での  $I_{ds}$  変化を測定した。 $V_{th}$  は直接測定できなかったため、 $I_{ds}$  の電流値の 1uA を閾値とした。尚、平均値はデータから使用し、 $V_{th}$  ばらつきは  $I_{ds}$  の値から算出している。

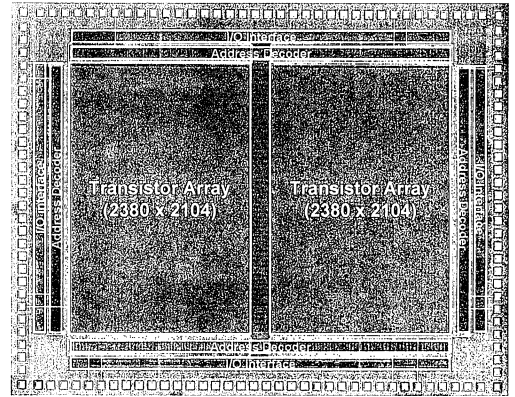


Fig. 5: Chip micrograph (90-nm, twin-well)

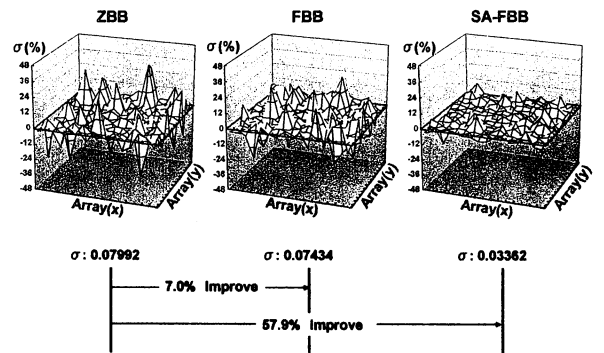


Fig. 6: PMOS fluctuations with body bias control in saturation region

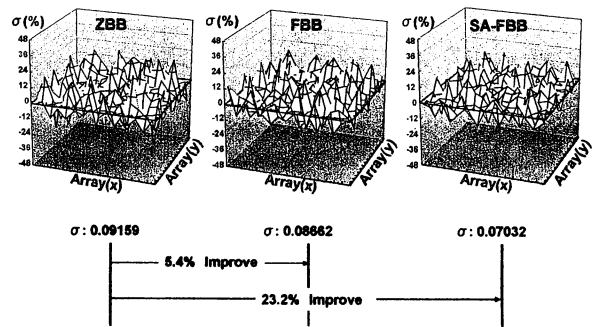


Fig. 7: NMOS fluctuations with body bias control in saturation region

Fig.6、Fig.7 は基板制御によるランダムばらつき測定結果 (PMOS、飽和領域) を示す。ZBB は基板制御を行わない通常の場合、FBB の定義はダイオード成分が ON しない状態 (電流値で判断)、SA-FBB はダイオ

ード成分が ON した状態（電流値で判断）を示す。ZBB に対して FBB では約 7%の改善効果がみられるが、SA-FBB にすると約 58%と大きな改善効果が見られることがわかる。

ばらつき低減の理由は、前式で表した通り、基板電位の 1/4 乗で閾値が変化し、静的な効果として、空乏層幅が適度に調整されることによるショートチャネル効果の低減が 1/2 乗で効いている。NMOS では ZBB に対して FBB では約 5%の改善効果がみられるが、SA-FBB にすると約 23%の改善効果が見られることがわかる。

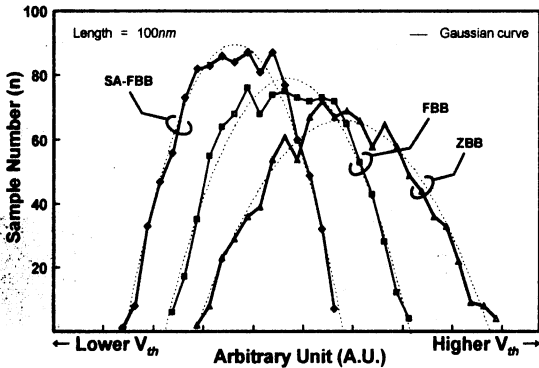


Fig. 8: PMOS  $V_{th}$  distribution with body bias control

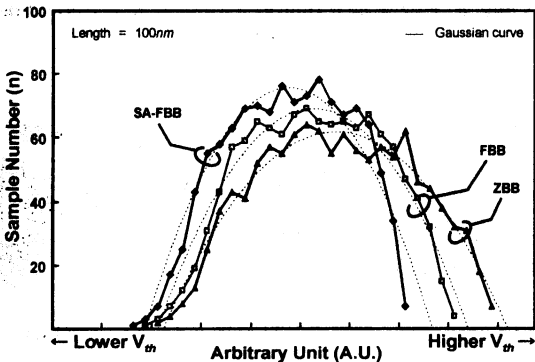


Fig. 9: NMOS  $V_{th}$  distribution with body bias control

基板制御による閾値ばらつき変動 (PMOS) を Fig. 8、fig. 9 に示す。順方向に基板を制御すると、閾値ばらつきが減少していくことがわかる。SA-FBB で最大の低減効果が得られる結果を示した。結果がガウシアンカーブを描くことと、順方向で改善する 2 つの傾向から、ランダムばらつきはチャネル下の不純物数とその位置

にも深く関連していることが容易に推測できる。ZBB に対し FBB で約 5%、SA-FBB で約 35%の改善効果が得られた。

このチップは 2-well プロセスのため NMOS の基板電位を順方向に大きく制御できないため、NMOS の結果は PMOS と比較すると効果が小さい。ZBB に対し FBB で約 4%、SA-FBB で約 21%の改善効果が得られた。

### 5. 基板制御時におけるデジタル回路雑音測定

本測定で使用したテストチップはレジスタファイルと SRAM マクロと、電源/ウェル/基板の雑音を検出するノイズ検出器 (SF+LC) を搭載している。チップサイズは 5.5mm<sup>2</sup>、130nm CMOS トリプルウェルプロセスで製造した。レジスタファイルや SRAM マクロの PMOS/NMOS のバルク端子はウェルで分離されており、尚且つ外部から基板制御が可能である。

電源電圧はデジタル (レジスタファイル) 1.5V、アナログ (ノイズ検出器: SF+LC) 3.3V を使用した。動作周波数と測定分解能は 50MHz (800ps/100uV)、100MHz (400ps/100uV)、200MHz (200ps/100uV)、400MHz (100ps/100uV) である。

モデリングはデジタルブロックとアナログブロックの簡易モデルを簡易的なモデルを使用し、ノイズ源はデジタル側のため、電源/グラウンドの配線にノイズ波形を印加した。このシミュレーションにおいては順方向基板制御を行った際の空乏層容量変化とインピーダンス変化を考慮し、デジタル側のウェルの電位を直接モニタした。

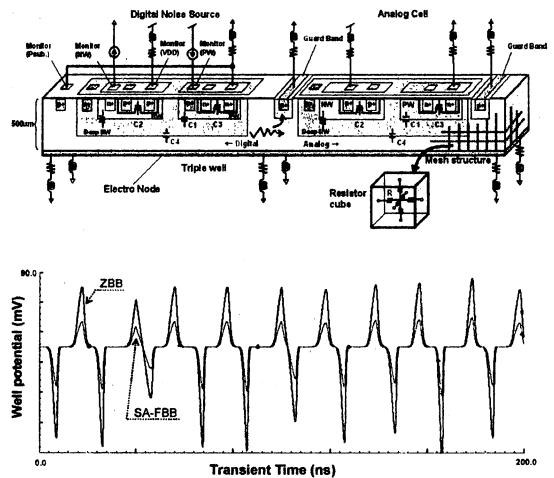


Fig. 10: Simple modeling & simulation result for digital noise @P-well

シミュレーション結果は Well のポテンシャル変動を示す。順方向基板制御を行わない ZBB 時に対して、順方向基板制御を行った SA-FBB 時の振幅変化がわかる。モデルに使用したパラメータ値が実際のプロセスを正確に反映できていないことと、回路が簡易的な構成であるため、この Fig.10 で示すノイズ減少の傾向は定性的なものである。

オンチップノイズ検出器を用いて、0.0V レベルよりも低いノイズや 1.5V 電源レベルより高いダイナミックノイズをソースフォロアでシフトさせラッチドコンパレータで量子化する。このノイズ検出器を搭載することでレイアウトや、局所的にことなるダイナミックノイズを局所的に把握し正確に測定することができる。

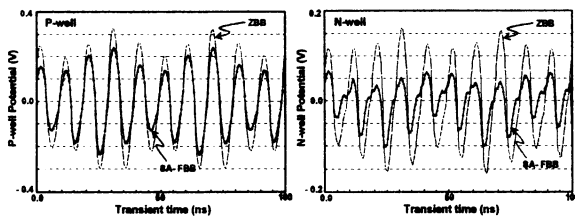


Fig. 11: Dynamic noise measurement result for P-well / N-well (Resolution: 400ps/100uV)

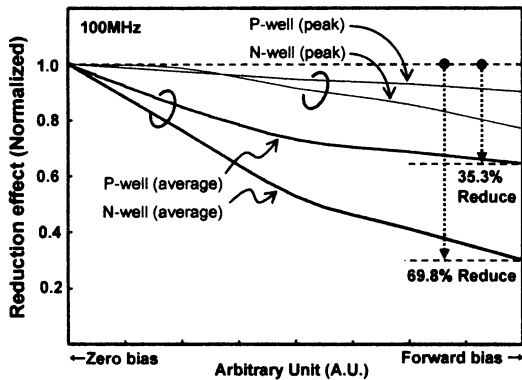


Fig. 12: Noise reduction effect of P-well / N-well @ 100MHz

100MHz のノイズを印加した場合の測定結果 Fig.11 に示す。N-well と P-well は基板制御を行うとノイズ波形の振幅が低減する傾向がみられる。さらにこのノイズ波形の低減効果を正規化しプロットした。 Fig.12 に示すように SA-FBB による Peak ノイズの低減効果はさほど見られないが、ノイズ波形振幅の低減平均を見ると低減効果が大きく見られる。このチップでは N-well に対する低減効果が大きく、約 70% の低減効果

が見られる。また P-well でも約 35% の低減効果があることがわかる。

## 6. 結論

SA-FBB 方式を用いて基板ノイズ低減効果、及びランダムバラつき低減効果の実証を行った。

テストチップは 130nm,3well と 90nm,2well プロセス TEG を使い、オンチップオシロスコープによる基板ノイズ測定と、10M 個のトランジスタによるランダムバラつき測定とを行った。

ノイズは最大で約 70% の低減効果があり、ランダムバラつきは最大約 58% の低減効果がある結果を得た。

この SA-FBB 方式はロジック回路に対してだけではなく、今後大きなノイズ源となり得るメモリや CPU ブロックへの適応も期待できる。

最後に、測定した特性の結果を Table 1 にまとめる。

Table 1: Comparison of ZBB, FBB, and SA-FBB

	Noise 100MHz (improve)	Noise 200MHz (improve)	Noise 400MHz (improve)	V <sub>th</sub> PMS (improve)	V <sub>th</sub> NMS (improve)	V <sub>th</sub> PMS (improve)	V <sub>th</sub> NMS (improve)
ZBB	1.000	1.000	1.000	1.000	1.000	1.000	1.000
FBB (Conv.)	—	—	—	0.929 (7.0%)	0.945 (5.4%)	0.950 (5.0%)	0.957 (4.3%)
SA-FBB (Proposed)	0.302 (69.8%)	0.301 (69.9%)	0.298 (70.2%)	0.421 (57.9%)	0.767 (23.2%)	0.650 (35.0%)	0.783 (21.7%)

提案した電流基板制御方式によるランダムバラつき低減、及び基板ノイズ低減効果を調査し、今後の微細テクノロジーにおける課題を設計側で緩和できる傾向が得られた。

なお、本研究は「あすかプロジェクト」に基づくものである。

文 献

- [1] M.Badaroglu, P.Wambacq, G.Van der Plas, S.Donnay, G.Gielen, and H. De Man, "Impact of Technology Scaling on Substrate Noise Generation Mechanisms," in *IEEE Custom Integrated Circuits Conference*, pp.501-504, 2004.
- [2] E.Alon, V.Stojanovic, and M.Horowitz, "Circuit and Techniques for High-Resolution Measurement of On-Chip Power Supply Noise," in *Symp. VLSI Circuits*, pp.102-105, 2004.
- [3] M.Takamiya, M.Mizuno, and K.Nakamura, "An On-chip 100GHz Sampling Rate 8-channel Sampling Oscilloscope with Embedded Sampling Clock Generator," in *IEEE International Solid State Circuits Conference Dig. Tech. Papers*, pp.182-183, 2002.
- [4] M.Nagata, T.Ohmoto, Y.Murasaka, T.Morie, A.Iwata, "Effects of Power Supply Parasitic Components on Substrate Noise Generation in Large-Scale Digital Circuits," in *Symp. VLSI Circuits*, pp.159-162, 2001.
- [5] M.Chowdhury and Y.Ismail, "Analysis of Coupling Noise and It's Scalability in Dynamic Circuits," in *IEEE Custom Integrated Circuits Conference*, pp.505-508, 2004.
- [6] S.Lin, M.Nagata, K.Shimazaki, K.Satoh, M.Sumita, H.Tsujikawa, and A.T. Yang, "Full-Chip Vectorless Dynamic Power Integrity Analysis and Verification Against 100uV/100pS-Resolution Measurement," in *IEEE Custom Integrated Circuits Conference*, pp.509-512, 2004.
- [7] E.Charbon, P.Miliozzi, L.Carloni, A.Ferrari, and A.S.Vincentelli, "Modeling Digital Substrate Noise Injection in Mixed-Signal IC's," in *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol.18, no.3 pp.301-310, 1999.
- [8] K.Shimazaki, M.Nagata, T.Okumoto, S.Hirano, and H.Tsujikawa, "Dynamic Power Supply and Well Noise Measurement and Analysis for High Frequency Body-Biased Circuits," in *Symp. VLSI Circuits*, pp.94-97, 2004.
- [9] M.Miyazaki, J.Kao, and A.P.Chandrakasan, "A 175mV Multiply Accumulate Unit using an Adaptive Supply Voltage and Body Bias (ASB) Architecture," in *IEEE International Solid State Circuits Conference Dig. Tech. Papers*, pp.58-59, 2002.
- [10] S.Narendra, J.Tschanz, J.Hofsheier, B.Bloechel, S.Vangal, Y.Hoskote, et al, "Ultra-Low Voltage Circuits and Processor in 180nm to 90nm Technologies with a Swapped-Body Biasing Technique," in *IEEE International Solid State Circuits Conference Dig. Tech. Papers*, pp.156-157, 2004.
- [11] J.Tschanz, J.Kao, S.Narendra, R.Nair, D.Antoniadis, A.Chandrakasan, et al, "Adaptive Body Bias for Reducing Impacts of Die-to-Die and Within-Die Parameter Variations on Microprocessor Frequency and Leakage," in *IEEE International Solid State Circuits Conference Dig. Tech. Papers*, pp.422-423, 2002.
- [12] T.Kobayashi, T.Sakurai, "Self-Adjusting Threshold Voltage Scheme (SATS) for Low-Voltage High-Speed Operation," in *IEEE Custom Integrated Circuits Conference*, pp.271-274, 1994.
- [13] T.Kuroda, T.Fujita, S.Mita, T.Nagamatsu, S.Yoshioka, K.Suzuki, et al, "A 0.9-V,150-MHz,10-mW,4mm<sup>2</sup>,2-D Discrete Cosine Transform Core processor with Variable Threshold-Voltage (VT) scheme," in *IEEE J. Solid-State Circuits*, vol.31, no.11, pp1770-1779, Nov. 1996.
- [14] K.Itoh, K.Osada, and T.Kawahara, "Reviews and Future Prospects of Low-voltage Embedded RAMs," in *IEEE Custom Integrated Circuits Conference*, pp.339-344, 2004.
- [15] K.Ishibashi, T.Yamashita, Y.Arima, I.Minematsu, T.Fujimoto, "A 9uW 50MHz 32b Adder Using a Self-Adjusted Forward Body Bias in SoCs," in *IEEE International Solid State Circuits Conference. Dig. Tech. Papers*, pp.116-117, 2003.
- [16] T.Mizuno, J.Okamura, A.Toriumi, "Experimental Study of Threshold Voltage Fluctuation Due to Statistical Variation of Channel Dopant Number in MOSFET's," in *IEEE Transactions on Electron Devices*, vol.41, no.11 pp.2216-2221, 1994.