

重回帰分析により得られた1次式によるインダクタンスを考慮した配線遅延の見積り

鈴木 康成[†] マルタディナタ アンワル[†] 戸川 望[†] 柳澤 政生[†] 大附 辰夫[†]

[†] 早稲田大学理工学部コンピュータ・ネットワーク工学科
〒169-8555 東京都新宿区大久保 3-4-1 55号館 N棟 6階大附研究室
TEL: (03)-5286-3396 FAX: (03)-3203-9184
E-mail: †{kousei,marta,togawa}@ohtsuki.comm.waseda.ac.jp

あらまし DSM(Deep SubMicron technology)時代では高位設計の際、フロアプランや配線抵抗などを考慮する必要が出てくる。また、高位設計で繰り返し行われるグローバル配線遅延の見積りの際、インダクタンスの影響が無視できない。本稿ではインダクタンスを考慮してグローバル配線遅延を見積もる方法について述べる。本稿ではドライバ-RLC配線-負荷モデルのステップ応答の50%に達するまでの時間(50%遅延)を見積もる。提案する見積もり方は、あらかじめ素子値を説明変数として重回帰分析により得られた1次式を用いる。本手法は遅延の内、time of flightが支配的な場合に適用可能で、SPICEで計算した値との誤差を最大約15%、平均約2.5%で見積もることができる。

キーワード 配線遅延, RLC, インダクタンス, 重回帰分析, 2次近似

Fast Interconnect Delay Estimation with Considering Inductance Based on Multiple Regression Analysis

Kosei SUZUKI[†], Marta D. ANWAR[†], Nozomu TOGAWA[†], Masao YANAGISAWA[†], and Tatsuo OHTSUKI[†]

[†] Department of Electronics, Information and Communication Engineering, Waseda University
Ohtsuki Lab 55N-6 3-4-1 Okubo, Shinjuku, Tokyo, 169-8555, Japan
TEL: +81-3-5286-3396, FAX: +81-3-3203-9184
E-mail: †{kousei,marta,togawa}@ohtsuki.comm.waseda.ac.jp

Abstract In recent DSM (Deep SubMicron) technology, we need to take some important points, such as floorplaning, interconnect resistance and so on into consideration. It has been shown that inductance effect on clock, power, bus and macroblock interconnect is considerably large. In this paper we propose a new method to estimate single interconnect 50% delay by using an approximated equation given by multiple regression analysis. The proposed method achieved higher accuracy and less amount of operation than those of a conventional method.

Key words Interconnect Delay, RLC, Inductance, Multiple regression analysis, Second order approximation

1. はじめに

DSM(Deep SubMicron technology)時代では高位設計の際、フロアプランや配線抵抗などを考慮する必要が出てくる。クロック、電源、バス配線、マクロブロック配線などのグローバル配線では配線遅延を見積もる際、インダクタンスの影響も考慮する必要がある[2],[?]。高位設計の際、繰り返し配線遅延を求めるため、SPICEを用いずにインダクタンスを考慮して遅延を高速、高精度に見積もる必要がある。インダクタンスを考慮して配線遅延を見積もる方法やRLC線路解析として、[5]~[7],[11],[12],[16]の手法が提案されている。周波数に依存する配線抵抗、容量、インダクタンスの計算や抽出も話題になっている[9],[13],[15]。

ここでは図1のようなドライバ-RLC配線-負荷モデルのステップ応答が50%に達するまでの時間(50%遅延)を見積もる

ことを提案する。提案手法は遅延の内、電圧が入力側から出力側に到達するまでの時間(time of flight)が支配的な場合に適用可能で、SPICEで計算した値との誤差を最大約15%、平均約2.5%で見積もることができる。

本手法は次のような考え方に基づく。インダクタンスの影響が大きくなると配線遅延の内、time of flightが占める割合が大きくなる。図1における R_S , C_S , C_L を考慮することにより、単純なRLC線路ではなくなる。SPICEシミュレーションによるとtime of flight(\sqrt{LC})は R_S , C_S , C_L 、そして配線抵抗 r の考慮の有無による変化がない。また、図1のモデルにステップ信号を入力した場合、 R_S , C_S , C_L , r は全て大きくすればするほど出力信号の立ち上がりを遅くする。つまり、 R_S , C_S , R , C_L の影響でこれらが無い場合(無損失分布定数回路)の遅延(time of flight)よりも大きくなる。そこで、「50%遅延がtime of flightの何倍か」を、あらかじめ素子値を説明変数

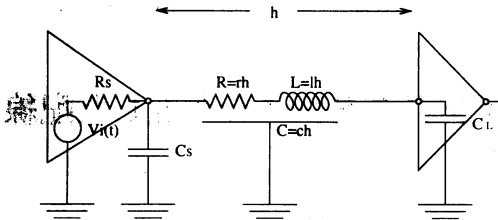


図1 Driver-Interconnect-Load モデル

とした重回帰分析により得られた1次式を用いて計算した。time of flight が支配的でない場合は2章で述べる伝達関数の2次近似や[11]のRC遅延の式を適用できる。

本手法は[5],[11]の手法とそれぞれ比較し、精度と計算回数を共に改善することに成功した。[11]中では R_S/R の値と C_S/C の値を固定して curve-fitting method により近似式を得ていたため、本シミュレーションのように R_S/R の値と C_S/C の値を変化させたとき精度が悪くなる。また、[5]の手法で誤差を5%以内で見積もることができると述べられていたが、本シミュレーションで用いた広範囲の素子値には対応していないと推定できる。

本稿で行った SPICE シミュレーションでは配線部分を分布定数回路として扱う際、64段はしご型回路で代用した。2章で伝達関数の2次近似について説明し、3章で提案手法を紹介し、4章で提案手法の評価をし、5章でまとめる。

2. 伝達関数の2次近似について

本稿で提案する重回帰分析から得られた式(23)を用いて50%遅延を求める手法は time of flight が支配的なとき適用できる。適用可能条件は3章で2通り示すが、そのうちの1つの条件式中で伝達関数の2次近似を用いて50%遅延を求める。また、time of flight が支配的でない場合にも2次近似を用いて50%遅延を計算することができる。本章では2次近似について説明する。

伝達関数の2次近似とは伝達関数の s の3次以上の項を無視することとし、ドライバから負荷までの伝達関数 $G(s)$ が以下のようになるものとする。

$$G(s) = \frac{\omega^2}{s^2 + 2\zeta\omega s + \omega^2} \quad (1)$$

式(1)にステップ信号を入力したときのステップ応答 $H(s)$ は、

$$H(s) = \frac{G(s)}{s} = \{h(t)\} \quad (2)$$

となる。 $h(0) = 0, h(\infty) = 1$ である。ここで、

$$F(s) = \frac{1}{s} [1 - G(s)] = \{f(t)\} \quad (3)$$

とおけば、

$$f(t) = 1 - h(t), \quad f(0) = 1, \quad f(\infty) = 0 \quad (4)$$

である。1次RC回路の時定数は $h(t) = 1 - e^{-t} \cong 63\%$ まで上昇する時間、あるいは $f(t) = e^{-t}$ になるまでの時間である。式(3)より、

$$F(s) = \frac{s + 2\zeta\omega}{s^2 + 2\zeta\omega s + \omega^2} = \frac{s + \zeta\omega + \zeta\omega}{(s + \zeta\omega)^2 + (1 - \zeta^2)\omega^2} \quad (5)$$

となる。ここで ζ を damping factor と呼ぶ。 ζ の値によって、波形は次の3つに場合分けされる。

- $\zeta > 1$ のとき overdamped.
- $\zeta = 1$ のとき critically damped.
- $\zeta < 1$ のとき underdamped. (overshoot や undershoot が起こる)

(1) $\zeta > 1$ のとき

$$f(t) = e^{-\zeta\omega t} \left(\cosh \sqrt{\zeta^2 - 1} \omega t + \frac{\zeta}{\sqrt{\zeta^2 - 1}} \sinh \sqrt{\zeta^2 - 1} \omega t \right) \quad (6)$$

(2) $\zeta = 1$ のとき

$$f(t) = (1 + \omega t)e^{-\omega t} \quad (7)$$

(3) $\zeta < 1$ のとき

$$f(t) = e^{-\zeta\omega t} \left(\cos \sqrt{1 - \zeta^2} \omega t + \frac{\zeta}{\sqrt{1 - \zeta^2}} \sin \sqrt{1 - \zeta^2} \omega t \right) \quad (8)$$

伝達関数の2次近似の時間領域関数は式(6)から式(8)で表すことができる。これらを微分した式を用いてニュートン法を用いることにより、出力が $x\%$ に達するまでの時間、 $x\%$ 遅延を計算することができる。

ドライバ-RLC配線-負荷モデルの伝達関数はFパラメータの左上の項、Aの逆数である。配線部分だけのFパラメータは、

$$F = \begin{pmatrix} A & B \\ C & D \end{pmatrix} = \begin{pmatrix} \cosh rh & Z_0 \sinh \gamma h \\ Z_0^{-1} \sinh \gamma h & \cosh \gamma h \end{pmatrix} \quad (9)$$

となる。ここで、 Z_0 は特性インピーダンスであり、

$$Z_0 = \sqrt{\frac{r + sl}{sc}} \quad (10)$$

である。 γ は伝搬定数であり、

$$\gamma = \sqrt{scr + s^2 cl} \quad (11)$$

である。ここで、インダクタンスの影響度 k をRL回路とRC回路の時定数の比の値として次のように定義する。

$$k = \frac{L/R}{RC} = \frac{L}{R^2 C} = \frac{l}{r^2 ch^2} \quad (12)$$

一般に $k > 1/4$ のときインダクタンスの考慮の有無による遅延見積り誤差が20%を超えと言われている。[4],[10]さらに τ を次のように置く。

$$\tau = rch^2 = RC \quad (13)$$

Fパラメータ $A(s), B(s), C(s), D(s)$ を s の次数が3以上の項を0とすると(2次近似)、

$$\begin{aligned} A(s) &= \cosh \gamma h \\ &\cong 1 + \frac{1}{2} s\tau + \frac{1 + 12k}{24} (s\tau)^2 \\ B(s) &\cong R \left(1 + \frac{1 + 6k}{6} \tau s \right) \\ C(s) &\cong R^{-1} \tau s \left(1 + \frac{1}{6} \tau s \right) \\ D(s) &= A(s) \end{aligned} \quad (14)$$

となる。式(14)のAの s^1 の次数にインダクタンス l が関係ないため s^2 の項まで考慮しないとインダクタンスの影響を評価できないことがわかる。伝達関数は、

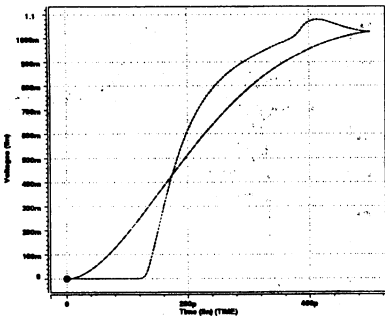


図2 遅延の内 time of flight が支配的なき、配線部分を64段はしご型回路として扱った波形(a)とその2次近似波形(b)が大きく異なることを示した。\$R_S = 50\Omega, C_S = 0.5pF/m, l = 1cm, r = 7180\Omega/m, c = 123pF/m, l = 1250nH/m, C_L = 0.5pF\$

$$G(s) = \frac{1}{A(s)} \quad (15)$$

であるので、式(1)と式(14)より、

$$\zeta = \frac{3}{\sqrt{6}\sqrt{1+12k}}, \quad \omega = \frac{2\sqrt{6}}{\tau\sqrt{1+12k}} \quad (16)$$

となる。\$\zeta\$ と \$\omega\$ が求まると、式(6)~式(8)の2次近似の時間領域関数が求まる。また、\$k > \frac{1}{24}\$ のとき \$\zeta < 1\$ となり、underdamped が起こる。ドライバと負荷があるときのFパラメータは

$$\begin{pmatrix} \bar{A} & \bar{B} \\ \bar{C} & \bar{D} \end{pmatrix} = \begin{pmatrix} 1 & R_S \\ 0 & 1 \end{pmatrix} \begin{pmatrix} 1 & 0 \\ sC_P & 1 \end{pmatrix} \begin{pmatrix} 1 + \frac{1}{2}\tau s + (\frac{1}{24} + \frac{k}{2})\tau^2 s^2 & R[1 + (\frac{1}{6} + k)\tau s] \\ R^{-1}\tau s(1 + \frac{1}{6}\tau s) & 1 + \frac{1}{2}\tau s + (\frac{1}{24} + \frac{k}{2})\tau^2 s^2 \end{pmatrix} \begin{pmatrix} 1 & 0 \\ sC_L & 1 \end{pmatrix} \quad (17)$$

となる。式(14)のAと式(17)の\$\bar{A}\$を展開したものの係数を比較することにより、ドライバと負荷を考慮したインダクタンスの影響度とRC遅延、\$k\$ と \$\tau\$ を計算することができる。\$k = \bar{k}, \tau = \bar{\tau}\$ を式(16)に代入することにより、ドライバと負荷を考慮したパラメータ、\$\zeta\$ と \$\omega\$ を求めることができる。これらを式(6)から式(8)に代入すればドライバと負荷を考慮した時間領域関数が得られる。

式(20)で用いる2次近似での50%遅延を求めるときはニュートン法を用いる。式(20)は提案手法が適用できるかの条件判定なのでニュートン法の第1次近似解を求めればよい。このとき、初期値を underdamped のときは \$t = 1\$ 度目の変曲点の時間、overdamped のときは \$t = 2/\tau\$ と定める。1度目の変曲点の時間は式(6)~式(8)を2階微分して得る。

3. 提案手法

本章では図2のように time of flight(\$\sqrt{LC}\$) が支配的なき50%遅延を計算する簡略かつ高精度な方法を提案する。

3.1 考え方

本節では提案手法の考え方を説明する。インダクタンスの影響が大きくなると配線遅延の内、time of flight が占める割合が大きくなる。図1における \$R_S, C_S, C_L\$ を考慮することにより、単純なRLC線路ではなくなる。SPICEシミュレーションによると time of flight(\$\sqrt{LC}\$) は \$R_S, C_S, C_L\$、そして配線抵抗 \$r\$ の考慮の有無による変化がない。ここではドライバ抵抗 \$R_S\$、ドライバ容量 \$C_S\$、配線抵抗 \$r\$、負荷容量 \$C_L\$ は全て50%遅延を time of flight より大きくすることを説明する。

3.1.1 無損失分布定数回路

図3のように、\$R_S, C_S, r, C_L\$ が0で、無損失分布定数回路の場合、ステップ応答は図4のようになる。

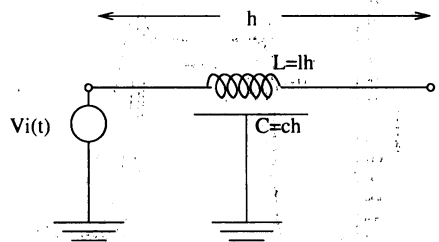


図3 無損失分布定数回路

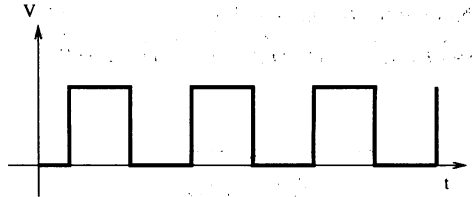


図4 無損失分布定数回路からの理論上のステップ応答

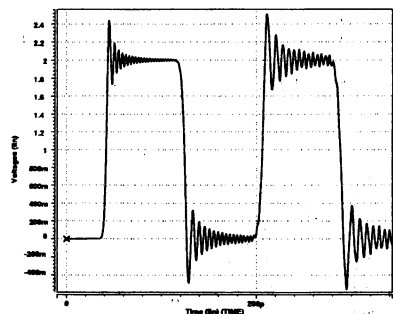


図5 無損失分布定数回路、64段はしご型回路からのステップ応答、SPICEシミュレーションより、\$h = 4.64mm, c = 0.880pF/m, l = 886nH/m\$

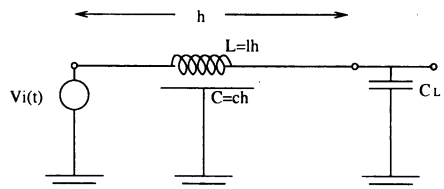


図6 無損失分布定数回路+負荷容量

本稿のシミュレーションでは配線部分を64段はしご型回路で表すので、ステップ応答は図5のようになる。図5は配線長 \$h = 4.64mm\$、単位長あたりの容量 \$c = 0.880pF/m\$、単位長あたりのインダクタンス \$l = 886nH/m\$ としてSPICEシミュレーションしたものである。

3.1.2 負荷容量 \$C_L\$ の影響

図6からわかるように、無損失分布定数回路に負荷容量を加えた場合のステップ応答を図7に4種類の負荷容量 \$C_L\$ を用いて重ねて示した。図7のように \$C_L\$ を大きくするほど50%遅延は大きくなる。

3.1.3 配線抵抗 \$r\$ の影響

図8のように、無損失分布定数回路と負荷容量に配線抵抗を加えた場合のステップ応答を図9に4種類の単位長あたりの抵抗 \$r\$ を用いて重ねて示した。図9からわかるように \$r\$ を大きくするほど50%遅延は大きくなる。

3.1.4 ドライバ抵抗 \$R_S\$ の影響

図10のように、RLC分布定数回路と負荷容量にドライバ抵

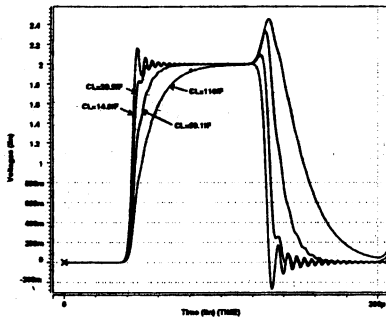


図 7 無損失分布定数回路+負荷容量からのステップ応答, SPICE シミュレーションより, $h = 4.64\text{mm}$, $c = 0.880\text{pF/m}$, $l = 886\text{nH/m}$, $C_L = 14.8\text{fF}$, 29.5fF , 59.1fF , 118fF

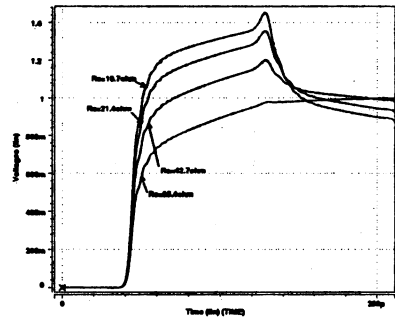


図 11 ドライバ抵抗+RLC 分布定数回路+負荷容量からのステップ応答, SPICE シミュレーションより, $R_S = 10.7\Omega$, 21.4Ω , 42.7Ω , 85.4Ω , $h = 4.64\text{mm}$, $r = 16400\Omega/\text{m}$, $c = 0.880\text{pF/m}$, $l = 886\text{nH/m}$, $C_L = 59.1\text{fF}$

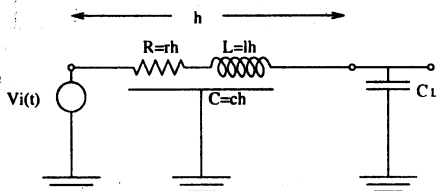


図 8 RLC 分布定数回路+負荷容量

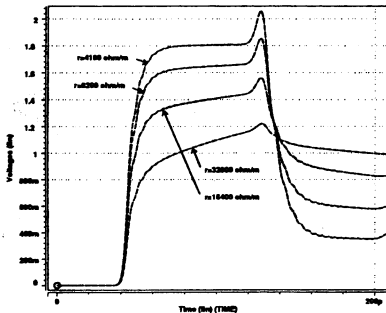


図 9 RLC 分布定数回路+負荷容量からのステップ応答, SPICE シミュレーションより, $h = 4.64\text{mm}$, $r = 4100\Omega/\text{m}$, $8200\Omega/\text{m}$, $16400\Omega/\text{m}$, $32800\Omega/\text{m}$, $c = 0.880\text{pF/m}$, $l = 886\text{nH/m}$, $C_L = 59.1\text{fF}$

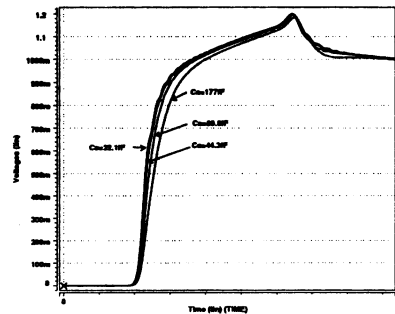


図 12 ドライバ抵抗+ドライバ容量+RLC 分布定数回路+負荷容量からのステップ応答, SPICE シミュレーションより, $R_S = 42.7\Omega$, $C_S = 22.1\text{fF}$, 44.3fF , 88.6fF , 177fF , $h = 4.64\text{mm}$, $r = 16400\Omega/\text{m}$, $c = 0.880\text{pF/m}$, $l = 886\text{nH/m}$, $C_L = 59.1\text{fF}$

3.2 条件判定

3.2.1 準備

提案式を得る際, 表 1 で示す [5] で用いられた素子値を元にランダム 0.5 倍から 1.5 倍して 10000 組の素子値を設定した. 表 1 に示した素子値は [5] で示されている値からドライバの出力抵抗 R_S を全体的に大きくし, さらにドライバ出力容量 C_S の値を想定して付け加えた. その後, 現実的でない素子値の組を除外してから重回帰分析により提案式を得た.

まず, $R_S/R > 1$ と $C_L/C > 1$ になるものは現実の VLSI 回路では存在しない [11] ため, 式 (18) を満たさない素子値の組は除外する.

$$\frac{R_S}{R} < 1.0, \quad \frac{C_S}{C} < 1.0 \quad (18)$$

次にドライバと負荷を考慮したインダクタンスの影響度 \bar{k} が 0.8 以上のとき, 図 13 に示すようにオーバーシュートが 40% 以上になるものがほとんどであるため, 式 (19) を満たさない素子値の組は除外する.

$$\bar{k} < 0.8 \quad (19)$$

本章では time of flight が支配的なき有効な手法を提案する. time of flight が支配的でない場合は伝達関数の 2 次近似や [11] の RC モデルで遅延を求めればよい.

3.2.2 提案式適用可能条件

条件判定として式 (20) または式 (21) 2 つの式のどちらかの式を満たすとき, 提案式を適用する. 以降, time of flight は数式中では tof とする.

$$\eta = \frac{T_2}{\text{tof}} < 2.0 \quad (20)$$

または

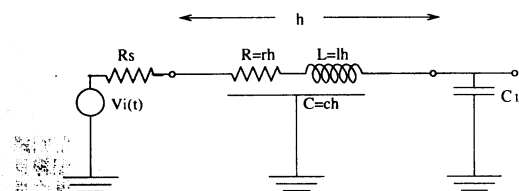


図 10 ドライバ抵抗+RLC 分布定数回路+負荷容量

抗を加えた場合のステップ応答を図 11 に 4 種類のドライバ抵抗 R_S を用いて重ねて示した. 図 11 からわかるように R_S を大きくするほど 50% 遅延は大きくなる.

3.1.5 ドライバ容量 C_S の影響

図 11 のように RLC 分布定数回路と負荷容量とドライバ抵抗にドライバ容量を加えた場合のステップ応答を図 12 に 4 種類のドライバ容量 C_S を用いて重ねて示した. 図 12 からわかるように C_S を大きくするほど 50% 遅延は大きくなる. 以上のように R_S , C_S , r , C_L は全て 50% 遅延を無損失 LC 分布定数回路の time of flight, \sqrt{LC} より大きくする.

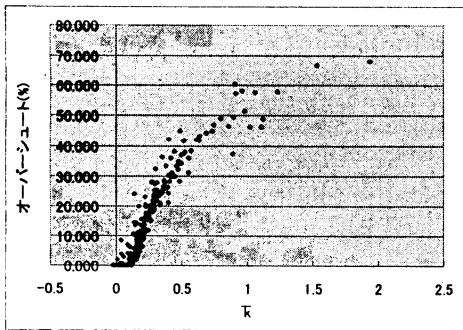


図 13 \bar{k} とオーバーシュート (%) の関係

$$\eta = \frac{T_{RC}}{tof} < 1.5 \quad (21)$$

ここで、式 (20) 中の T_2 は 2 次近似の伝達関数に対応する時間領域関数をニュートン法で解くことで得られる 50% 遅延であり、ニュートン法の第 1 次近似解まで求めれば条件判定としては十分である。式 (21) の T_{RC} は [11] での RC 遅延の式をドライバの出力容量 C_S も考慮できるように変形した式であり、以下のようになる。

$$T_{RC} = 0.37RC + 0.74(RC + R_S C_S + R_S C + R_S C_L) \quad (22)$$

式 (20)、式 (21) は共に 50% 遅延の内、time of flight が支配的かどうかを判定する式である。

4 章で示すように精度を優先するならば式 (20) を使い、計算速度を優先するならば式 (21) を用いればよい。

3.3 重回帰分析

3.1 で示したように、 C_L 、 r 、 R_S 、 C_S は遅延を time of flight よりも大きくする。そこで、50% 遅延 T_{50} を以下の式 (23) により求める。式 (23) の A 、 B 、 C 、 D 、 E は重回帰分析により求める。

$$\frac{T_{50}}{tof} = A + B \times \frac{rh}{R_0} + C \times \frac{C_L}{hc} + D \times \frac{R_S}{R_0} + E \times \frac{C_S}{ch} \quad (23)$$

ここで、

$$tof = \sqrt{LC} = \sqrt{h^2 lc}, \quad R_0 = \sqrt{\frac{l}{c}} \quad (24)$$

である。式 (23) の左辺は「50% 遅延の tof からの増え具合」である。両辺が無単位になるように C_L 、 hr 、 R_S 、 C_S を抵抗、容量の単位を持つパラメータで除算した。

A 、 B 、 C 、 D 、 E を求める際、3.2 で述べた条件に当てはまる素子値の組を選んだ後、精度を上げるためにさらに $\bar{k} < 0.05$ 、 $0.05 < \bar{k} < 0.1$ 、 $0.1 < \bar{k} < 0.25$ 、 $0.25 < \bar{k} < 0.8$ で場合分けして重回帰分析を行った。この場合分けで用いた \bar{k} の値は全体として精度が良くなるように手探りで設定した値である。式 (20) と式 (21) それぞれを条件式として使用した場合について表 2 に (1) A、(2) B、(3) C、(4) D、(5) E、(6) 誤差最大値、(7) 誤差平均値、(8) 該当した組数、を示した。ただし、誤差は提案式 (23) により求めた 50% 遅延と SPICE シミュレーションにより求めた 50% 遅延とを比較して求めた。0.25 < \bar{k} < 0.8 のとき式 (20) と式 (21) で条件判定をしたときの各値が等しくなっている。

3.4 提案手法の流れ

提案手法の流れは以下になる。

- Step1 図 1 に示す素子値の組が与えられる。
- Step2 提案式 (23) を適用するかどうかの判定として式 (20) または式 (21) を満たすかどうかを調べる。精度を優先する場合は式 (20)、計算速度を優先する場合は式 (21) を用いる。次に式 (19) を満たさない場合はオーバーシュートが大きいため使用不可とする。式 (20) を用いる場合、2 次近似での 50% 遅延はニュートン法の第 1 近似解を求めれば条件判定としては十分である。
- Step3 式 (23) に素子値を代入し、50% 遅延を求める。

表 1 10000 組の素子値を設定するために元にした値。配線幅を除き、配線長も含め各値をランダムに 0.5 倍から 1.5 倍した。[5] で示されている値からドライバの出力抵抗 R_S を大きくし、さらにドライバ出力容量 C_S の値を想定して付け加えた。配線長は 1cm、銅配線、Oxide Thickness 2.0 μ m、Metal Thickness 2.0 μ m、Silicon Substrate Thickness 2.0 μ m、[5]

配線幅 (μ m)	r (Ω /m)	c (F/m)	l (H/m)	R_S (Ω)	C_S (pF)	C_L (pF)
0.8	17960	9.960E-11	1.430E-08	20	1	1
				50	0.5	0.5
				100	0.1	0.1
1.0	14370	1.035E-10	1.385E-08	20	1	1
				50	0.5	0.5
				100	0.1	0.1
1.6	8980	1.151E-10	1.291E-08	20	1	1
				50	0.5	0.5
				100	0.1	0.1
2.0	7180	1.228E-10	1.247E-08	20	1	1
				50	0.5	0.5
				100	0.1	0.1
5.0	2870	1.808E-10	1.065E-08	20	1	1
				50	0.5	0.5
				100	0.1	0.1
10.0	1440	2.776E-10	9.276E-07	20	1	1
				50	0.5	0.5
				100	0.1	0.1

表 2 式 (23) における A 、 B 、 C 、 D 、 E の値

		$\bar{k} < 0.05$	$0.05 < \bar{k} < 0.1$	$0.1 < \bar{k} < 0.25$	$0.25 < \bar{k} < 0.8$
(1)A	式(20)で条件判定	-0.82551	0.08740	0.58727	0.77405
	式(21)で条件判定	-0.35038	-0.11561	0.51898	0.77405
(2)B	式(20)で条件判定	0.58906	0.38608	0.23212	0.16027
	式(21)で条件判定	0.53401	0.47091	0.25903	0.16027
(3)C	式(20)で条件判定	2.32191	1.54441	0.87669	0.62634
	式(21)で条件判定	1.99477	1.45255	0.92330	0.62634
(4)D	式(20)で条件判定	0.83645	0.56797	0.44447	0.47373
	式(21)で条件判定	0.75393	0.75413	0.50655	0.47373
(5)E	式(20)で条件判定	0.93758	0.53520	0.24849	0.14381
	式(21)で条件判定	0.41334	0.39523	0.24880	0.14381
(6)誤差最大値(%)	式(20)で条件判定	10.97	12.28	14.75	10.20
	式(21)で条件判定	16.62	17.34	15.01	10.20
(7)誤差平均値(%)	式(20)で条件判定	0.88	2.29	3.26	1.97
	式(21)で条件判定	2.55	4.33	3.26	1.97
(8)該当素子値組数	式(20)で条件判定	201	557	1582	1038
	式(21)で条件判定	479	986	1782	1038

4. 評価

本章では提案手法と [5]、[11] の手法の精度と計算回数について比較する。

4.1 精度

図 14 に提案手法で 50% 遅延を求めたときの精度を式 (20) と式 (21) を用いた場合それぞれについて示す。図 14~図 16 は横軸は誤差 (%), 縦軸は頻度を表すヒストグラムである。誤差は SPICE シミュレーションで求めた値との比較である。表 1 と図 14 より条件式 (20) または条件式 (21) を満たすとき (time of flight が支配的なきとき)、重回帰分析により得られた式 (23) を用いることにより誤差をそれぞれ平均約 2.5% と 3%、最大約 15% と 17%、と高精度に遅延を見積もることができる。

図 15 に式 (20) を満たさなかったときの 50% 遅延を 2 次近似の第 1 近似解で求めたときの精度と、式 (21) を満たさなかったときの 50% 遅延を [11] の RC 遅延である式 (22) で求めたときの精度をそれぞれ重ねて示す。誤差は SPICE シミュレーションで求めた値との比較である。図 15 より、条件式 (20) または条件式 (21) を満たさないとき (time of flight が支配的でないとき)、式 (6)~式 (8) の 2 次近似や式 (22) の [11] の RC 遅延モデルで遅延を高精度に見積もることができることがわかる。

図 16 に 50% 遅延を [5] の手法と [11] の手法を用いて求めたときの精度をそれぞれ示す。誤差は SPICE シミュレーションで求めた値との比較である。ただし、[5]、[11] の手法は両者共、ドライバ RLC 配線-負荷でモデル化しているが、ドライバ出力容量 C_S を考慮しないモデルのため C_S の値は 0 とした。[5]、[11] の手法は誤差が 15% 以上になるものが多いことがわかる。[11] 中では R_S/R の値と C_S/C の値を固定して curve-fitting method により近似式を得ていたため、本シミュレーションのように R_S/R の値と C_S/C の値を変化させたとき精度が悪くなる。また、[5] の手法で誤差を 5% 以内で見積もることができると述べられていたが、本シミュレーションで用いた広範囲の素子値には対応していないと推定できる。図 14 と図 15 を組み合わせると図 16 を比較すれば本手法は従来手法より高精度に遅延を見積もることができることがわかる。また本手法は C_S の値

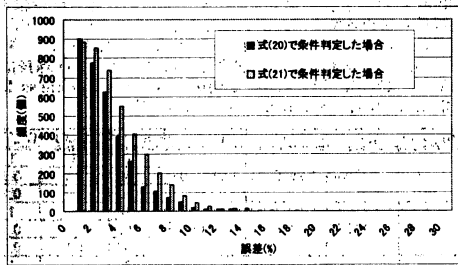


図14 条件式(20)または条件式(21)を満たすとき(time of flightが支配的などとき)、式(23)を用いて50%遅延を求めたときの誤差をそれぞれ重ねて示した。誤差は両者共、SPICE シミュレーションとの比較。

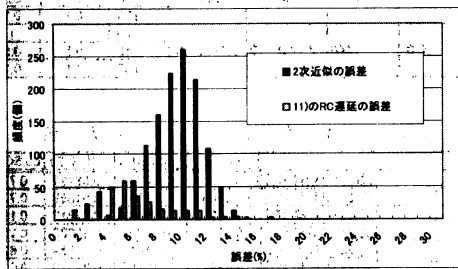


図15 条件式(20)または条件式(21)を満たさない(time of flightが支配的でないとき)、2次近似と[11]のRC遅延の式を用いて50%遅延を求めたときの誤差をそれぞれ重ねて示した。誤差は両者共、SPICE シミュレーションとの比較。

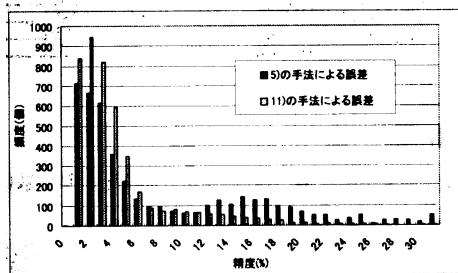


図16 [5]の手法と[11]の手法を用いて50%遅延を求めたときの誤差をそれぞれ重ねて示した。ただし、 $C_S = 0$ とした。誤差は両者共、SPICE シミュレーションとの比較。

表3 計算回数比較

計算手法	提案手法		既存手法	
	式(20)で条件判定	式(21)で条件判定	文献5の手法	文献11の手法
加減算	25	8	244	5
乗除算	62	25	402	15
exp	2.5	0	23.5	1
三角関数、双曲線関数	3	0	23	0
対数	0	0	0.5	0
平方根	3	0	6	1
小数乗	0	0	2	1

も考慮することができる。

4.2 計算回数

表3に提案式(23)を用いた場合、[5]の手法を用いた場合、[11]の手法を用いた場合のプログラム中での計算回数を示す。提案手法の回数には式(20)または式(21)の条件判定も服務計算回数は加減算、乗除算、exponential、三角関数と双曲線関数、対数、平方根、小数乗、毎に分けて数えた。ただし、exponentialの引数が小数になるときはexpの欄に数えた。表3中に小数が出てくる理由はプログラム中に場合わけがあるとき、平均を取ったからである。[11]の手法中の小数を小数乗する演算が計算を遅くする要因になると考えられる。表3より、式(21)で条件判定した場合、明らかに既存手法より計算回数が少ないことがわかる。

5. おわりに

本稿では time of flight が支配的などときに適用可能な50%遅延を見積もる新しい方法を提案した。提案手法は「50%遅延の time of flight からの増え具合に各素子値がどの程度の影響を与えるか」を線形の多項式で表現し、50%遅延を見積もるものである。また、time of flight が支配的でないときは2.章で述べた2次近似や[11]のRC遅延である式(22)を用いばよいことを示し、全体として既存手法より高精度かつ少ない計算回数で50%遅延を見積もることに成功した。

謝 辞

本研究の一部は STARC(半導体理工学センター)の援助を得た。

文 献

- [1] K. Atasu, L. Pozzi, P. lenne, "Automatic application-specific instruction-set extensions under microarchitectural constraints," in Proc. 40th DAC, pp. 256-261, 2003.
- [2] Kaustav Bānerjee, and Amit Mehrotra, "Analysis of On-Chip Inductance Effect for Distributed RLC Interconnects" IEEE Trans. Computer-Aided Design, vol. 21, pp. 904-915, AUGUST 2002.
- [3] F. Y. Chang, "Transient analysis of lossless coupled transmission lines in a nonhomogeneous dielectric medium," IEEE Trans. Microwave Theory Tech., vol. 18, pp. 616-626, Sept. 1970.
- [4] A. Deutsch, P. Coteus, et al., "On-chip wiring design challenges for gigahertz operation," Proceedings of the IEEE, vol. 89, no. 4, pp. 529-555, April 2001.
- [5] Y. Eo, J. Shim, and W. R. Eisenstadt, "A Traveling-Wave-Based Waveform Approximation Technique for the Timing Verification of Single Transmission Lines" IEEE Trans. on CAD, Vol. 21(6), pp. 723-730, June 2002.
- [6] A. J. Gruodis, "Transient analysis of uniform resistive transmission lines in a homogeneous medium," IBM J. Res. Develop., vol. 23, no. 6, pp. 537-566, Nov. 1979.
- [7] A. J. Gruodis and C. S. Chang, "Coupled lossy transmission line characterization and simulation," IBM J. Res. Develop., vol. 25, no. 1, pp. 25-41, Jan. 1981.
- [8] 蜂谷 孝太郎, "90nm/GHz クロック・ノードでのインダクタンス考慮設計の実際," DA シンポジウム 2003, pp. 19-24, 2003.
- [9] 黒川 敦, 金本 俊幾, 佐藤 高史, "オンチップ・インダクタンスとは? =モデリングと抽出技術=," DA シンポジウム 2003, pp. 1-6, 2003.
- [10] Y. I. Ismail, E. G. Friedman, and J. L. Neves, "Figures of merit to characterize the importance of on-chip inductance," in Proc. DAC, June 1998, pp. 560-565
- [11] Yehea I. Ismail, Eby G. Friedman, and Jose L. Neves, "Effects of Inductance on the Propagation Delay and Repeter Insertion in VLSI Circuits" IEEE Trans. VLSI system, vol. 8, No. 2, pp. 195-206, April 2000.
- [12] Yehea I. Ismail, Eby G. Friedman, and Jose L. Neves, "Equivalent Elmore Delay for RLC Trees" IEEE Trans. Computer-Aided Design, vol. 19, pp. 83-97, JANUARY 2000.
- [13] 南 文裕, 増田 弥生, "インダクタンスを含む配線の電気的特性計測と解析評価," DA シンポジウム 2003, pp. 13-18, 2003.
- [14] 佐藤 高史, 金本 俊幾, 黒川 敦, "VLSI 設計・信号品質解析におけるインダクタンスの影響とその重要性," DA シンポジウム 2003, pp. 7-12, 2003.
- [15] 土谷 亮, 橋本 昌宜, 小野寺 秀俊, "配線 R(f)L(f)C 抽出のための代表周波数決定手法," 第 16 回軽井沢ワークショップ, pp. 61-66, 2003.
- [16] L. Yin and L. He, "An efficient analytical model of coupled on-chip RLC interconnects," in Proc. Asia South Pacific Design Automation Conf., 2001, pp. 385-390.