

同位相構造に基づく特定用途を考慮した FPGA 相互接続遅延テスト

矢葺 光佑[†] 大竹 哲史[†] 藤原 秀雄[†]

[†]奈良先端科学技術大学院大学 情報科学研究科 〒630-0192 けいはんな学研都市

E-mail: † {kosuke-y, ohtake, fujiwara}@is.naist.jp

あらまし 本稿では、特定用途を考慮した FPGA(Field-Programmable Gate Array)の相互接続線のパス遅延故障に対するテスト手法を提案する。まず、コンフィグレーションが同位相構造を有する順序回路の場合、そこで実際に使用される相互接続線に対して、2つのテストコンフィグレーションを用いて各コンフィグレーションあたり「最大順序深度+2」のテスト実行時間ですべてのパスをロバストにテストできることを示す。この手法を無閉路順序回路、閉路を有する順序回路に応用する。閉路を有する順序回路では、テストコンフィグレーション数を2にするために、与えられた特定用途のコンフィグレーションの設計変更(テスト容易化コンフィグレーション)を行う。提案法では、未使用の領域についてはテストを行わないことにより、過剰テストを削減し、テスト実行時間、歩留まりを向上する。

キーワード FPGA, パス遅延故障, 同位相構造, テストコンフィグレーション, テスト容易化コンフィグレーション

Delay Testing for Application-Specific Interconnects of FPGAs based on Inphase Structure

Kosuke Yabuki[†] Satoshi Ohtake[†] and Hideo Fujiwara[†]

[†] Graduate School of Information Science, Nara Institute of Science and Technology

Kansai Science City, Nara, 630-0192, Japan

E-mail: † {kosuke-y, ohtake, fujiwara}@is.naist.jp

Abstract This paper presents a method of path delay fault testing for application-specific interconnects in field-programmable gate arrays (FPGAs). The paper shows that if the circuit structure of a configuration corresponding to an application is inphase structure, all the paths in the circuit can be robustly tested by using two configurations with test application time $d+2$ for each configuration where d is the maximum sequential depth of the circuit. The scheme for inphase structure is extended for acyclic structure and general structure. For cyclic sequential circuits, the original configuration is modified by configuration for testability method so that the number of test configurations for the circuit can be two. The proposed method reduces overtesting by excluding paths of outside the configured area in the FPGA.

Keyword FPGA, path delay fault, inphase structure, test configuration, configuration for testability

1. はじめに

近年、再構成可能ハードウェアである FPGA(Field-Programmable Gate Array)が広く用いられている。FPGA では、相互接続線が回路の大部分を占めるため、さまざまな相互接続線テスト手法が提案されている[1][2]。また、動作速度の高速化に伴い、回路が設計仕様を満たす速度で正しく動作するか調べる遅延故障テストが重要になり、FPGA の遅延故障テストについてもさまざまな手法が提案されている[3][4]。さらに近年、FPGA を製造コスト削減のために ASIC(Application Specific Integrated Circuit)の代わりに用い、特定の機能でのみ利用する場合がある。その

場合、特定の機能のみをテストすることでテストを簡略化でき、高速・高品質なテストが可能である[5]。それと同時に未使用部分の故障についてはテストの必要はないため、過剰テストの削減が可能となり、歩留まりを向上できる[6]。

FPGA のテストは、テスト用に回路をコンフィグレーションし、その後テストベクトルを印加することで行う。必要に応じて複数のコンフィグレーションを行い、相互接続線のテストと CLB(Configurable Logic Block)のテストを行う。FPGA の特定の用途を考慮した相互接続線のテストでは、実際に使用する配線部分は元のコンフィグレーションを変更せず、CLB の関数のみをテスト用のコンフィグレーションに置き換えて、

テストを行っている。同様に CLB のテストでは、CLB の内容は変更せず、相互接続線の配線のみを変更し、テストを行っている。

本稿では、相互接続線テストについてのみ扱い、特定用途を考慮した FPGA のパス遅延故障のテスト手法を提案する。まず、テスト容易な回路構造として同位相構造を定義する。同位相構造順序回路では、Tahoori ら[6]の提案した AND(OR)型回路をテスト用コンフィグレーションとして用いることにより、1 周期で値が反転する矩形波を外部入力に印加することで「最大順序深度+2」のテスト実行時間ですべてのパス遅延故障のロバストテストが可能であることを示す。また、任意の無閉路回路について、すべてのフリップフロップ (FF) の出力を反転させ、AND と OR のみで構成する出力立ち上(下)がり活性回路をテスト用のコンフィグレーションとして用いることにより、一部のパス遅延故障について、ロバストテストの条件で、その他のパス遅延故障について機能的活性化可能テストの条件でテストできることを示す。この場合も、テストコンフィグレーション数は 2 で、テスト実行時間は「最大順序深度+2」である。閉路を含む回路については、すべての FF の出力を反転し、FF にプリセットを与えることで同様にテストが可能であることを示す。特定用途のコンフィグレーションでプリセット機能が使われていない場合も考慮し、コンフィグレーションの設計変更(テスト容易化コンフィグレーション)を提案する。

2 節では、従来のテスト手法を紹介し、その問題点について述べ、3 節で同位相構造、無閉路順序回路、および、一般の順序回路におけるテスト手法を述べる。最後に 4 節でまとめと今後の課題について議論する。

2. 従来のテスト手法

2.1. FPGA のテスト

本稿で扱う FPGA の構造は、相互接続線と CLB からなる。相互接続線は、Switch Matrix (SM) の制御メモリを書き換えることによって CLB 間を配線することができる。CLB は FF と Look-Up Table (LUT) からなる。LUT は制御メモリを書き換えることで、任意の組合せ論理関数を実現できる。これらの SM の制御メモリ書込みによる配線決定や、CLB 内の制御メモリ書込みによる関数決定を「コンフィグレーションする」と言う。また、制御メモリに書き込むデータを「コンフィグレーション」と呼ぶ。

FPGA の特定の用途を考慮したテストでは、テスト対象部分のコンフィグレーションは変更せずに、他の部分を変更することでテストを行う。具体的には、相互接続線のテストでは、相互接続線の配線を変更せずに、CLB 内の構成を変更することでテストを行い、CLB のテストでは CLB 内の構成を変更せずに、相互接続線の構成を変更することでテストを行う。このような、テスト用に新たに作成したテスト時のみ用いるコンフィグレーションを「テストコンフィグレーション」と呼ぶ。

特定用途を考慮しないテストでは、どのようにコンフィグレーションしても正しく動作することを保証しなければならず、FPGA で構成可能な経路すべてに対してテストを行わなければならない。これに対して、特定用途を考慮したテストは、実際に使う相互接続線と CLB のみをテスト対象とする。そのため、未使用領域をテストから除外することで、過剰テストを削減し、テスト実行時間、歩留まりを向上できる。

特定用途を考慮した従来のテスト手法として、Tahoori らによる手法[6]が挙げられる。この手法では、無閉路順序回路において、コンフィグレーション数 2、通常の順序回路において、コンフィグレーション数 4 でテストを行う。2.2 節ではまず無閉路順序回路に限定して解説し、2.3 節で閉路を含む場合のコンフィグレーションの分割について、2.4 節でこの手法の問題点について述べる。

2.2. AND(OR)型回路

パス遅延故障モデルでは、1 本のパスについてその終点の立ち上がり遅延故障と立ち下がり遅延故障を考える。

AND ゲートのすべての入力に立ち上がりの遷移を同時に与えると、出力にも立ち上がりの遷移を起こすことができる。ここで、入力に 1 つでも立ち上がり遅延の影響が伝搬すると、ゲートの出力に遅延の影響がロバストに伝搬される。また、OR ゲートのすべての入力に立ち下がりの遷移を同時に与えると、出力にも立ち上がりの遷移を起こすことができる。ここで、入力に 1 つでも立ち下がり遅延の影響が伝搬すると、出力に遅延の影響がロバストに伝搬される。Tahoori らはこの性質を利用して、AND(OR)型回路をテストコンフィグレーションとして利用した。

[定義 1](AND(OR)型回路) 順序回路 S について、 S 中のすべてのゲートを AND(OR)に置き換えた回路を S の AND(OR)型回路と呼ぶ。ただし、回路中の NOT ゲート、

バッファについては、1 入力の AND ゲートに置き換えるものとする。□

Tahoori らの手法では、与えられた FPGA のコンフィグレーションに対し、そのコンフィグレーションで用いられるすべての LUT について、すべての LUT を AND 型回路および OR 型回路に置き換える 2 つのテストコンフィグレーションを用いる。各コンフィグレーションについて、各 LUT の入力に同タイミングで遷移を与えるようなテストベクトル印加タイミングを計算する。例として、図 1 に、あるコンフィグレーション中の各 LUT について、その入力すべての AND をとる、AND 型無閉路順序回路を示す。ここで、 G_1 入力に同時に立ち上がり遷移を与えることを考える。すると、外部入力 X_2 は X_1 までの順序深度(経路上の FF 数)より 1 小さいため、外部入力でのタイミングを 1 周期遅らせることによって G_1 の入力に同時に立ち上がり遅延を発生させる。同様に計算すると、 X_3, X_4, X_5 は X_1 と同時に立ち上がりの遷移を印加することで、各 AND ゲートのすべての入力に立ち上がりの遷移を同時に発生する

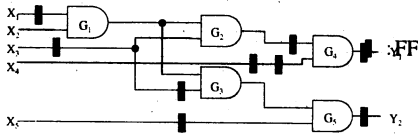


図1 AND型無閉路順序回路

ことができる。これを用いて立ち上がりバス遅延故障のテストを行う。回路上の任意のバスで立ち上がり遅延が発生すると、本来1が伝わるべきバスの終点のFFまたは外部出力へ制御値0が現れる。これにより、そのFF以降では立ち上がりの遷移が起こらず、最終的にその影響が外部出力まで伝搬される。同様にすべてのLUTの関数をORに置き換えたOR型回路にすることで、立ち下がり遷移の遅延テストを行う。

2.3. 閉路を含む回路の分割

閉路を持った回路では、図2に示すように回路を順方向の信号線のみを持つ部分回路、逆方向の信号線のみを持つ部分回路に分割し、それぞれ無閉路の部分回路にすることによって2.2節のテスト手法を適用する。回路分割には、FFを頂点、FF間のパスを辺とした有向グラフを作成し、幅優先探索でその順方向のみからなる部分グラフを作成して、対応する部分回路とそれ以外で構成される部分回路に分割する。図2(a)に示す回路の場合、作成される有向グラフは図2(b)になる。このグラフを上記手法で分割すると図2(c)(d)になり、対応する回路として、図2(e)(f)が得られる。このように与えられた閉路を含む回路を無閉路化することができる。閉路回路ではテストコンフィグレーションとして、順方向信号線のみを持った回路、逆方向信号線のみを持った回路それぞれに対してAND型回路、OR型回路となるテストコンフィグレーションを行う。したがって、テストコンフィグレーションの数は4となる。

2.4. 従来手法の問題点

従来手法には以下の2つの問題点がある。まず、図3に示すように経路上の順序深度の差が1の再収斂経路対を含む回路では、同時に立ち上がりまたは立ち下がりの遷移を収斂するゲートに発生させることができないという問題がある。この場合、このゲートに対してはノンロバストに遅延の影響をゲートに出力へ伝搬できるが、故障のない場合にそのゲートより後段の回路部分に遷移を発生させることができなくなる。この問題の解決には、再収斂経路を分割して別のテストコンフィグレーションを作りテストを行う方法が考えられるが、その場合テストコンフィグレーション数が多くなり、テスト実行時間のオーバーヘッドを伴う。

もう1つの問題点は、図2(e)(f)に示す回路に分割した際、図2(f)のように逆方向の信号線のみを持つ部分回路では、部分回路の入力、出力をそれぞれ外部入力・外部出力に

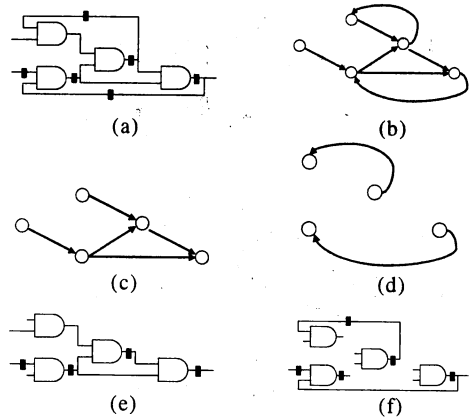


図2 閉路を含む順序回路の分割

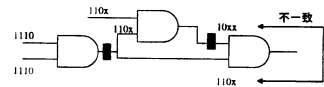


図3 再収斂構造による従来手法の問題

つなく配線を行わなければならない。本来の機能で未使用の部分を利用しなければならない。さらに、本来のコンフィグレーションによる配線が密集している場合に、配線が困難になるという問題がある。3節以降ではこれらの問題を解決しつつ、閉路を含む順序回路においてもテストコンフィグレーション数が2となるテスト手法を提案する。

3. 提案手法

本節では与えられたコンフィグレーションの回路構造に基づき、同位相構造順序回路、無閉路順序回路、および閉路を持つ順序回路に対するテストコンフィグレーションおよびテスト系列を設計し、それぞれの回路構造に基づくテスト手法を提案する。

3.1. 同位相構造

文献[7]で著者らが提案した同位相平衡構造の条件を緩和した同位相構造を定義し、同位相構造順序回路をコンフィグレーションとして持つFPGAのテスト法を提案する。

【定義2】(トポロジーグラフ) [7]順序回路 S のトポロジーグラフは、以下の重み付き有効グラフ $G=(A, V, w)$ である。

- V は S の外部入力、外部出力、ゲートを頂点とする集合。
- $A \subset V \times V$ は S の信号線またはFFのみを通る経路を辺とした集合。
- $w: A \rightarrow \{0\} \cup \mathbb{N}$ (自然数)は辺の重み($a \in A$ に対応する S の信号線または経路上のFFの個数)。

このトポロジーグラフを用いて、同位相構造を定義する。

【定義3】(同位相構造) 無閉路順序回路 S のトポロジーグラフ $G=(A, V, w)$ において、以下の条件を満たすような任意の値 $b(v) \in \{0, 1\}$ を各頂点 $v \in V$ に割り当てることができるとき S は同位相構造であるという。また、 $b(v)$ を位相方向と呼

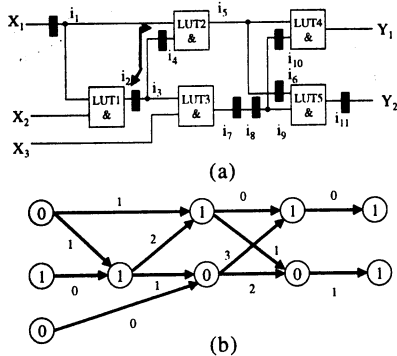


図4 同位相構造順序回路

ぶ。ここで $w(a)$ は辺 $a \in A$ の重みを表す。また、 $\text{mod}_2(x)$ は x を 2 で割った余りを示す。

$$b(v_i) = \text{mod}_2((b(v_i) + w(a)) \quad \forall a(v_i \rightarrow v_j) \quad \square$$

同位相構造順序回路の例とそのトポロジーグラフを図4に示す。辺上の値は重みを、頂点の値は $b(v)$ を示す。

同位相構造順序回路 S をコンフィグレーションとして持つ FPGA のテストは、その AND 型回路と OR 型回路にテストコンフィグレーションし、それぞれについて長さ $SD(S)+2$ の矩形波系列をテスト系列として印加することにより行う。ここで $SD(S)$ は回路 S の最大順序深度を表すものとし、矩形波とは 0 と 1 が交互に現れるビット系列をいう。

[定理 1](同位相構造 AND 型回路の可検査性) 同位相構造順序回路 S のトポロジーグラフを $G=(V, A, w)$ とし、 S の AND 型回路を S^{AND} とする。また、 $SD(S)$ をもつ S の経路の始点に対応する G の頂点を v_{id} とする。位相方向 $b(v) \in \{0, 1\}$ を各頂点 $v \in V$ に割り当てたとき、 $b(v_i) = b(v_{id})$ なるソース v_i に対応する外部入力 0 、それ以外の外部入力は 1 を初期値とする長さ $SD(S)+2$ の矩形波で構成される S の入力系列を T とする。このとき、 T は S^{AND} 上の任意の立ち上がりパス遅延故障のロバストテストである。 \square

(証明): G において、 $D_{MAX}(v)$ をソースから v への最長経路の重み和とする。 S^{AND} に T を印加したとき、同位相構造の定義および AND ゲートの性質より、 G の各頂点 v に対応するゲートの各入力には、 $D_{MAX}(v)+1$ 周期以降、 $b(v) = b(v_{id})$ であれば 0 を初期値とする矩形波が $SD(S) - D_{MAX}(v) + 1 \geq 2$ 周期、 $b(v) \neq b(v_{id})$ であれば 1 を初期値とする矩形波が $SD(S) - D_{MAX}(v) + 1 \geq 3$ 周期印加される。すなわち、すべてのパスに少なくとも 1 回の立ち上がり遷移を伝搬させることができる。ここで、 $SD(S)$ をもつ S の経路の終点に対応する G の頂点を v_{od} としたとき、 $b(v_{oj}) = b(v_{od})$ なる v_{oj} に対応する外部出力では時刻 $d+2$ の値、それ以外の外部出力では、時刻 $d+1$ の値をとる。 o_j で構成される外部出力ベクトル $O = (o_1, o_2, \dots, o_n)$ (n は外部出力数) を S^{AND} の観測ベクトルと呼ぶ。正常回路の場合、 $O = (1, 1, \dots, 1)$ となる。

S^{AND} の任意のパス p 上の立ち上がりパス遅延故障を f_p とする。 p の終点となる FF または外部出力では立ち上がりの

遷移が起きない、すなわち、AND の制御入力 0 となるため、 p の終点の推移的分岐枝となる外部出力にも誤りが伝搬し、観測ベクトルの対応する座標に 0 が伝搬する。従って、故障回路の観測ベクトル O^{f_i} と正常回路の観測 O が異なることより、 f_p は検出される。また、 p 上に立ち上がりの遷移を伝搬する際、AND ゲートのすべての入力には制御値から非制御値への遷移が起こるので、ロバストテストの条件を満たす。以上より、 T は S^{AND} 上の任意の立ち上がりパス遅延故障のロバストテストであることが示された。 \square

[定理 2](同位相構造 OR 型回路の可検査性) 同位相構造順序回路 S のトポロジーグラフを $G=(V, A, w)$ とし、 S の OR 型回路を S^{OR} とする。また、 $SD(S)$ をもつ S の経路の始点に対応する G の頂点を v_d とする。位相方向 $b(v) \in \{0, 1\}$ を各頂点 $v \in V$ に割り当てたとき、 $b(v_i) = b(v_d)$ なるソース v_i に対応する外部入力は 1 、それ以外の外部入力は 0 を初期値とする長さ $SD(S)+2$ の矩形波で構成される S の入力系列を T とする。このとき、 T は S^{OR} 上の任意の立ち下がりパス遅延故障のロバストテストである。 \square

(証明): AND 型回路と OR 型回路、それぞれの矩形波入力系列は相対であることより明らか。 \square

例: 図 4(a) に示す同位相構造 AND 型回路 (トポロジーグラフは図 4(b)) では、最大順序深度は 5 であり、定理より $b(Y_1) = b(Y_2) = b(X_2)$ であるため、 X_2 には初期値 1 の矩形波、 X_1, X_3 には初期値 0 の矩形波を 7 周期印加する。正常回路では、定理 1 よりすべてのパスに少なくとも 1 回の立ち上がり遷移が発生する。ここで図 4(a) の矢印で示すパスに立ち上がり遅延が発生すると、FF が 1 の入力を取り込めず、FF の出力が矩形波でなく、0 固定となる。LUT2 の AND ゲートにおいて、0 は制御値なので、0 固定の入力は出力に伝搬する。AND 型回路ではこの出力が外部出力 Y_1, Y_2 まで伝搬するため、このパス遅延故障を検出できる。

3.2. 無閉路構造

同位相構造順序回路を有するコンフィグレーションに対する、AND (OR) 型回路を用いたテスト手法は、正常回路において各ゲートのすべての入力へ矩形波が同じ位相で印加される性質を利用してパス遅延故障を検出するものである。この性質を任意の無閉路順序回路 S を有するコンフィグレーションに対しても実現するための、出力立ち上 (下) がり活性変換を提案する。FPGA に対し、この変換によって得られた回路をテストコンフィグレーションとして使い、各テストコンフィグレーションについて $SD(S)+2$ の矩形波系列をテスト系列として印加することにより行う。

[定義 2](出力立ち上 (下) がり活性変換) 無閉路回路 S について、信号線 i から外部出力への経路の最小順序深度のパリティを $l(i)$ とする。このとき、 i がゲート g の出力かつ $l(i)=0$ であれば g を AND、 $l(i)=1$ であれば OR に変換し、さらに、すべての FF 出力を反転 (NOT を追加) して得られた回路を出力立ち上がり活性回路 S^R と呼び、この変換を出力

立ち上がり変換と呼ぶ。また、出力立ち上がり活性回路の AND と OR を相互に入れ替えた回路を出力立ち下がり活性回路 S^F と呼び、この回路を得る変換を出力立ち下がり変換と呼ぶ。 □

【系 1】(出力立ち上がり活性回路のゲート入力) S^R のすべての外部入力に対して、長さ $SD(S^R)+2$ の $SD(S^R)$ のパリティを初期値とする同位相の矩形波を印加することにより、 S^R 中の各ゲート g について、その入力に $D_{MAX}(g)+1$ 周期以降、 $SD(S^R) + D_{MAX}(g)$ のパリティを初期値とする矩形波を印加することができる。ここで、 $D_{MAX}(g)$ は外部入力から g までの最大順序深度を表す。

【定理 3】(出力立ち上がり活性回路の可検査性) S^R のすべての外部入力で位相の等しい、 $SD(S^R)$ のパリティを初期値とする長さ $SD(S^R)+2$ の矩形波系列を T とする。 S^R の任意のパスを p とし、 p の終点となる FF の直前の信号線 k から外部出力への経路の最小順序深度のパリティを $l(k)$ とする。このとき、 T は p 上に AND ゲートと OR ゲートが混在する場合、 $l(k)=0$ なる p では立ち上がりの、 $l(k)=1$ なる p では立ち下りのパス遅延故障に対する機能的活性化可能テスト [8] である。 p 上に AND ゲートしか存在せず、 $l(k)$ が 0 である場合、 T は p の立ち上がりのパス遅延故障に対するロバストテストである。 p 上に AND ゲートしか存在せず、 $l(k)$ が 1 である場合、以下の条件を満たす k から外部出力までの経路 Q が存在すれば、 T は p の立ち上がりのパス遅延故障に対するロバストテストである。ここで、 Q 上の任意のパスを q とし、 $p-q$ 間の経路の順序深度を $f(p-q)$ とする。

条件 1. $mod_2(f(p-q))=0$ なるパス q 上に存在するゲートは AND ゲート 1 種類である。また、 $mod_2(f(p-q))=1$ なるパス q 上に存在するゲートは OR ゲート 1 種類である。

上記条件を満たす Q が存在しない場合は、 T は p の立ち下りのパス遅延故障に対する機能的活性化可能テストである。

また、 p 上に OR ゲートしか存在せず、 $l(k)$ が 1 である場合、 T は立ち下りのパス遅延故障に対するロバストテストである。 p 上に OR ゲートしか存在せず、 $l(k)$ が 0 である場合、以下の条件を同時に満たす k から外部出力までの経路 Q が存在すれば、 T は p の立ち下りのパス遅延故障に対するロバストテストである。ここで、 Q 上の任意のパスを q とし、 $p-q$ 間の経路の順序深度を $f(p-q)$ とする。

条件 2. $mod_2(f(p-q))=0$ なるパス q 上に存在するゲートは OR ゲート 1 種類である。また、 $mod_2(f(p-q))=1$ なるパス q 上に存在するゲートは AND ゲート 1 種類である。

上記条件を満たさない場合、 T は p の立ち上がりのパス遅延故障に対する機能的活性化可能テストである。 □

(証明): 出力立ち上がり活性変換の定義より、 $l(k)=0$ の場合には k から外部出力までの、条件 1 を満たす経路が存在することが保証される。

k から外部出力までの、条件 1 を満たす経路 Q が存在す

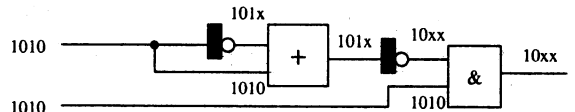


図 5 出力立ち上がり活性変換回路

るとき、 k に現れた p 上の立ち上がりのパス遅延故障の影響は外部出力まで伝搬できることを示す。 p に故障がないとき、系 1 より Q の終点へ立ち上がりまたは立ち下りの遷移が伝搬する。 p 上の立ち上がりのパス遅延故障があるとき、 k には立ち上がりの遷移が起こらない、すなわち、値が 0 に固定される。このとき、 Q の条件およびゲートの制御値の性質より、 $mod_2(f(p-q))=1$ なるパス q に上の OR ゲートの入力には 1、 $mod_2(f(p-q))=0$ なるパス q 上の AND ゲートの入力には 0 が固定される。従って、 p 上のゲートが AND ゲートの場合、 T により p 上の立ち上がりのパス遅延故障がロバストに活性化れ、その影響は外部出力で観測できる。 p 上に AND、OR が混在する場合には、 T は p の立ち上がりのパス遅延故障の機能的活性化可能テストとなる。

p 上のゲートが OR ゲートの場合に、 T が p 上の立ち下りのパス遅延故障のロバストテスト、 p 上に AND、OR が混在する場合に T が p 上の立ち下りのパス遅延故障の機能的活性化可能テストであることも、条件 2 より上述と同様に示すことができる。 □

S^F についても定理 3 と同様に可検査性を示すことができる。 S^F では、 S^R の AND と OR を相互に入れ替えた回路であり、外部入力に印加する矩形波の位相を反転すれば、各ゲート入力で制御値と非制御値の関係が反転する。従って、 S^R のパスに対応する S^F のパス p' では、 S^R で検出した向きとは逆向きのパス遅延故障が、同じ活性化条件の下で検出されることは明らかである。

例: 図 5 で示す出力立ち上がり活性回路では、最大順序深度が 2 であるため、長さ 4 で初期値 0 の矩形波を全外部入力に印加している。OR ゲートで異なるパリティの順序深度の経路が再収斂しているが、FF 出力を反転させることで、同位相の入力を与えることができる。

3.3. 閉路を持つ順序回路

閉路を持つ順序回路では、ゲートの置き換え、FF への NOT ゲートの付加だけで、2 つのテストコンフィグレーションでテストを行うのは困難である。本稿では、与えられたコンフィグレーションのテスト容易化を考える。

3.3.1. テスト容易化コンフィグレーション

テスト容易化コンフィグレーション(以下 CFT)とは、テストを容易にするために元の回路を設計変更するテスト容易化設計の概念を FPGA のコンフィグレーションに対するテスト容易化に応用したものである。テストを行う際にはテストコン

フィグレーションを用いるが、それだけではなく、テストを容易にするために、元のコンフィグレーションで実現する回路自体を設計変更するものである。

本手法では、すべてのFFを0または1にプリセットするためのテスト容易化コンフィグレーションを行う。実現方法としては、CLBのFFのセット、リセットを用いる方法や、FFの直前にマルチプレクサを入れ、外部から直接0と1をプリセットできるようにする方法などが考えられる。ここでは、後者のプリセット付加CFTを行うことを考える。このCFTの例を図6に示す。このCFTでは、FF数分のマルチプレクサ、プリセットイネーブルおよびプリセット値を与える外部入力それぞれ1本、外部入力からマルチプレクサへの配線がオーバーヘッドとなる。

3.3.2. テストコンフィグレーション

閉路回路においては、CFTを行って得られた回路のプリセット機能を実現する部分を除き、出力立ち上がり活性変換、出力立ち下がり活性変換と同じ手続きを行うことにより2つのテストコンフィグレーションを作る。後述するようにプリセットは外部入力からテスト系列を印加する前に行うので、プリセット後は付加したマルチプレクサは、通常モード側を選択する。したがってプリセット後は、信号線に置き換えたものとして扱う。

3.3.3. プリセット機能を用いたテスト

閉路を持つ出力立ち上がり活性回路 S^C で、外部入力から外部出力までの単純経路の最大順序深度を α 、閉路への分岐枝から外部出力までの単純経路の最大順序深度を β とする、 $\max(\alpha, \beta)$ を S^C の最大伝搬遅延と呼ぶ。すべてのFFに対しては、 $\max(\alpha, \beta)+1$ のパリティをプリセット、外部入力に対しては、長さ $\max(\alpha, \beta)+2$ の $\max(\alpha, \beta)$ のパリティを初期値とする同位相の矩形波系列を印加する。これにより、回路中の全ての信号線の値が、奇数サイクルでは、 $\max(\alpha, \beta)+1$ のパリティ、偶数サイクルでは、その反対の値になることがわかる。これにより、各ゲート入力に同位相の立ち上(下)がりの遷移を与えることができ、無閉路回路と同様にテスト可能である。

4. まとめ

本稿では、特定用途を考慮したFPGAにおける相互接続のパス遅延故障テスト手法を提案した。具体的には、テスト容易な回路構造として、同位相構造を定義し、AND(OR)回路でのテスト手法を示し、テストコンフィグレーション数2、テスト系列長は最大順序深度に比例する長さでテスト可能であることを示した。また、無閉路順序回路では、テストコンフィグレーションとして出力活性回路を提案し、テストコンフィグレーション数2、テスト系列長は最大順序深度に比例する長さでテスト可能であることを示した。さらに、閉路を含む

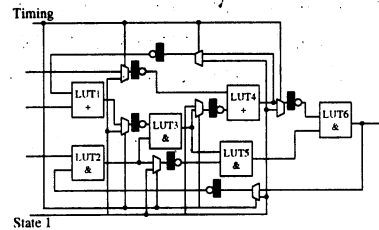


図6 プリセット付加CFT

回路においても、プリセット機能を利用することで、テストコンフィグレーション数2、テスト系列長は最大伝搬遅延に比例する長さでテスト可能であることを示した。閉路を持つ回路のテストでは、プリセット機能を利用するため、これを付加するテスト容易化コンフィグレーション(CFT)を提案した。

今後の課題として、プリセット付加CFTにおける面積オーバーヘッドの評価や、すべてのパス遅延故障をロバストに検出できるCFTの考案などが挙げられる。

謝辞

本研究に際し、多くの貴重な意見をいただいた本学の井上美智子助教授、米田友和助手、ならびにコンピュータ設計学講座の諸氏に深く感謝します。本研究は一部、日本学術振興会科学技術研究費補助金・基盤研究B(2)(課題番号15300018)の研究助成による。

文献

- [1] M. Renovell, P. Faure, J.M. Protal, J. Figueras, Y. Zorian, "Testing the interconnect of RAM-based FPGAs," *IEEE Design and Test of Computers*, pp.45-50, 1998.
- [2] I. Harris, R. Tessier, "Diagnosis of interconnect faults in cluster-based FPGA architectures," *Proc. of Design Automation Conference*, pp.49-54, 2000.
- [3] I. Harris, P. Menon, R. Tessier, "BIST-based delay path testing in FPGA architectures", *Proc. IEEE Int'l. Test Conf.*, pp.932-938, 2001.
- [4] A. Krasnierski, "Testing FPGA delay-faults in the system environment is very different from ordinary delay-fault Testing," *Proc. IEEE Int'l On-Line Test Workshop*, pp.37-40, 2001.
- [5] M. B. Tahoori, "Application-dependent diagnosis of FPGAs," *IEEE Int'l Test Conf.*, pp.645-654, 2004.
- [6] M. B. Tahoori, S. Mitra, "Interconnect delay testing of design on programmable logic devices," *Proc. IEEE Int'l Test Conf.*, pp.635-644, 2004.
- [7] 三輪 俊二郎, 大竹 哲史, 藤原 秀雄, "組合せテスト生成複雑度でパス遅延故障テスト生成可能な順序回路", *電子情報通信学会論文誌*, Vol.J86-D-I, No.11, pp.809-820, Nov. 2003.
- [8] A. Krstic and K.T.(Tim) Cheng, *Delay fault testing for VLSI circuits*, Kluwer Academic Publishers, 1998.