

## 遅延変動を考慮したクロック木の構築手法

井口 雅之<sup>†</sup> 高橋 篤司<sup>†</sup>

<sup>†</sup> 東京工業大学大学院理工学研究科集積システム専攻  
〒152-8552 東京都目黒区大岡山 2-12-1  
E-mail: †{iguchi,atushi}@lab.ss.titech.ac.jp

あらまし LSI回路の大規模化、高速化によって、様々な要因により生じる遅延変動が回路動作に与える影響が大きくなっており、各レジスタまでのクロック遅延の差を積極的に利用する準同期式回路においても遅延変動の考慮が求められている。本稿では、時定数の大きなクロック遅延変動を考慮したクロック木の構築手法を提案する。提案手法では、クロック遅延の変動は配線長に比例するが、信号伝搬のあるレジスタ対へのクロック配線の共通部分における遅延変動は、回路の動作条件に影響しないとの前提でクロックスケジュールを決定し、そのクロックスケジュールを目標にクロック木を構築する。ベンチマーク回路による実験で提案手法の効果を確認した。

キーワード 準同期式回路, 遅延変動, クロック木, 最小クロック周期

## A Clock Tree Construction Method Under Delay Variations

Masayuki IGUCHI<sup>†</sup> and Atsushi TAKAHASHI<sup>†</sup>

<sup>†</sup> Department of Communications and Integrated Systems, Tokyo Institute of Technology  
Okayama 2-12-1, Meguro-ku, Tokyo, 152-8552 Japan  
E-mail: †{iguchi,atushi}@lab.ss.titech.ac.jp

**Abstract** As LSI chips become larger and faster, the effect of delay variations on the circuit behavior becomes larger. The consideration of delay variations is requested in semi-synchronous circuits that use the difference of clock delays effectively, too. In this paper, we propose a clock tree construction method that takes delay variations of a long time constant into account. In the proposed method, first, an objective clock schedule is obtained under the assumption that delay variations of clock delay are proportional to the wire length, but that the delay variations on the common part of clock wire to a register pair with signal propagation do not affect the circuit behavior. Then, a clock tree is constructed so that the clock schedule realized by the clock tree approaches the objective clock schedule. In experiments, the validity of the proposed method is confirmed.

**Key words** semi-synchronous circuit, delay variation, clock-tree, minimum clock period

### 1. はじめに

近年、半導体加工技術の向上によりLSI回路の大規模化、高速化が進んでいるが、クロックの同時分配を前提とする完全同期式回路に対する様々な問題が指摘されており、クロックの同時分配を前提としない準同期式回路により、それらの問題を解決するとともに最小クロック周期や消費電力を抑えることが期待されている。そのため、クロックを各レジスタに指定タイミング差で分配するためのクロック木合成手法[1]~[5]の提案など、様々な取り組みがなされている。しかし、製造時の温度や動作環境の違いによる遅延変動が、回路動作に深刻な影響を与えるようになり、信頼性の向上のための手法[6]~[10]も提案されているが、遅延変動の回路動作に対する影響を必ずしも正確に考慮していない。

本稿では、クロックジッタのようにクロックの各周期毎にクロック遅延が変化するような時定数の小さいクロック遅延変動ではなく、製造誤差や温度などの要因による比較的時定数の大きなクロック遅延変動を考慮したクロック木の構築手法を提案する。時定数の大きなクロック遅延変動の場合、信号伝搬のある2つのレジスタに対して、クロックソースからそれぞれのレジスタまでのクロック配線の共通部分では同一の遅延変動が発生しているので、回路の動作条件には影響を与えない。したがって、本稿では、クロックソースから各レジスタまでのクロック配線の非共通部分でそれぞれ独立に発生している遅延変動について考慮する。

本稿では、クロック遅延が配線長に比例した値だけ変動すると仮定する。この仮定の元では、遅延変動が信号伝搬のある2つのレジスタの動作条件に与える影響が最も小さくなるのは、

2つのレジスタへのクロック配線の非共通部分の長さがレジスタ間のマンハッタン距離に等しいときである。信号伝搬のある2つのレジスタに対するクロック配線の非共通部分の長さがマンハッタン距離と等しいクロック木が構築できるという前提での最小クロック周期を理論最小クロック周期とする。本稿では、配線の非共通部分がマンハッタン距離と等しいクロック木が構築できるという前提のもとで理論最小クロック周期でのクロックスケジューリングを行い、この前提をできる限り満たすようにクロック木を構築することで、遅延変動の回路動作に対する影響を抑えるクロック木の構築手法を提案する。

提案手法では、ボトムアップ式にクロック木のトポロジーを生成する際、準同期式回路の動作速度の限界を決定しているクリティカルサイクルに属するレジスタ対やタイミング幅に余裕のないレジスタのうち、信号伝搬のあるレジスタ対を最優先でマージすることで、それらレジスタ対へのクロック配線の非共通部分を最小にし、遅延変動の影響による回路の動作速度の低下を抑える。

本手法で構築したクロック木に対して、信号伝搬のある2つのレジスタまでのクロック配線の非共通部分に比例した値で遅延変動の差を見積もって得られる制約条件をもとに達成最小クロック周期を算出した。この結果既存手法と比べて、全ての回路において理論最小クロック周期と比較して達成最小クロック周期の増加を抑えることができた。また、完全同期式回路よりも高速に動作することが確認できた。

## 2. 準備

### 2.1 準同期式回路

完全同期式設計ではすべてのレジスタに同じタイミングでクロックを供給する。一方、準同期式設計では各レジスタにクロックを同時に入力することは前提としていない。そのため、準同期式回路はクロックが到着する時刻を変えることでより短いクロック周期を実現することができる。例えば、図1の回路では、レジスタ  $r_2$  からレジスタ  $r_1$  への信号遅延は12であり、この回路のレジスタ間の最大信号遅延である。したがって、この回路の完全同期式における最小クロック周期は12となる。しかし、図1のようにレジスタ  $r_2$  を基準としてレジスタ  $r_1, r_3, r_4$  にそれぞれクロック信号を3, 7, 6だけ遅らせて入力すると、この回路はクロック周期9で動作する。このように、各レジスタにクロックを異なるタイミングで入力することを許す回路を準同期式回路と呼ぶ。準同期式回路は完全同期に比べて高速化が可能となる。

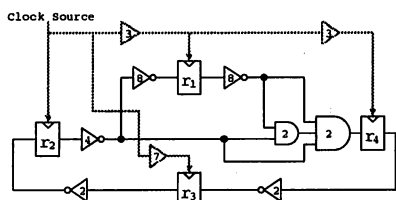


図1 準同期式回路

### 2.2 制約条件

レジスタ  $v$  にクロックを供給するタイミングを  $s(v)$  とする。 $s(v)$  は基準とする(仮想的な)レジスタとのクロックの供給タイミングの差で定義する。すべてのレジスタのクロックタイミ

ングの集合をクロックスケジュールと呼ぶ。

準同期回路において、レジスタ  $u$  からレジスタ  $v$  へ信号が伝搬するとき、クロックタイミング  $s(u), s(v)$  が満たなければならない制約条件は以下のように表すことができる [11]。

### No-Double-Clocking (Hold) Constraint

$$s(v) - s(u) \leq d_{\min}(u, v)$$

### No-Zero-Clocking (Setup) Constraint

$$s(u) - s(v) \leq T - d_{\max}(u, v)$$

ここで、 $d_{\min}(u, v)$  ( $d_{\max}(u, v)$ ) はレジスタ  $u$  からレジスタ  $v$  への信号伝搬の最小(最大)遅延を、 $T$  はクロック周期を示す。この制約がすべての信号伝搬のあるレジスタ対に対して満たされるとき、回路は正常に動作する。

### 2.3 制約グラフとクロックスケジューリング

クロック周期  $T$  のときの制約  $s(v) - s(u) \leq w(u, v)$  を  $u$  から  $v$  への重み  $w(u, v)$  の枝として表したグラフを制約グラフ  $G_T(V, E)$  とする。図2は図1に示す回路の制約グラフを表している。

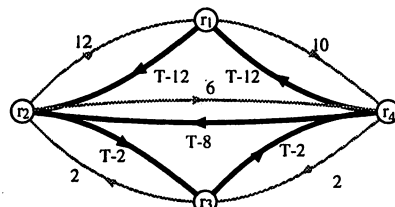


図2 制約グラフ  $G_T(V, E)$

レジスタ間の最大・最小遅延が与えられ、各レジスタのクロックが任意に設定できるとき、準同期式回路がクロック周期  $t$  で動作するか否かは  $G_T(V, E)$  中に負閉路があるかどうかで判定できる [7], [12]。ここで、負閉路とは閉路中のすべての枝重みの合計が負になる閉路を示す。すべての制約を満たすことが可能な最小のクロック周期  $T(G)$  は、 $G_T(V, E)$  が負閉路を持たない最小のクロック周期  $t$  である。

$G(V, E)$  が負閉路を持たないときすべての制約を満たすクロックスケジュールが存在する。クロック周期  $t$  のとき、すべての制約が満たされるクロックスケジュールを周期  $t$  における許容スケジュールと呼ぶ。許容スケジュールは制約グラフを用いて得ることができる。回路が周期  $t$  で動作するとき、 $t$  における許容スケジュールは、例えば次のように決定することができる。

- (1) 制約グラフ  $G_{T=t}(V, E)$  の任意の点  $v$  を選ぶ。
- (2) 点  $v$  から各点までの  $G_{T=t}(V, E)$  での最短パスを計算し、その重み和をその点のクロックタイミングとする。

図1の回路を最小クロック周期  $T = 9$  で動作させるためのクロックタイミングをこの方法で決定すると、図3のようになる。ただし、周期  $t$  における許容タイミングは一般に一意に定まるわけではないことに注意されたい。

各レジスタ  $v$  に対してクロックタイミングの範囲  $r(v) = [s_{\min}(v), s_{\max}(v)]$  を定める。各レジスタ  $v$  のクロックタイミングを  $r(v)$  から任意に選択し許容スケジュールが得られるとき、 $r(v)$  を  $v$  のスケジュール可能範囲と呼ぶ。

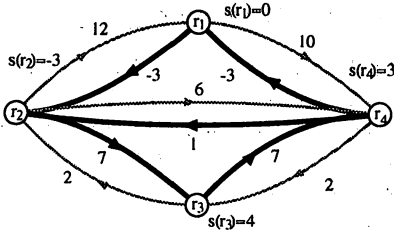


図3 制約グラフ  $G_{T=9}(V, E)$  とクロックスケジュール

### 2.4 クロック配線アルゴリズム

クロック遅延変動が存在しない場合、線形遅延モデル、エルモア遅延モデルのもとで各レジスタに与えられたスケジュール可能範囲内にクロックが到達するようクロック木を合成することは可能である [1].

本稿では、指定タイミングクロック木生成手法 (SC) [1] を改良した手法 [5] を、さらにクロック遅延変動を考慮するよう拡張した手法を提案する。以下に、それらアルゴリズムの概要を示す。各手法の違いは、step 3 での 2 要素を選択方法の違いである。

入力： 各レジスタの位置とスケジュール可能範囲

出力： クロック木

制約： 回路の動作制約条件

step1: 未配線集合に全レジスタ (又はクラスタ) を入れる

step2: もし、未配線集合の要素数が 1 つなら、その要素をクロックソースの子点として、step5 に進む。

step3: 未配線集合の中から 2 つの要素を選択する。

step4: step3 で選択した 2 つの要素 (子点) のタイミング差を実現できるように、2 要素の最短経路上に親点の候補領域を生成する。さらに、親点にどのタイミングでクロック信号が届けば、子点に決められたタイミングでクロック信号が届くのかを計算し、その値をその親点のタイミングとする。最後に、未配線集合から子点を除き、親点を要素として加える。step 2 に戻る。

step5: クロックソースを点 A とする。

step6: 点 A の子点が存在しなければ終了。点 A の子点が存在すれば、点 A の 2 つの子点の候補領域の中で、点 A の位置から距離が最小となる点を選び、その点と点 A を配線する。2 つの子点に対してそれぞれ再帰的に子点を点 A として step 6 を行う。

アルゴリズム SC はクロックソースを根とする 2 分木を、与えられたクロックタイミングを実現するように構成する。

## 3. 遅延変動を考慮したスケジューリング

本稿では、遅延変動による影響を考慮することにより、回路の誤動作や動作速度の低下を抑えたクロック木を構築することを目指す。本節では、遅延変動を考慮したスケジューリングについて述べる。

### 3.1 遅延変動を考慮した回路の動作条件

本稿では、クロックジッタのようにクロックの各周期毎にクロック遅延が変化するような時定数の小さいクロック遅延変動ではなく、製造誤差や温度などの要因による比較的時定数の大きなクロック遅延変動を考慮する。時定数の大きなクロック遅

延変動の場合、信号伝搬のある 2 つのレジスタに対して、クロックソースからそれぞれのレジスタまでのクロック配線の共通部分では同一の遅延変動が発生しているため、回路の動作条件には影響を与えない。したがって、本稿では、クロックソースから各レジスタまでのクロック配線の非共通部分でそれぞれ独立に発生している遅延変動について考慮する。

このように遅延変動を仮定したとき、回路の動作制約条件は以下の式で表される。ただし、 $\alpha, \beta$  はそれぞれレジスタ  $u, v$  へのクロック配線の分岐点からレジスタ  $u$  までのクロック配線、分岐点からレジスタ  $v$  までのクロック配線の遅延変動項である。

### No-Double-Clocking (Hold) Constraint

$$(s(v) \pm \beta) - (s(u) \pm \alpha) \leq d_{\min}(u, v)$$

### No-Zero-Clocking (Setup) Constraint

$$(s(u) \pm \alpha) - (s(v) \pm \beta) \leq T - d_{\max}(u, v)$$

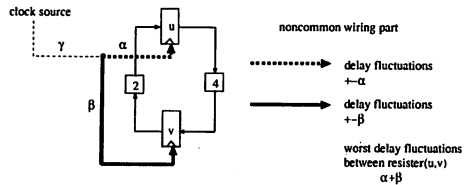


図4 回路の遅延変動の考え方

### 3.2 スケジューリング

遅延変動が信号伝搬のある 2 つのレジスタの動作条件に与える影響が最も小さくなるのは、2 つのレジスタへのクロック配線の非共通部分がレジスタ間のマンハッタン距離に等しいときである。信号伝搬のある 2 つのレジスタに対するクロック配線の非共通部分がマンハッタン距離と等しいクロック木が構築できるという前提でスケジューリングをクロックスケジュール計算エンジン [13] を用いて行う。すなわち、クロックスケジュール計算エンジンには、信号伝播のある 2 つのレジスタの遅延変動項  $\alpha + \beta$  をレジスタ間のマンハッタン距離に比例する値に設定した制約式を与える。また、この前提のもとでの最小クロック周期を理論最小クロック周期とする。

入力： レジスタ間遅延の最大値および最小値、  
理論最小クロック周期、  
各レジスタの目標タイミング

出力： 各レジスタのスケジュール可能範囲

制約： 遅延変動を考慮した回路の動作条件

### 3.3 例題

図 5 のような準同期式回路があったとする。すると、遅延変動を考慮していない従来の制約グラフおよび制約条件は図 6 のようになる。このときの理論最小クロック周期は  $T_{\min} = 9$  となり、制約条件から求められるレジスタ a, b, c のクロックタイミング  $s(a), s(b), s(c)$  は図のようになる。また、遅延変動を考慮した制約グラフおよび制約条件は図 7 のようになる。このときの理論最小クロック周期は  $T_{\min} = 14$  となり、制約条件から求められるレジスタ a, b, c のクロックタイミング  $s(a), s(b), s(c)$  は図のようになる。

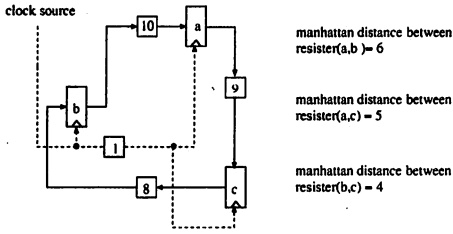


図5 準同期式回路

#### 4. マージする要素のペアの選び方

クロック遅延変動を考慮した場合、各レジスタに与えられたスケジュー可能範囲内にクロックが到達するようクロック木を合成できるとは限らない。本節では、前節で示した前提をできる限り満たすようにクロック木を構築することで、遅延変動の影響を抑える手法を提案する。

準同期式回路にはクリティカルサイクルが存在し、このクリティカルサイクルが回路の動作速度の限界を決定している。また、スケジューリングの結果、クロックタイミング幅に余裕のなくなつてしまった(幅0)レジスタのうち信号伝搬のあるレジスタ対についても、同様なことが言える。これらに属するレジスタを、スケジュー可能範囲0レジスタとする。

スケジュー可能範囲0レジスタについては遅延変動による影響をできるだけ小さくし、回路の動作速度の低下を抑えたい。ゆえに、それらのレジスタのうち、信号伝搬のあるレジスタ対のクロック配線の非共通部分をできるだけ短くしなければならない。レジスタ対のクロック配線の非共通部分の長さは、それらレジスタからそれらレジスタの共通祖先(分岐点)までの配線が一度でもそれらレジスタを囲む最小矩形の外にでるとレジスタ間のマンハッタン距離を超える。したがって、スケジュー可能範囲0レジスタは、ボトムアップ式にクロック木のトポロジーを生成する際、他のレジスタとマージされると配線が最小矩形の外に出る可能性があるため、最優先でマージしなければならない。

本稿では、以下のアルゴリズムでマージ順序を決定し、遅延変動の影響を大きく受けるこれらレジスタ対のクロック配線の非共通部分を最小にし、回路の動作速度の低下を抑える。回路の制約グラフから非クリティカル枝を取り除いたグラフをクリティカルグラフとする。

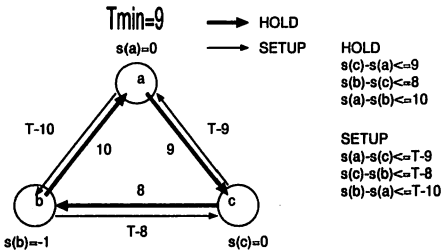


図6 従来の制約グラフおよび制約条件

if(クリティカルグラフに

点数2以上の連結成分が存在する場合):

その連結成分のタイミング最大の点およびその点とのマージコストが最小となるその連結成分の点を選択する。

else:

未配線集合の中からマージした時に最もマージコストが少ない2要素を選択する。

なお、マージコストはバッファ段数、配線長をもとに見積もった消費電力のことを指す。

#### 5. 実験

レジスタを要素として既存手法[5]と提案手法でレジスタ間配線を行い、比較実験を行った。本手法で構築したクロック木に対して、信号伝搬のある2つのレジスタまでのクロック配線の非共通部分に比例した値で遅延変動の差を見積もって得られる動作制約条件をもとに達成最小クロック周期を算出した。なお、本手法では、既存手法で遅延を見積もって得られるクロックスケジュールに対して、配線の非共通部分に比例した値だけ遅延変動による影響が生じるとした。配線の非共通部分の比例係数を0.00001[sec/m]とした。

この結果既存手法と比べて、全ての回路において理論最小クロック周期と比較して達成最小クロック周期の増加率を抑える

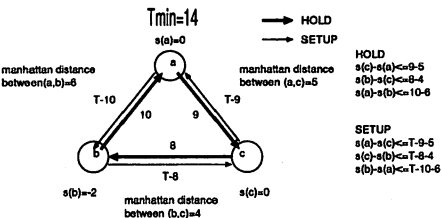


図7 遅延変動を考慮した制約グラフおよび制約条件

ことができた。また、完全同期式回路よりも高速に動作することが確認できた。

## 6. まとめ

本稿では、信号伝搬のある2つのレジスタに対して、クロック遅延は配線の非共通部分に比例した値だけ変動するとし、信号伝搬のある2つのレジスタに対するクロック配線の非共通部分がマンハッタン距離と等しいクロック木が構築できるという前提のもとでスケジューリングを行った。また、そのスケジューリングの結果、クリティカルサイクル上の点やタイミング幅に余裕のない点を優先的にマージし、この前提をできる限り満たすようにクロック木を構築する手法を示した。

これらの提案手法により、理論最小クロック周期と比較したとき、既存手法に比べて達成最小クロック周期の増加幅を抑えることができた。

しかしながら、回路規模が大きくなるにつれて、遅延変動による影響をより受けやすい今後は、配線に対する遅延変動だけでなく、バッファ遅延に対する遅延変動も検討していきたい。また、遅延変動による影響を考慮した上で、クロック総配線長もできるだけ短くできるようなクロック木の構築法についても検討していきたい。

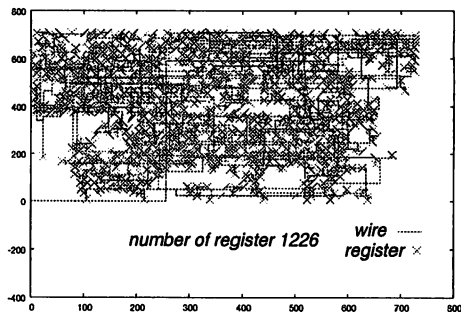


図8 既存手法

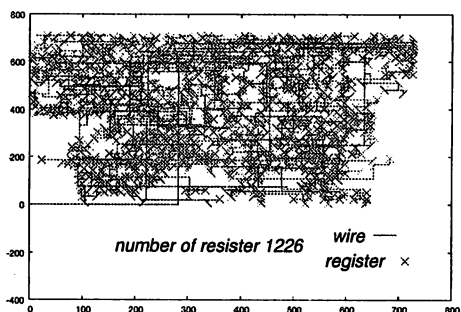


図9 提案手法

レジスタ数	レジスタ間最大遅延 [psec]	タイミング標準偏差 [psec]	最小 タイミング [psec]	最大 タイミング [psec]	横幅 [μm]	縦幅 [μm]
1226	11569	437	-2503	2969	721	702
5363	23599	131	-653	559	1512	1502
7052	8354	675	-2532	2520	1944	1944
7672	16111	344	-1933	938	1945	1901
12032	12621	159	-4243	936	1994	1987

表1 用いた回路(レジスタ間配線)

レジスタ数	レジスタ間最大遅延 [psec]		理論最小クロック周期 [psec]	達成最小クロック周期 [psec]	クロック周期増加率 [%]
1226	11569	既存	8323	9473	13.8
1226	11569	提案	8712	9048	3.9
5363	23599	既存	11654	13963	20.0
5363	23599	提案	12382	13012	5.1
7052	8354	既存	6256	7124	13.9
7052	8354	提案	6845	7031	2.7
7672	16111	既存	9553	12403	29.8
7672	16111	提案	10452	11256	7.7
12032	12621	既存	9665	11911	23.2
12032	12621	提案	10783	11674	8.3

表2 実験結果(レジスタ間配線)

文 献

- [1] K. Inoue, W. Takahashi, A. Takahashi, and Y. Kajitani, "Schedule-clock-tree routing for semi-synchronous circuits," *IEICE Transactions on Fundamentals*, vol.E82-A, no.11, pp.2431-2439, 1999.
- [2] K. Kurokawa, T. Yasui, Y. Matsumura, M. Toyonaga, and A. Takahashi, "A high-speed and low-power clock tree synthesis by dynamic clock scheduling," *IEICE Transactions on Fundamentals*, vol.E85-A, no.12, pp.2746-2755, 2002.
- [3] S. Ishijima, T. Utsumi, T. Oto, and A. Takahashi, "A semi-synchronous circuit design method by clock tree modification," *IEICE Transactions on Fundamentals*, vol.E85-A, no.12, pp.2596-2602, 2002.
- [4] M. Saitoh, M. Azuma, and A. Takahashi, "A clustering based fast clock schedule algorithm for light clock-trees," *IEICE Transactions on Fundamentals*, vol.E85-A, no.12, pp.2756-2763, 2002.
- [5] 守屋暁彦, 高橋篤司, "低消費電力を目指したクロック木の構成法," *VLD (VLD2003-140)*, Vol.103, No.702, 電子情報通信学会技術研究報告, 2004.
- [6] J.G. Xi and W.W.M. Dai, "Jitter-tolerant clock routing in two-phase synchronous systems," *Proc. International Conference on Computer-Aided-Design (ICCAD)*, pp.316-320, 1996.
- [7] A. Takahashi and Y. Kajitani, "Performance and reliability driven clock scheduling of sequential logic circuits," *Proc. Asia and South Pacific Design Automation Conference (ASP-DAC)*, pp.37-42, 1997.
- [8] I. Kourtev and E. Friedman, "Clock skew scheduling for improved reliability via quadratic programming," *Proc. International Conference on Computer-Aided-Design (ICCAD)*, pp.239-243, 1999.
- [9] R. Mader, E. Friedman, A. Litman, and I. Kourtev, "Large scale clock skew scheduling techniques for improved reliability of digital synchronous VLSI circuits," *Proc. International Symposium on Circuits and Systems (ISCAS)*, vol.1, pp.357-360, 2002.
- [10] H. Matsumura and A. Takahashi, "Delay variation tolerant clock scheduling for semi-synchronous circuits," *Proc. IEEE Asia-Pacific Conference on Circuits and Systems (APCCAS)*, vol.1, pp.165-170, 2002.
- [11] J.P. Fishburn, "Clock skew optimization," *IEEE Trans. on Computers*, vol.39, no.7, pp.945-951, 1990.
- [12] E.L. Lawler, *Combinatorial Optimization, Networks and Matroids*, Holt, Rinehart and Winston, New York, 1976.
- [13] A. Takahashi, "Practical fast clock-schedule design algorithms," *Proc. the 18th Workshop on Circuits and Systems in Karuizawa*, pp.515-520, 2005.