

正規分布を用いた統計的静的遅延解析手法の性能評価

霜山 渉[†]

高木 勇輔[†]

築山 修治[†]

[†]中央大学大学院理工学研究科 〒112-8551 東京都文京春日 1-13-27

E-mail: [†]{wata, takagi}@tsuki.elect.chuo-u.ac.jp, tsuki@elect.chuo-u.ac.jp

あらまし 微細加工技術の進歩に伴う製造ばらつき増大により、最悪を想定した従来の設計手法では、過剰マージンが重畳され、所望の回路が設計できないという事態が生じている。しかし、チップ内ばらつきも増大しているため、その影響を正確に見積もることができれば、過剰マージンを排除し、より低消費電力の回路を高歩留まりで製造できる可能性もある。このような目的で、各素子遅延が確率分布で与えられたとき、組合せ回路全体の遅延解析を行う統計的静的遅延解析手法が提案され、注目を集めている。この手法では、素子遅延およびパス遅延の分布の表現が、解析精度と解析時間に影響するため、重要となる。本文では、遅延を正規分布の和で表現する統計的静的遅延解析手法の性能を、相関および分布形状の影響の観点から、モンテカルロシミュレーションとの比較によって調べた結果について報告する。

キーワード 統計的静的遅延解析, 相関, 正規分布, 一様分布, 性能評価

A Performance Evaluation of a Statistical Static Timing Analysis Using Gaussian Distributions

Wataru SHIMOYAMA[†], Yusuke TAKAGI[†], and Shuji TSUKIYAMA[†]

[†]Graduate School of Science and Engineering, Chuo University, 1-13-27 Kasuga, Bunkyo-ku, Tokyo, 112-8551 Japan

E-mail: [†]{wata, takagi}@tsuki.elect.chuo-u.ac.jp, tsuki@elect.chuo-u.ac.jp

Abstract The conventional design method to deal with variability is considering the worst-case corners and setting margins. Since process variability increases with the progress of nanotechnology, such a method sometimes fails in designing a desired circuit due to over-margins. However, since within-die variability is also increasing, if the effect of variability is evaluated precisely, then over-margins may be eliminated and low power circuits can be produced in high yield. For this purpose, statistical static timing analysis, which treats delays as random variables, attracts attentions and several algorithms have been proposed. In these algorithms, the way how to represent the distributions of element-delays and path-delays is important, and it affects the accuracy and the time complexity of the analysis. This paper evaluates the performance of an algorithm which represents each delay as a summation of Gaussian distributions from the viewpoint of influence of correlation and distribution of element-delay. The comparisons with Monte Carlo simulation are shown.

Keyword Statistical Static Timing Analysis, Correlation, Gaussian Distribution, Uniform Distribution, Performance Evaluation

1. はじめに

微細加工技術の進歩により、各素子がチップ間だけでなく、チップ内でも大きくばらつくようになり[1]、最悪の場合を想定した従来の設計手法では、マージンの重量により、タイミング制約を満たす回路が設計できないという状況も生じている。このような問題を解決するには、ばらつきを最良最悪というコーナーで取扱うのではなく、統計量として処理する手法が必要となる[2,3]。そのような統計的手法の一つとして、与えられた回路の遅延ばらつきを解析する統計的静的遅延解析(統計的 STA: Static Timing Analysis)が着目され、

多くの報告がなされている[4]。

統計的 STA では、与えられた組合せ回路をアサイクリックグラフ $G=(N,A)$ で表現する。グラフの各点は、回路の主入力、主出力、あるいは論理ゲートの入出力端子に対応し、各枝は信号が直接伝搬する端子間を結ぶ。ゲート内部の信号伝播に対応した枝および配線に対応した枝には、それぞれスイッチング遅延および配線遅延を割り当てる。このような各枝 e に割り当てられた遅延 $t(e)$ は定数ではなく、分布を持った統計量である。以下ではこれを枝遅延と呼ぶ。

与えられた各枝遅延の分布に対して、回路全体の最

大最小遅延の分布を解析する手法は、パスを1本ずつ調べる path-based な手法と、位相幾何学的な手法に大別できる[2-4]。後者は、各点 v に対して、 v への最大遅延 (Latest Arrival Time) $D(v)$ および最小遅延 (Earliest Arrival Time) $d(v)$ を位相幾何学的順序で求めるもので、以下では点へのこのような遅延をパス遅延と呼ぶ。このような手法は、最悪指数関数時間を要する前者に比べ、効率的であるため、大規模回路にも適用可能となる。

統計的 STA においては、各枝遅延および各点へのパス遅延の分布をどのように表現するか、ならびにこれらの遅延間の相関をどのように扱うかが重要であり、これらが解析精度と解析時間に影響する[2-4]。我々は、以前より相関の重要性に留意し、遅延を正規分布で表現し、パス遅延の相関を考慮した手法[5]や、これを各枝遅延間の相関も扱えるよう拡張した手法[6]を提案してきた。この手法[6]は、枝遅延間の相関を実際の分布に即して正確に取り込むことができる反面、全ての枝遅延間の相関が分からない場合、全相関を矛盾無く設定することが困難となる。また、計算途中の点へのパス遅延と未探索の枝の枝遅延との相関を計算する必要があるため、最悪時間計算量がグラフの枝の個数 m の2乗となる。

そこで、我々は、最近のばらつき要因の解析の進歩およびチップ内ランダムばらつきの抽出可能性[7]を考慮し、過去の手法に、枝遅延の相関を幾つかのグローバル変数の和で表現する手法[8,9]を導入し、新たな統計的 STA 手法を開発した。本文では、その性能を、相関および分布形状の影響の観点から、モンテカルロシミュレーションとの比較によって調べた結果について報告する。相関に関しては、枝遅延間の相関やパス遅延間の相関の影響を、分布形状に関しては、枝遅延が一様分布である場合の誤差について調べる。従来の最悪のコーナーを評価する設計手法は、枝遅延が一様分布で、チップ内ばらつきが無く、全てが同じ分布をするような場合に対応すると考えられるため、このような実験を行う。

2. 遅延の表現と演算

我々の統計的 STA 手法では、各枝遅延 $t(e)$ のばらつきを、正規分布 $N(0,1)$ のグローバル変数 x_i ($1 \leq i \leq g$) と、正規分布 $N(0, V[r(e)])$ を持つその枝固有のランダム変数 $r(e)$ の和で表し、その平均 $E[t(e)]$ が最小の場合と最大の場合と異なる値を取るものとする。すなわち、枝遅延は、最大遅延計算用の $t_{\max}(e)$ と最小遅延計算用の $t_{\min}(e)$ があり、下記のように表される。

$$t_{\min}(e) = \mu_{\min}(e) + \sum_{i=1}^g s_i(e) \cdot x_i + r(e)$$

$$t_{\max}(e) = \mu_{\max}(e) + \sum_{i=1}^g s_i(e) \cdot x_i + r(e)$$

ここで、各グローバル変数および枝に固有のランダム変数は全て互いに独立で、製造ばらつきによる遅延のばらつきを表す。一方、2つの平均は、電源電圧などのばらつきによる遅延ばらつきを表し、これらのばらつきは最悪最良値で扱っていることになる。タイミングスラックの計算の際など、クロック遅延のばらつきと組合せ回路の最大あるいは最小遅延のばらつきの相関が必要となるため、本手法では、最大最小遅延を同時に相関も含めて計算している。

このとき、枝遅延 $t_{\max}(e)$ の平均、分散、および他の枝の遅延 $t(e')$ との共分散は、それぞれ次式で得られる。このような共分散で表される相関を、以下ではエリア相関と呼ぶ。

$$E[t_{\max}(e)] = \mu_{\max}(e)$$

$$V[t_{\max}(e)] = \sum_{i=1}^g s_i^2(e) + V[r(e)]$$

$$C[t_{\max}(e), t(e')] = \sum_{i=1}^g s_i(e) \cdot s_i(e')$$

各点 v への最大遅延 $D(v)$ および最小遅延 $d(v)$ も枝遅延と同様、下記のように表す。

$$D(v) = \mu_D(v) + \sum_{i=1}^g s_{iD}(v) \cdot x_i + r_D(v)$$

$$d(v) = \mu_d(v) + \sum_{i=1}^g s_{id}(v) \cdot x_i + r_d(v)$$

ここで、 $r_D(v)$ および $r_d(v)$ は、それぞれパス遅延に固有のばらつきを表す正規分布の変数で、その平均は 0 とする。 $D(v)$ の計算には $t_{\max}(e)$ を用い、 $d(v)$ の計算には $t_{\min}(e)$ を用いる。その手順は同様なので、以下では $D(v)$ の場合について述べる。

$r_D(v)$ は、 v に至るまでに経由した枝 e に固有のばらつき $r(e)$ に依存するため、 v へのパスと他の点 w へのパスが共通の枝を持つ場合には、 $r_D(v)$ と $r_D(w)$ の間には相関がある。従って、それらを計算していない手法[8,9]では、パス遅延の相関を正しく計算できず[10]、再収斂パスがあるような回路において、最大最小遅延の分布を正しく計算できない。それに対して、我々の手法[5,6]は、このような相関を常に計算するため、計算量が線形時間にはならないが、相関は正しく計算される。以下では、このような相関をパス相関と呼ぶ。

$D(v)$ の平均、分散、および他のばらつきとの共分散を求めるには、確率変数の和および最大値演算を実行しなければならない。和の演算は容易であるので、最大値演算について触れておく。今、 P が次式で表されているとき、 $D(w) = \text{Max}[D(v), P]$ も同様の形式で表わすには、次のような計算を行う。

$$P = \mu_P + \sum_{i=1}^g s_{P_i} \cdot x_i + r_P$$

$$D(w) = \mu_D(w) + \sum_{i=1}^g s_{D_i}(w) \cdot x_i + r_D(w)$$

平均 $E[D(w)] = \mu_D(w)$ およびグローバル変数 x_i の係数 $s_{D_i}(w)$ は、Clark の手法[11]を用いて、それぞれ $E[P]$ 、 $E[D(v)]$ および $s_{D_i}(v)$ 、 s_P から求める。 $V[r_D(w)]$ の分散は、 $V[D(w)]$ の分散を Clark の手法[11]を用いて計算し、それから次式で求める。

$$V[r_D(w)] = V[D(w)] - \sum_{i=1}^g s_{D_i}^2(w)$$

$D(w)$ と次式で与えられる他の変数 D' との相関の内、 $r_D(w)$ と r' との共分散 $C[r_D(w), r']$ を計算しておかねばならないが、これは $C[r_D(v), r']$ および $C[r_P, r']$ が計算されていれば、Clark の手法[11]を用いて計算できる。

$$D' = \mu' + \sum_{i=1}^g s'_i \cdot x_i + r'$$

以上の計算を、グラフの各点に対して位相幾何学的順序で実行していけば、最大・最小遅延の分布およびこれらの間の共分散も得られる。各パス遅延に固有の変数 $r_D(v)$ に関する共分散を覚えておくリストの処理を工夫すれば、 $O((f+g)m)$ の計算量でこの手法を実現できる。ここで、 f および g は、それぞれ同時に覚えておくべきパス遅延の個数およびグローバル変数の個数であり、どちらもグラフの点の個数 n より小さい。

なお、この手法は、[5,6,8,9] と同様、最大値演算を施した後のパス遅延も正規分布で表せると仮定した手法で、たとえ $D(v)$ および P が正規分布であっても、 $\text{Max}[D(v), P]$ は正規分布にはならないため[2]、誤差が生じる。その大きさを調べることも本文の目的である。

3. 実験結果

ISCAS85 ベンチマーク回路に対して、我々の統計的 STA を実行し、Monte Carlo シミュレーションの結果と比較する。

3.1. 実験データ

エリア相関を表現するグローバル変数は、[12]で用いられたものと同様、回路領域を分割して定める。そのため、図1のように、実線で描かれた回路領域全体を 4×4 の基盤状に分割し、回路の各ゲートをこれらの最小矩形のいずれかに割り当てる（図において、周りの点線で描かれた矩形は、今は無視する）。実験では、図1に示すように、主入力端子を回路領域全体の左側に、主出力端子を右側に配置し、各ゲートの主入力端子からのゲート段数と、主出力端子からのゲート段数を調べ、左から右に、上から下に全ゲートを割り当てている。

このような分割に対してグローバル変数を次のよ

うに生成する。まず、回路領域全体に対して、チップ間ばらつきを表す変数 x_A を生成し、次に、16個の各最小矩形に対して、それぞれ1つの変数 $x_{L(i,j)}$ ($1 \leq i \leq 4, 1 \leq j \leq 4$) を生成する。さらに、チップの周りに、図1の点線で示す最小矩形を考えると、 5×5 の基盤ができるので、この中に、4個の最小矩形から成る 2×2 の領域を25個作成できる。このそれぞれに対して変数 $x_{q(k)}$ ($1 \leq k \leq 25$) を生成する。このとき、最小矩形 (i,j) に含まれる枝遅延 $t(e)$ は、 $x_A, x_{L(i,j)}$ 、この最小矩形を左下、左上、右下、右上の角に含む 2×2 の領域に対応した4個の変数 $x_{q(k)}$ 、およびこの枝に固有の変数 $r(e)$ の7個の正規乱数の和で表現されることになる。従って、各枝遅延は7個のグローバル変数を持つので、共通のグローバル変数の個数が多い枝遅延同士が高い相関係数を持つことになる。

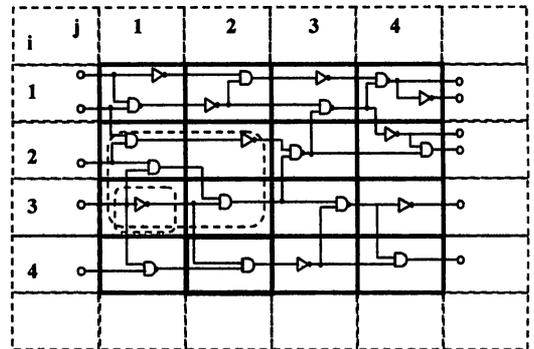


図1. 回路全体の領域

実験では、各ゲートに対応した枝遅延に対して、グローバル変数およびランダム変数の枝遅延の分散に占める割合を、表1のように4種類定めた。ここで、Own, Local, 2×2 、および All に書かれた数は、それぞれ全分散 $V[t(e)]$ に対する $V[r(e)]$ 、 $\{s_{L(i,j)}(e)\}^2$ 、 $\{s_{q(k)}(e)\}^2$ 、および $\{s_A(e)\}^2$ の比を%で表したものである。ただし、 (i,j) は枝 e を含む最小矩形を、 $q(k)$ は e を含む 2×2 の領域番号を表している。表から分かるように、Data1 は相関が強く、各素子固有のランダム成分が小さい場合を表し、Data2, Data3 の順にランダム成分が多くなり、Data4 はランダム成分だけで、エリア相関が全く無い場合を表す。

このとき、枝遅延間の相関係数 $R[t(e), t(e')]$ は、表2に示す値を取る。ここで、同一とは e と e' が同一最小矩形に含まれる場合、隣とは e を含む最小矩形の上下左右の隣の最小矩形に e' が含まれる場合、斜めとは e を含む最小矩形と角が接する対角上の最小矩形に e' が含まれる場合、その他とはこれら以外の場合を示す。これらの相関係数は、ゲートの配置場所の距離に依存

していると言える。

実験において使用した各ゲートに対応した枝遅延の平均は、ゲートのファンアウトが1の場合、表3の値であり、ファンアウトが1増える度にこの値の20%を加算している。また、各遅延の標準偏差は平均の10%とする。なお、今回の実験では、モンテカルロシミュレーションの手間を減らすため、最大遅延 $t_{\max}(e)$ の平均と最小遅延 $t_{\min}(e)$ の平均を同じ値にした。

表1：分散における各変量の割合[%]

	Own	Local	2×2	All
Data1	5	5	10	50
Data2	30	20	10	10
Data3	75	20	0	5
Data4	100	0	0	0

表2：領域間の相関係数

	同一	隣	斜め	その他
Data1	0.95	0.70	0.60	0.50
Data2	0.70	0.30	0.20	0.10
Data3	0.25	0.05	0.05	0.05
Data4	0.00	0.00	0.00	0.00

表3：各遅延の平均[psec]

Buffer	20	NOR, NAND	15
Inverter	10	XOR	30
OR, AND	25	配線	5

配線に関しては、その遅延の平均を一律に 5[psec] とし、ゲートの場合と同様な相関を与えた。すなわち、ゲートのグローバル変量と同様な方式で配線用グローバル変量を設け、配線に対応した枝の枝遅延は、その配線が入る入力端子を持つゲートの位置に従って、配線用グローバル変量を持つようにする。ただし、これらの配線用グローバル変量はゲートのグローバル変量とは独立で、ゲート遅延と配線遅延は独立とする。

3.2. モンテカルロシミュレーション

モンテカルロシミュレーション（以下 MC）では、Mersenne Twister[13]を用いて、互いに独立な [0,1] の範囲の一樣乱数を、各変量に対して 1 万個生成し、これらを指定した平均・分散および相関係数を持つ正規乱数に変更した。このような 1 万個のデータを各枝遅延に与えて、通常の STA を実行し、最大遅延最小遅延の分布を求める。

Mersenne Twister は周期が $2^{19937}-1$ と長く、優れた乱数生成手法で、各枝遅延に対して生成した 1 万個の乱数の平均 μ_{MC} の全ての枝に関する分布を調べてみると、指定した平均 μ に対する誤差が各々 0.2% で、尖度が正規分布の 3 より 0.44 大きい分布を示した。また、1 万

個の乱数の標準偏差 σ_{MC} は、指定した標準偏差 σ の周りに σ の約 3% の標準偏差でばらついていた。

実験の後半で行った一樣乱数に対するシミュレーションでは、1 万個の正規乱数の集合を枝の個数だけ生成し、これらから指定された相関を持つ正規乱数の集合を作り、これらを一樣乱数に変換して、指定された相関係数を持つ一樣乱数を生成する。図2は、ベンチマーク回路 C432 における枝遅延の全ての相関が、指定した値からどの程度離れているかをプロットしている。これより、相関係数の相対誤差を 10% 以下にするには、少なくとも 5 万個以上の乱数が必要であることが分かる。しかし、今回は計算時間の関係で、1 万回の試行で実験した。

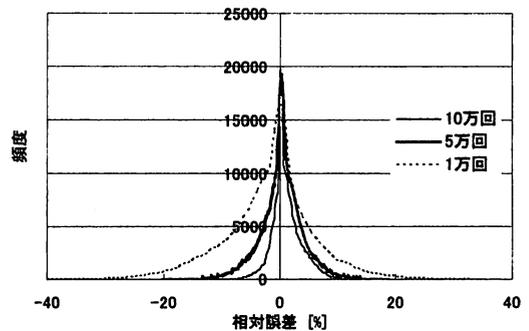


図2：各枝遅延間の相関係数の誤差の頻度グラフ

3.3. 相関の影響

指定された相関係数を持つ正規乱数に対する MC による最大遅延 D の分布と、統計的 STA においてエリア相関やパス相関を無視した場合の結果を比べ、相関の影響を調べた。表4および5に、Data2 に対する幾つかの回路の結果を示す。表4が D の平均を、表5がその標準偏差の相対誤差を示す。ここで、両方考慮はパス相関とエリア相関の両方考慮した提案手法の結果であり、他は、パス相関だけを無視したもの、エリア相関だけを無視したもの、および両方無視したものの結果である。

これらより、統計的 STA では、相関が無視できないことが分かる。特に、Data2 や Data1 のように、エリア相関が正で大きい場合、標準偏差が大きくなるため、重要である。また、Data2 の結果では、エリア相関に比べてパス相関の影響が小さいが、これはエリア相関が小さくなるに従って変化し、紙面の都合で掲載しないが、Data3 では、パス相関の影響が大きくなる。なお、それを明示するため、エリア相関が無い Data4 の標準偏差に対する結果を表6に示しておく。

表4：Data2の平均の相対誤差[%]

circuit	C3540	C5315	C6288	C7552
両方有	-0.08	0.02	0.05	0.06
パス相関無視	-0.66	-0.25	-0.91	-0.12
エリア相関無視	-1.11	-0.70	-0.88	-0.54
両方無視	-2.11	-1.22	-2.54	-0.94

表 5 : Data2 の標準偏差の相対誤差[%]

circuit	C3540	C5315	C6288	C7552
両方有	-0.98	0.21	-0.70	0.69
パス相関無視	-0.02	0.80	-0.48	1.49
エリア相関無視	74.8	79.2	85.5	76.6
両方無視	87.4	86.3	91.8	85.9

表 6 : Data4 の標準偏差の相対誤差[%]

circuit	C3540	C5315	C6288	C7552
両方有	5.66	5.35	3.31	3.46
パス相関無視	52.8	37.8	45.5	42.0
エリア相関無視	5.66	5.35	3.31	3.46
両方無視	52.8	37.8	45.5	42.0

3.4. 分布形状の影響

次に、指定された相関を持つ一様乱数を与えたときの MC の結果と、統計的 STA の結果と比較する。MC において、各枝遅延 $t(e)$ に与えた一様乱数は、統計的 STA で与えた正規分布の平均および標準偏差をそれぞれ $\mu(e)$ および $\sigma(e)$ とすると、 $\mu(e)-3\sigma(e)$ から $\mu(e)+3\sigma(e)$ の間に分布するものである。この一様分布の平均は正規分布のものと同じであるが、標準偏差が $\sqrt{3}\sigma(e)$ となり、そのため、正規乱数の標準偏差は一様乱数のそれに比べて 42.3% 小さい。

表 7 : 最大遅延の標準偏差の相対誤差[%]

circuit	C17	C432	C499	C880
Data1	-41.7	-41.4	-40.0	-41.4
Data2	-41.2	-39.5	-37.4	-40.6
Data3	-39.7	-38.3	-35.2	-40.5
Data4	-39.8	-37.6	-39.1	-39.9
circuit	C3540	C5315	C6288	C7552
Data1	-41.1	-41.5	-42.1	-41.4
Data2	-41.2	-41.1	-40.9	-40.3
Data3	-39.9	-40.8	-40.8	-39.9
Data4	-37.2	-42.8	-42.0	-39.0

一様分布も正規分布も同じ平均を持ち、どちらの分布も平均に対して対称であるから、最大遅延 D の平均に関しては大きな差が現れず、高々 3% 以内の相対誤差であったので掲載を省略し、標準偏差の差を表 7 に示す。この結果から分かるように、入力として与えた枝遅延の標準偏差の差とほぼ等しい差が最大遅延にも現れている。従って、一様分布を正規分布で近似した統計的 STA の結果も利用価値がありそうである。

表 9 に、MC で得られた最大遅延 D の分布の歪度を示す。各セル内の左上の値は正規乱数、右下の値は一様乱数の場合の結果である。歪度は、分布の非対称性を測るもので、0 に近いほど対称性が強い。正規分布も一様分布も対称性を持つから、この表の結果は、最大値演算による歪の発生を表す。この結果から、ベンチマーク回路では、対称性が大きく崩れることがなく、正規分布と仮定しても問題が生じないといえる。

表 9 : 最大遅延の歪度(正規乱数/一様乱数)

circuit	C17	C432	C499	C880
Data1	-0.002	0.033	0.011	-0.008
	-0.103	-0.168	-0.355	-0.064
Data2	0.039	0.016	0.066	0.033
	-0.148	-0.229	-0.416	-0.052
Data3	0.055	0.034	0.081	0.040
	-0.159	-0.206	-0.376	-0.061
Data4	0.146	0.094	0.337	0.091
	-0.090	0.010	-0.116	0.026
circuit	C3540	C5315	C6288	C7552
Data1	0.010	-0.010	-0.009	-0.009
	-0.066	-0.026	-0.064	-0.054
Data2	0.022	0.034	-0.021	0.024
	-0.103	-0.059	-0.020	-0.055
Data3	-0.008	-0.011	-0.026	0.027
	-0.071	-0.025	-0.079	-0.012
Data4	0.216	0.201	0.081	0.263
	0.091	0.148	0.140	0.215

表 10 : 最大遅延の尖度(正規乱数/一様乱数)

circuit	C17	C432	C499	C880
Data1	0.020	-0.039	0.065	0.050
	-0.870	-0.721	-0.636	-0.745
Data2	0.040	-0.026	0.081	0.043
	-0.587	-0.227	-0.057	-0.315
Data3	-0.048	0.005	0.032	0.017
	-0.324	-0.027	0.005	-0.157
Data4	0.016	-0.010	0.287	0.008
	-0.288	-0.025	-0.007	-0.087
circuit	C3540	C5315	C6288	C7552
Data1	0.031	-0.055	0.039	-0.025
	-0.768	-0.804	-0.779	-0.735
Data2	-0.045	0.082	-0.046	-0.085
	-0.395	-0.530	-0.412	-0.424
Data3	-0.019	0.038	-0.054	0.040
	-0.114	-0.239	-0.153	-0.166
Data4	0.018	0.066	0.101	0.089
	-0.007	-0.010	-0.017	0.040

表 10 は、MC で得られた最大遅延 D の分布の尖度を示す。表 9 と同様、セル内の左上の値は正規乱数、右下の値は一様乱数の場合の結果である。尖度は分布の尖り具合を表す指標で、正規分布の場合は 3 であるため、表の値は元の値から 3 を引いたものである。従って、こちらも 0 に近いほど正規分布に近い。ちなみに

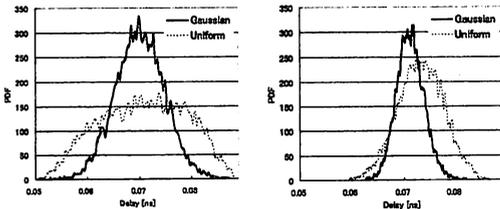
完全な一様分布であれば尖度は-1.2になる。

当然のことながら、尖度は相関の値が大きくなるほど0から乖離している。無相関の一様分布であれば、8変量も加算をすれば正規分布に近づくが、相関が強いとそうはならない。C17の最大のゲート段数が3である以外は、どの回路の最大ゲート段数も11以上であるので、最大遅延は正規分布に近づくと言える。

表 11: 最小遅延の尖度(正規乱数/一様乱数)

circuit	C17	C432	C499	C880
Data1	0.011	-0.035	0.019	0.047
	-0.786	-0.847	-0.712	-0.811
Data2	0.109	-0.005	0.020	-0.030
	-0.453	-0.592	-0.216	-0.565
Data3	0.132	0.140	0.059	-0.025
	-0.244	-0.439	-0.001	-0.553
Data4	0.093	0.075	0.273	0.048
	-0.238	-0.450	-0.285	-0.523

これに対して、最小遅延ではそうは行かず、特に表 11 に示すような最小ゲート段数の小さい回路に関しては、相関の弱い Data4 の場合でも正規分布から離れている。



(a) Data1 (b) Data4
図 3: 最大遅延の分布(C17 の場合)

図 3 に C17 の最大遅延の場合の分布を示す。統計的 STA で得られる分布は、図の正規分布の場合と同じである。

4. むすび

本文では、我々が既に提案していたパス遅延の相関を厳密に計算できる統計的 STA 手法に、エリア相関をグローバル変量で表現する手法を導入し、その性能を、相関の影響という観点から評価した。また、枝遅延が一様分布である場合、それを正規分布で近似するとどの程度の誤差が生まれるかを、モンテカルロシミュレーションとの比較により調べた。一様分布は対象性を持つなど、比較的性質の良い分布で、正規分布で近似可能性が高いことを確認した。

統計的 STA にはまだ多くの課題が残っており、当面、slew を考慮するなど、統計的 STA の精度の高めること

や、タイミングスラックのばらつき解析などへの適用を考えて行く予定である。

5. 謝辞

本研究を遂行するに当たり、昨年度貴重なご討論を頂いた(株)半導体理工学研究センターの増田弘生博士のグループの皆様へ感謝します。

文 献

- [1] K.Bernstein, et al., High Speed CMOS Design Styles, Kluwer Academic Pub., 1999.
- [2] S.Tsukiyama, "Toward stochastic design for digital circuits -- Statistical static timing analysis --", Proc. ASPDAC, pp.762-767, 2004.
- [3] A.Srivastava, D.Sylvester, and D.Blaauw, Statistical Analysis and Optimization for VLSI: Timing and Power, Springer, 2005.
- [4] 築山修治, "統計的タイミング解析: 概論," 回路とシステム 軽井沢ワークショップ 論文集, pp.533-538, 2005.
- [5] S.Tsukiyama, M.Tanaka, and M.Fukui, "An algorithm for statistical static timing analysis considering correlations between delays," IEICE Trans. Fundamentals, vol.E84-A, no.11, pp.2746-2754, 2001.
- [6] D.Yanagi and S.Tsukiyama, "Distribution of critical path delays in a combinatorial circuit," Proc. 2002 Int. Tech. Conf. on Circuits/ Systems, Computers and Communications, pp.1300-1303, 2002.
- [7] M.Aoki, S.Ohkawa, and H.Masuda, "Design guidelines and process quality improvement for treatment of device variations in an LSI chip," IEICE Trans. Fundamentals, vol. E88-C, no. 5, pp. 788-795, May 2005.
- [8] H.Chang and S.S.Sapatnekar, "Statistical timing analysis considering spatial correlations using a single PERT-like traversal," Dig. Tech. Paper ICCAD, pp.621-625, 2004.
- [9] C.Visweswariah, K.Ravindran, K.Kalafala, S.G.Walker, S.Narayan, "First-order incremental block based statistical timing analysis," Proc. DA Conf., pp.331-336, 2004.
- [10] L.Zhang, W.Chen, Y.Hu, C.C.Chen, "Statistical static timing analysis with conditional linear MAX/MIN approximation and extended canonical timing model," IEEE Trans. CAD/ICAS, vol.25, no.6, 2006.
- [11] C.E.Clark, "The Greatest of a Finite Set of Random Variables", Operation Research, vol.9 pp.85-91, 1961.
- [12] A.Agarwal, D.Blaauw, and V.Zolotov, "Statistical timing analysis for intra-die process variations with spatial correlations," Dig. Tech. Paper ICCAD, pp.900-907, 2003.
- [13] M.Matsuo and T.Nishimura, "Mersenne Twister: A 623-dimensionally equidistributed uniform pseudo-random number generator", ACM Trans. on Modeling and Computer Simulation vol.8, no.1, pp.3-30, 1998.