

## 部分積加算における信号遷移回数の削減による 配列型乗算器の低消費エネルギー化設計

川島 裕崇<sup>†</sup> 中村 一博<sup>†</sup> 高木 直史<sup>†</sup> 高木 一義<sup>†</sup>

<sup>†</sup>名古屋大学大学院 情報科学研究科 情報システム学専攻  
〒464-8603 名古屋市千種区不老町

E-mail: †{hkawashi,nakamura,ntakagi,ktakagi}@takagi.i.is.nagoya-u.ac.jp

あらまし 本稿では、信号の遷移回数を減らすことによって配列型乗算器の消費エネルギーを削減する手法を提案する。CMOS回路では、信号が遷移する時に多くのエネルギーが消費される。演算を行ううえで有意な信号遷移は1演算あたり高々1回であり、2回以上の遷移は無駄なエネルギーを消費する原因となっている。乗算器の各信号では、信号遷移の伝搬が原因となり1回の演算で複数の信号遷移が起こっている。そこで本研究では、演算過程において信号の値を一定期間固定することで無駄な遷移を削減する。信号の値を固定し、不要な信号遷移の伝搬を防いだ。シミュレーションを行い消費エネルギーを見積もったところ、32ビット配列型乗算器の消費エネルギーが約33%小さいという結果が得られた。また、演算過程における信号の固定順序を変えたところ、消費エネルギーがさらに約20%小さいという結果が得られた。

キーワード 消費エネルギー、配列型乗算器、信号遷移

## Design of Low Energy Array Multipliers by Reducing Signal Transitions in Partial Product Accumulators

Hiroataka KAWASHIMA<sup>†</sup>, Kazuhiro NAKAMURA<sup>†</sup>, Naofumi TAKAGI<sup>†</sup>, and Kazuyoshi  
TAKAGI<sup>†</sup>

<sup>†</sup> Department of Information Engineering, Graduate School of Information Science, Nagoya University  
Furo-cho, Chikusa-ku, Nagoya, 464-8603 Japan

E-mail: †{hkawashi,nakamura,ntakagi,ktakagi}@takagi.i.is.nagoya-u.ac.jp

**Abstract** We propose a method to reduce energy consumption of array multipliers by reducing the number of signal transitions. In CMOS circuits, power consumption is caused by signal transitions. The number of meaningful signal transitions for a operation is one. Signal transitions on partial product accumulator in multipliers cause many meaningless signal transitions and consume much energy. We reduce the number of meaningless signal transitions by fixing signal on operation process. Simulation results show that 32bit array multiplier using the method consumes 33% smaller energy. We also focus on the order of fixing signals to reduce the energy consumption, and the energy consumption of the multiplier is 20% smaller.

**Key words** low energy consumption, array multiplier, signal transtion

### 1. はじめに

VLSIに低消費エネルギー化が大きな課題となっている。消費エネルギーは、回路の発熱やバッテリー駆動時間に影響する。回路の発熱は、回路自体の動作の信頼性を左右する。発熱の大きい機器では、信頼性を確保するために特別な放熱機構が必要となり、コストが大きくなる。携帯情報端末などのバッテリー駆

動機器では、消費エネルギーがバッテリーの駆動時間を左右する。バッテリーの駆動時間を長くするためには、システムが処理あたりに消費するエネルギーを小さくする必要がある。

CMOSでは、以下の3つの要因によって電力が消費される。

(1) 充放電による電力

CMOSの出力の電圧レベルが変わるとき、配線と次段のトランジスタへの充放電が起こる。充放電による消費電力は以下の

式で表される。

$$P = \sum_i \frac{1}{2} \alpha_i f C_i V_{DD}^2 \quad (1)$$

$f$  は回路の動作周波数,  $V_{DD}$  は電源電圧,  $C_i$  は回路中のゲート  $i$  におけるキャパシタンス,  $\alpha_i$  はゲート  $i$  のスイッチング回数を表す。

### (2) 貫通電流による電力

出力の値が変わる際, 短時間ではあるが PMOS と NMOS の両方が ON 状態になる。このとき, 電源と GND は短絡状態になり, 電流が流れる。

### (3) リーク電流による電力

電源電圧がかかっている状態では, トランジスタに微小な電流が流れる。このため, 回路が動作していなくても常に電力が消費される。

消費エネルギーは, 消費電力の時間積分で与えられる。バッテリの駆動時間などについて議論する場合には, 一連の処理あたりの消費エネルギーについて考える必要がある。すなわち, 演算回路においては, 演算あたりの消費エネルギーを削減することが重要である。CMOS では, 信号の遷移時に多くのエネルギーが消費されるため, 1 回の演算で生じる信号遷移の回数を少なくすることにより, 処理あたりの消費エネルギーを小さくすることができる。

演算を行ううえで有意な信号遷移は 1 演算, 1 信号あたり高々 1 回である。2 回以上の遷移は不必要であり, 無駄なエネルギー消費の原因の 1 つとなっている。演算回路では複数のパスが存在することや, 信号の到着時間のずれによって, 無駄な遷移が多く起こっていることが知られている [1]。無駄な遷移を削減するためには, ゲートサイズを最適化する方法 [2] や, 付加回路を用いて信号の値を固定する方法 [1], [3], [4] が提案されている。

本研究では, 配列型乗算器の演算過程において, 信号の値を一定期間固定することによって信号遷移の伝搬を防ぎ, 無駄な信号遷移を減らす。さらに, 信号の固定順序を変えることによって, 信号を固定する際に発生する遷移を削減する。本稿では, 配列型乗算器の部分積加算における信号遷移の削減による低消費エネルギー化設計を示す。これらの手法により, 通常の配列型乗算器に比べて約 46% の消費エネルギーを削減した。

以降, 2. で乗算器の消費エネルギーのシミュレーション結果とその考察について述べる。3. で信号遷移を削減する手法について述べ, 4. でシミュレーション結果について述べる。5. で本稿のまとめを行う。

## 2. 乗算器の消費エネルギーの調査

配列型乗算器, Wallace 乗算器の消費エネルギーをシミュレーションにより調査した。ここでは, その結果を示す。

### 2.1 消費エネルギー

乗算器の消費エネルギーのシミュレーションを行った。ROHM0.35 $\mu$ m プロセス用セルライブラリを用いて 8 ビット, 16 ビット, 32 ビット, 64 ビットの配列型乗算器, Wallace 乗算器を設計した。全ての乗算器で, 最終加算には順次桁上げ加算

表 1 配列型乗算器と Wallace 乗算器の消費エネルギー (nJ)

	配列型乗算器	Wallace 乗算器
8bit	11.56	9.44
16bit	78.77	47.10
32bit	545.21	209.32
64bit	3767.49	1244.43

表 2 乗算器の出力の最大の遷移回数

	配列型乗算器		Wallace 乗算器	
	遷移回数	位置	遷移回数	位置
8bit	235	OUT[10]	140	OUT[9]
16bit	480	OUT[19]	251	OUT[20]
32bit	978	OUT[36]	355	OUT[37]
64bit	1891	OUT[74]	431	OUT[100]

器を用いている。シミュレーションには, Synopsys 社 Nanosim を用いた。動作周波数は 10MHz とし, ランダムな入力ベクトルを用いて 100 回の演算で消費されるエネルギーを調べた。

100 回の演算によって消費されるエネルギーのシミュレーション結果を表 1 に示す。どの入力サイズの乗算器においても, 配列型乗算器のほうが Wallace 乗算器よりも消費エネルギーが大きくなっている。

### 2.2 信号の遷移回数

シミュレーションによって得られた信号波形から, 各全加算器間の信号の遷移回数を算出した。0 から 1, 1 から 0 に遷移したときにそれぞれ 1 回とカウントした。信号が電源電圧の 50% まで変化した場合に信号が遷移したとみなした。

表 2 に, 100 回の演算で, それぞれの乗算器の出力で最も多く遷移した箇所の遷移回数と, その位置を示す。OUT[ $i$ ] は出力の下位から  $i+1$  ビット目を示す。64 ビット配列型乗算器では 1 回の演算あたり約 19 回の遷移が起こっている。演算のために必要な信号遷移は高々 1 回であるため, ほとんどが削減しても演算結果に影響のない信号遷移である。Wallace 乗算器では, 配列型乗算器よりも遷移回数が少なく, 64 ビット Wallace 乗算器の出力の最大の遷移回数は, 1 演算あたり約 4 回であった。表 2 では, 配列型乗算器は入力のビット幅が 2 倍になると, 最大の遷移回数も約 2 倍となっている。Wallace 乗算器では, 入力ビット幅が 2 倍になると, 最大の遷移回数が約 100 回増えている。このため, 出力における最大の遷移回数は, 配列型乗算器で  $O(n)$ , Wallace 乗算器では  $O(\log n)$  であると考えられる。それぞれの乗算器の段数は  $O(n)$ ,  $O(\log n)$  であるため, 最大の遷移回数から, 信号の遷移回数は部分積加算回路の段数に比例すると考えられる。

32 ビット配列型乗算器と 32 ビット Wallace 乗算器の出力の信号波形を図 1 に示す。それぞれの乗算器における OUT[36] を示している。グラフ上部の▼は, 演算の入力が変化するタイミングを示している。図 1 から, 配列型乗算器の方が遷移回数も多く, 無駄な信号遷移が多いことがわかる。

図 2 に, 8 ビット配列型乗算器の信号の遷移回数の伝搬の様子を示す。PP[ $i$ ][ $j$ ] は  $i$  個目の部分積の下位から  $j$  ビット目, OUT[8] は下位から 9 ビット目の出力を表す。また, FA $i$  ( $i = 1, 2, \dots, 6$ ),

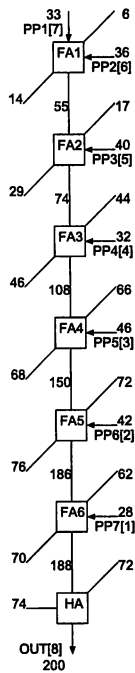


図 2 8ビット配列型乗算器の信号遷移の伝搬

HA はそれぞれ  $i$  段目の全加算器, 半加算器を表す。各信号線の横の数字は, 100 回の演算で起こった遷移回数を表す。FA1 の入力は, それぞれ 33, 6, 36 回遷移しており, 出力は 14, 55 回遷移している。FA1 から OUT[8] に至るパスに着目すると, 遷移回数は 55, 74, 108, ..., 200 と増加しており, 信号の遷移回数はほぼ段数に比例している。8ビット配列乗算器の他の箇所や, 16ビット以上の配列型乗算器でも同様の傾向がみられた。

### 2.3 信号遷移の伝搬

2.2のシミュレーション結果をふまえ, 配列型乗算器において無駄な信号遷移が多く起こる要因について述べる。XOR 演算による信号遷移の伝搬と, 配列型乗算器の部分積の入力位置による遷移の伝搬がその要因であると考えられる。

まず, XOR 演算による信号遷移の伝搬について述べる。XOR 演算は入力のどれか 1つだけが遷移すると, 出力も必ず遷移する。部分積加算回路は主に全加算器で構成され, 全加算器の和は 3入力 XOR 演算である。そのため, 部分積加算回路の各段の全加算器では, 入力側で 1つずつ複数回の遷移が起こると, 出力側でも複数回の遷移が起こる。全加算器の 3つの入力でそれぞれ複数の遷移が起こると, 和ではそれらが複合してさらに多くの遷移が起こる。出力側で起こった遷移はそのまま次段の全加算器の入力となるため, 部分積加算回路では後段ほど多くの遷移が起こる。Wallace 乗算器についても同様のことがいえる。

次に配列型乗算器の部分積の入力位置による遷移の伝搬について述べる。図 2に示したように, 配列型乗算器では部分積加算回路のパスの途中で部分積が入力される。部分積がほぼ同時に入力されると, まず部分積の値の変化による信号遷移が起こ

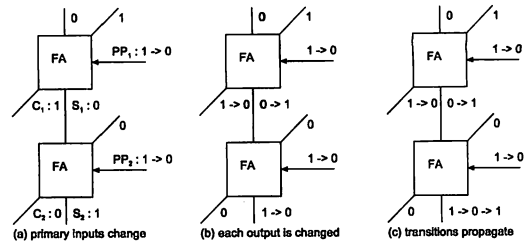


図 3 配列型乗算器の信号遷移の様子

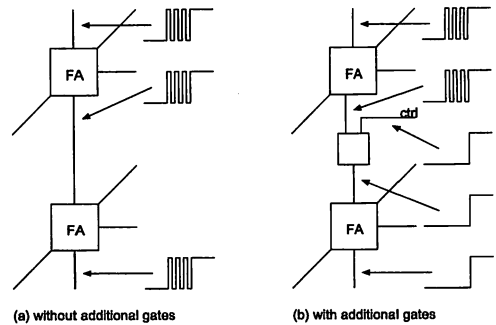


図 4 信号の固定による遷移回数の削減

り, 次に全加算器 1 段分の遅延の後, 前段の全加算器からの出力の遷移に伴って次段の全加算器の入力が遷移する。この遷移によって, 次段の全加算器の出力は再び遷移する。これが繰り返されるため, 配列型乗算器の部分積加算回路では, 多くの信号遷移が起こる。信号遷移の伝搬の例を図 3 に示す。まず, 図 3(a) で, 入力  $PP_1, PP_2$  の値がそれぞれ 1 から 0 に変化する。次に, 図 3(b) では, この入力の信号遷移がそれぞれの全加算器の出力  $S_1, C_1, S_2, C_2$  に反映される。最後に, 図 3(c) では,  $S_1$  が遷移したことにより, 再度  $S_2$  が遷移する。

## 3. 信号の遷移回数の削減手法

### 3.1 付加回路による信号の固定

部分積加算回路における信号遷移を削減する手法について述べる。配列型乗算器の部分積加算回路では, 各全加算器の出力で複数回の遷移が起こっている。さらに, それが次段の全加算器へ入力されることによって, 遷移回数が増加している。そのため, 信号遷移が伝搬することを防ぐことで, 全体の遷移回数を削減することができる。信号遷移の伝搬を防ぐためには, 全加算器の出力を適切なタイミングまで固定し, 次段の全加算器の入力が遷移しないようにすればよい。図 4 に, 信号を固定するための回路を挿入した場合に期待される信号遷移の伝搬の様子を示す。図 4(a) では, 付加回路がないため, 入力で起こった複数回の遷移が伝搬している。図 4(b) では, 付加回路と制御信号 (ctrl) により遷移の伝搬が止められている。信号は固定前の値に関わらず 0 または 1 に固定される。

### 3.2 信号の固定段数と固定箇所

3.1の信号を固定するための付加回路については, 回路面積, 遅延, 消費エネルギーのコストを考慮する必要がある。それぞ

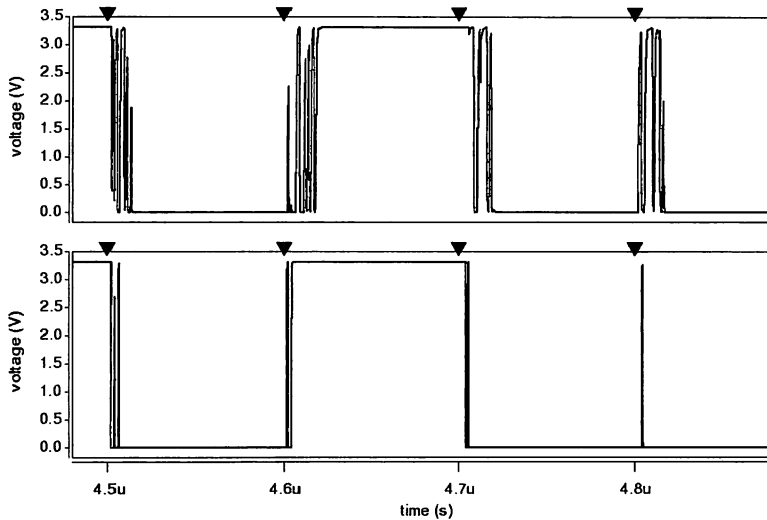


図 1 32 ビット乗算器の OUT[36] の信号波形 (上：配列型乗算器，下：Wallace 乗算器)

れのコストを抑えるためには、固定する信号が少ないほうが良いが、少なすぎると無駄な信号遷移の削減効果が小さくなるため、最適点があると考えられる。

配列型乗算器の部分積加算回路の信号を固定するにあたり、固定段数と固定箇所について述べる。

まず、信号を固定する段数について考える。信号を固定するとその直後には、無駄な信号遷移は少なくなる。そのため、その直後で再度信号を固定することは、信号の遷移回数の削減効果は薄い。配列型乗算器の部分積加算回路は、全加算器が規則正しく並んでいるため、一定段数ごとに信号を固定することが有効であると考えられる。

次に、信号を固定する箇所について考える。できるだけ少ない付加回路で高い遷移回数の削減効果を得るためには、無駄な信号遷移の原因となっている箇所を重点的に固定することが有効である。2.3 では、XOR 演算が連続していることを信号の遷移回数が増える要因の 1 つとして挙げた。これを考慮すると、配列型乗算器では XOR 演算である和のみを固定し、桁上げは固定しないという方法が選択肢の 1 つとして挙げられる。

### 3.3 信号の固定順序

配列型乗算器で信号を固定した場合、下位の部分積に対応する段から順に信号の固定を解除していくことによって正常に演算が行われる。以降、本稿では、下位の部分積に対応する位置を上段、上位の部分積に対応する位置を下段と表現する。演算が終了した後、信号を再度固定する必要がある。信号は固定前の値に関わらず 0 または 1 に固定される。そのため、信号を固定するときに信号遷移が発生する。その際に信号の固定順序によって信号の遷移回数が増える。本節では、信号を上段から固定した場合と、下段から固定した場合について考える。

信号を上段から固定する場合について考える。[1] においても制御信号が上段から変化する方法が採用されている。固定の際に発生した遷移は下段へと伝搬しようとする。信号は上段から

固定されていくため、ある信号が固定されたときに、下段の信号は固定されていないままである。そのため、信号を固定する際に発生した遷移がさらに下段へと伝搬していく可能性があり、このときに無駄な遷移が起こると考えられる。

次に信号を下段から固定する場合について考える。この場合、ある信号が固定されたときに下段の信号はすでに固定されている。そのため、信号を固定することによって発生する遷移は、限られた段数しか遷移しない。上段から信号を固定する場合に比べ、無駄な遷移回数は少なくなると考えられる。また、信号の遷移が伝搬しないという点を考慮すると、全段で同時に信号を固定しても同等の効果が得られると期待できる。

## 4. 実験

信号の値を固定するための回路を付加した 32 ビット配列型乗算器を設計し、シミュレーションによって消費エネルギーを評価した。

### 4.1 シミュレーション条件

以下の条件で、消費エネルギーのシミュレーションを行う。

- 乗算器  
ROHM0.35 $\mu\text{m}$  プロセス用セルライブラリを用いて設計した、32 ビット配列型乗算器を用いた。最終加算には順次桁上げ加算器を用いた。信号を固定するための付加回路としては、2 入力 AND ゲートを用いた。AND 演算は入力のうちの 1 つが 0 であれば出力も 0 となるため、これを利用して信号を固定する。図 5 に AND ゲートを挿入した 4 ビット配列型乗算器の例を示す。
- 信号の固定段数  
信号を固定する段数は [1/3/7/15/31] 段とした。すなわち、[15/7/3/1 段おき、または全段] に AND ゲートを挿入した。

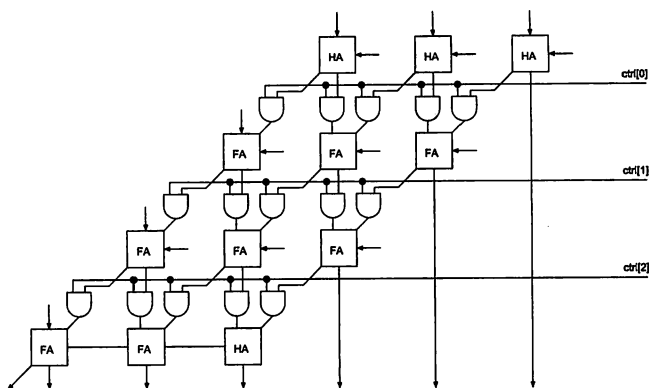


図 5 全加算器の和と桁上げに AND ゲートを挿入した 4 ビット配列型乗算器

- 信号の固定箇所  
信号を固定する箇所は、各段の和、桁上げの両方か、和のみの 2 通りとした。
- 信号の固定順序  
信号の固定順序は [上段から/同時に/下段から] の 3 通りとした。
- 制御信号  
付加回路の制御信号は各段独立な外部入力とした。たとえば、AND ゲートを 31 段挿入する場合には、制御信号は 31 ビットの外部入力となる。
- 制御信号の伝搬遅延  
ある段の信号を固定してから、次の段の信号が固定されるまでの間隔は、50ps から 1000ps まで、50ps ずつ変えてシミュレーションを行った。

#### 4.2 実験結果

表 3 に和と桁上げの両方を固定した 32 ビット配列型乗算器の消費エネルギーのシミュレーション結果を示す。表 4 に和のみを固定した配列型乗算器の消費エネルギーのシミュレーション結果を示す。制御信号の伝搬遅延を変えながらシミュレーションを行い、消費エネルギーが最小となったものを示す。いずれの場合も、消費エネルギーが最小となったのは全加算器 1 段あたり 600ps~700ps の遅延の場合であった。

固定箇所について述べる。まず、同じ固定段数で和のみ、和と桁上げの両方を固定した場合を比較する。31 段の場合を除き、和のみを固定した場合の消費エネルギーのほうが大きい。これは、桁上げを固定していないため、固定段数が少ない場合には桁上げの遷移が大きく影響しているためである。次に、挿入する AND ゲート数が同等の場合を比較する。和のみを固定した場合、和と桁上げの両方を固定した場合に比べて、挿入する AND ゲート数は約半分で済む。たとえば、和のみを 31 段固定した場合と、和と桁上げの両方を 15 段固定した場合は、挿入する AND ゲート数はほぼ同じである。これを考慮し、同等の AND ゲート数の場合を比較しても和のみを固定したほうが

消費エネルギーが大きい。すなわち、同じ数の AND ゲートを挿入するのであれば、和と桁上げの両方を固定し、固定段数を減らすほうが消費エネルギー削減効果が大きい。以後は、和と桁上げの両方を固定した場合のみについて考える。

次に固定段数について述べる。固定順序が上段から、または下段からの場合は 15 段、同時に固定する場合は 7 段の場合が最も消費エネルギーが少ない。上段から固定した場合の消費エネルギーと、表 1 の配列型乗算器の消費エネルギーを比較すると、約 34% 少なくなっている。この場合の AND ゲートの挿入による回路面積の増加は約 5% であった。信号を固定すると遷移回数が少なくなるため、その直後に再び信号を固定すると、遷移回数の削減効果よりも AND ゲートの制御による遷移回数の増加が上回るためだと考えられる。

最後に固定順序について述べる。信号を同時に固定した場合が最も消費エネルギーが小さくなっている。固定段数 7 段について、信号を上段から固定した場合と同時に固定した場合を比較すると、同時に固定したほうが約 20% 消費エネルギーが小さくなっている。これは、同時に信号を固定した場合は信号固定時の遷移が伝搬しないためであると考えられる。

図 6 に通常の 32 ビット配列型乗算器と、信号を固定した 32 ビット配列型乗算器の出力の信号波形を示す。通常の 32 ビット配列型乗算器の出力の中で、最大の遷移回数となった OUT[36] を示している。信号を固定した配列型乗算器は、表 3 で消費エネルギーが最小となった、和と桁上げを 7 段固定し全段同時に固定したものを示している。破線は制御信号の波形を示している。グラフ上部の▼は、演算の入力が変化するタイミングを示している。信号を固定することによって、ほとんどの遷移が抑えられていることがわかる。一方、信号を固定した場合でも、無駄な遷移が残っている。4.7μs 付近では、信号の固定解除後に到達した遷移が波形に現れている。4.8μs 付近では、信号の固定時に発生した遷移が現れている。

#### 5. まとめ

本稿では、信号の値を固定することによって配列型乗算器の信号遷移回数を削減した。シミュレーション結果より、2 入力 AND ゲートを用いて信号を固定した場合、7 段おきに全加算

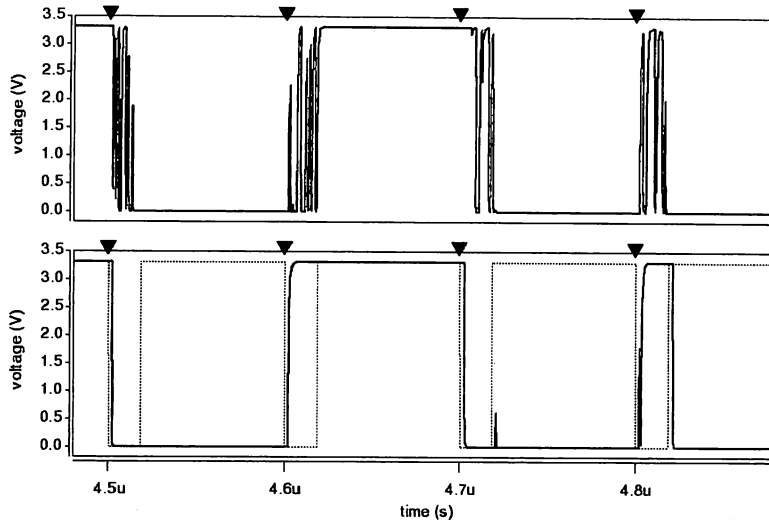


図6 配列型乗算器のOUT[36]の信号波形(上:ANDゲート挿入前,下:ANDゲート挿入後)

表3 全加算器の和と桁上げにANDゲートを挿入した32ビット配列型乗算器の消費エネルギー(nJ)

固定段数	上段から	同時に	下段から	ANDゲート数
1段	465.04	435.52	464.95	62
3段	399.64	347.03	384.59	186
7段	365.71	294.38	334.88	434
15段	358.92	294.68	320.64	930
31段	407.01	338.11	369.24	1922

表4 全加算器の和のみにANDゲートを挿入した32ビット配列型乗算器の消費エネルギー(nJ)

固定段数	上段から	同時に	下段から	ANDゲート数
1段	533.56	500.96	533.39	31
3段	504.03	447.62	511.10	93
7段	441.14	381.20	454.65	217
15段	392.25	320.54	374.23	465
31段	389.57	312.79	338.82	961

器の和と桁上げの両方を固定した場合が最も消費エネルギーが小さく、32ビット配列型乗算器の消費エネルギーは約46%小さくなった。また、信号を固定する順序は、全段同時の場合が最も消費エネルギーが小さくなった。

本稿の手法を用いて信号遷移を削減した配列型乗算器よりも、信号遷移を削減する工夫を行っていないWallace乗算器の方が消費エネルギーが小さい。2.2で述べたとおり、Wallace乗算器においても無駄な信号の遷移が存在するため、今後はWallace乗算器をはじめとする木構造の乗算器について、信号の遷移回数を削減し低消費エネルギー化を図る。

## 謝 辞

本研究の一部は、東京大学大規模集積システム設計教育センターを通じ、日本シノプシス株式会社、ローム株式会社の協力で行われたものである。

本研究の一部は、科学技術振興事業団(JST)戦略的創造研究推進事業(CREST)「情報システムの超低消費電力化を目指した技術革新と統合化技術」の支援による。

## 文 献

- [1] Enric Musoll and Jordi Cortadella, "Low-Power Array Multipliers with Transition-Retaining Barriers", 5th International Workshop on Power And Timing Modeling Optimization and Simulation, Oldenburg, Germany, Oct. 4-6 1995
- [2] Masanori Hashimoto and Hidetoshi Onodera, "Post-Layout Transistor Sizing for Power Reduction in Cell-Base Design", IEICE Trans. Fundamentals, vol.E84-A, no.11, pp.2769-2777, Nov. 2001
- [3] Luca Benini, Giovanni De Micheli, Alberto Macii, Enrico Macii, Massimo Poncino and Riccardo Scars, "Glitch Power Minimization by Selective Gate Freezing", IEEE Trans. VLSI Systems, vol.8, no.3, pp.287-298, June 2000
- [4] Vivek Tiwari, Sharad Malik and Pranav Ashar, "Guarded Evaluation: Pushing Power Management to Logic Synthesis/Design", IEEE Trans. CAD, vol.17, no.10, pp1051-1060, Oct. 1996
- [5] Masanori Muroyama and Tohru Ishihara, "A Power Minimization Technique for Arithmetic Circuits by Cell Selection", 7th ASPDAC, Bangalore, India, Jan. 7-11 2002
- [6] Alberto Nannarelli and Tomas Lang, "Low Power Divider", IEEE Trans. Computers, vol.48, no.1, pp.2-14, Jan. 1999
- [7] Luciano Lavagno, Patrick C. McGeer, Alexander Saldanha and Alberto L. Sangiovanni-Vincentelli, "Timed Shannon Circuits: A Power-Efficient Design Style and Synthesis Tool", 32nd DAC, San Francisco, USA, June 12-16 1995
- [8] 安浦 寛人, "低消費エネルギー化システム LSI 設計手法 -システム設計からのアプローチ-", 信学技報 ICD2002-179, vol.102, pp.31-36, 2002