

製造後にタイミング補正可能なオンチップバスアーキテクチャ

山口 聖貴[†] 室山 真徳^{††} 石原 亨^{††} 安浦 寛人^{†††}

[†]九州大学 大学院システム情報科学府 〒819-0395 福岡市西区元岡 744

^{††}九州大学 システム LSI 研究センター 〒814-0001 福岡市早良区百道浜 3-8-33

^{†††}九州大学 大学院システム情報科学研究院 〒819-0395 福岡市西区元岡 744

E-mail: [†]masaki@c.csce.kyushu-u.ac.jp, ^{††}{muroyama,ishihara}@slrc.kyushu-u.ac.jp,

^{†††}yasuura@c.csce.kyushu-u.ac.jp

あらまし トランジスタの微細化が進むにつれて、配線に起因する遅延時間の影響が増大している。特にバス配線では複数の配線が長距離並走するため、配線間容量が大きく結果的に遅延時間が増大してしまう。また微細化が進むにつれて、製造時に生じるばらつきに起因する回路性能のばらつきが顕著になってきている。回路性能のばらつきによって、仕様どおりに動作しない回路が増加する。本稿では、バス遅延の増大や性能ばらつき等に対処すべく、製造後にタイミング補正可能なオンチップバスアーキテクチャについて述べる。

キーワード 製造ばらつき, Deep Sub-Micron, 製造後性能補償, CMOS

An On-Chip Bus Architecture for Post-Fabrication Timing Calibration

Masaki YAMAGUCHI[†], Masanori MUROYAMA^{††},

Tohru ISHIHARA^{††}, and Hiroto YASUURA^{†††}

[†] Graduate School of Information Science and Electrical Engineering, Kyushu University
744 Motooka, Nishi-ku, Fukuoka 819-0395 Japan

^{††} System LSI Research Center, Kyushu University
3-8-33 Momochihama, Sawara-ku, Fukuoka 814-0001 Japan

^{†††} Graduate School of Information Science and Electrical Engineering, Kyushu University
744 Motooka, Nishi-ku, Fukuoka 819-0395 Japan

E-mail: [†]masaki@c.csce.kyushu-u.ac.jp, ^{††}{muroyama,ishihara}@slrc.kyushu-u.ac.jp,

^{†††}yasuura@c.csce.kyushu-u.ac.jp

Abstract As the transistor size shrinks, the horizontal coupling capacitance between adjacent wires becomes dominant for wire load. Especially for an on-chip bus, since each line of a bus runs in parallel for a long distance, inter-wire coupling capacitance is larger than other interconnects. An interconnect delay increase caused by inter-wire coupling capacitance increase. Also, as the transistor size shrinks, process variations increase. With process variations, delay variations cause the yield loss. In this paper, we propose an on-chip bus architecture for post-fabrication timing calibration.

Key words Process Variation, Deep Sub-Micron, Post-Fabrication Performance Compensation, CMOS

1. はじめに

集積回路の製造技術の進歩によってトランジスタの微細化が進み、回路の小型化や動作速度の高速化が図られてきた。一方で、トランジスタの微細化はこれまで考慮する必要の無かったさまざまな問題を引き起こしている。その問題として、製造上のばらつきに起因する性能ばらつきや配線間容量の増大

による配線遅延の増大などがあげられる。

微細化によって、製造上のばらつきに起因する性能ばらつきが増大していることが問題となっている。集積回路の製造プロセスにおいて、熱処理温度のばらつきやイオン注入条件のばらつきなどの製造上のばらつきが発生する [1]。製造上のばらつきは、閾値電圧などトランジスタの電気的な特性をばらつかせ、回路性能のばらつきへとつながる。回路性能のばらつきによ

て仕様どおりに動作しない回路が増加し、歩留まりを低下させコストの増加を引き起こすという問題が生じている。

製造上のばらつきへの対策として、製造後に回路性能を補償する技術が研究されている [2] [3] [4] [5]。これは、回路性能を観測し、その結果をもとに電源電圧や基板電圧を制御することによって性能ばらつき幅を小さく抑え、所望の動作を実現させる技術である。今後の性能ばらつき量の増加を考えると、製造後の性能補償技術がさらに重要になってくると考えられる [2]。

また微細化に伴う別の問題点として、論理ゲートの遅延時間よりも配線に起因する遅延時間の方が大きくなってきていることがあげられる [6]。スケールリング則に従い配線幅や配線間隔も縮小されてきたが、配線抵抗の増加を防ぐために配線の高さはスケールリングされない。配線幅に対する配線の高さの割合が増加し、配線間隔が縮小していることにより、隣接配線間容量が増加し、その影響が問題となってきている。

配線間容量の増加は、容量の増加に伴う遅延時間の増加に加え、隣接配線間のクロストークによる誤動作や配線遅延の増加を招く。特に、バス配線では複数の配線が長距離並走するため配線間容量が大きく、クロストークの影響が顕著に現れる。隣接配線が互いに逆の信号遷移を起こした場合、実効的な配線間容量が大きく増加してしまう。

以上の背景から、本稿では製造後にタイミング補正可能なオンチップバスアーキテクチャについて述べる。クロストークを考慮し、同時に逆の信号遷移が起こらないように遅延素子を導入し、遷移タイミングをシフトさせることでバスの最悪遅延時間を削減する。遅延素子の遅延時間を製造後に調整することでバスの最悪遅延時間を削減し、製造後のタイミング補正を可能としている。

本稿の構成は以下の通りである。第2章では、オンチップバスにおける遅延時間とバスの最悪遅延削減手法について述べる。第3章では、製造後にタイミング補正可能なオンチップバスアーキテクチャについて述べる。第4章では、提案アーキテクチャの評価と検討を行う。第5章でこれをまとめる。

2. オンチップバスにおける遅延時間

バス配線の遅延時間は配線抵抗と配線容量の積に比例して増加する。配線の容量は、配線と基板間の容量 C_0 と隣接配線間の容量 C_m からなる (図1参照)。従来のLSIでは、隣接配線間の間隔が広く、配線のアスペクト比 (配線断面の垂直方向の長さ/水平方向の長さ) も小さいため、垂直方向の容量が水平方向と比べて大きかった。しかし、微細化の進行に伴い、配線抵抗を低く保つために配線幅の縮小に比べて配線の高さの縮小は進まないため、配線間隔は狭く、配線のアスペクト比が大きくなり、隣接配線間の容量が支配的となる。

2.1 オンチップバスクロストーク

水平方向の容量の増加により、隣接配線間のクロストークが問題となっている。クロストークは隣接配線間容量を介して隣接配線に誘起される意図しない電圧変化 (ノイズ) であり、ハザード等の論理反転や配線遅延の増加の原因となる。

クロストークの影響は特にバス構造において顕著に現れる。

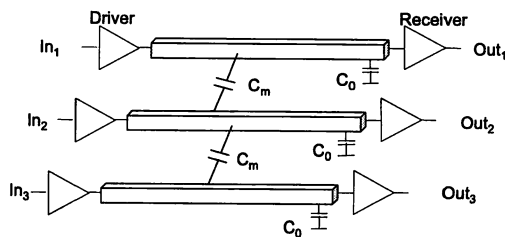


図1 3線バスの模式図

オンチップバスのような長距離に渡って同一配線が並走する構造は大規模なLSIで広く用いられている。このような配線構造においては、配線間容量の物理的な増加のみならず、隣接配線の信号変化の組み合わせによっても実効的な配線間容量が大幅に変化する。特に、隣接する配線が互いに逆の論理に同時に遷移した場合に実効的な配線間容量が大きく増加してしまう。

3本の並走した長距離配線上的クロストークについて考える。図1に示すようなバス配線において各信号が同時に遷移したとき、信号遷移により中央の配線から見える実効的な容量 C_{eff} は、中央の配線の電圧変化を ΔV_2 、両側の配線の電圧変化を ΔV_1 、 ΔV_3 、電源電圧を V_{dd} とすると、以下の様に表される:

$$C_{eff} = C_0 + C_m \left| \frac{\Delta V_2 - \Delta V_1}{V_{dd}} \right| + C_m \left| \frac{\Delta V_2 - \Delta V_3}{V_{dd}} \right| \quad (1)$$

3本の配線の信号が同時に'0'から'1'に遷移したとすると、 $\Delta V_1 = \Delta V_2 = \Delta V_3 = V_{dd}$ であり、 $C_{eff} = C_0$ となり結果的に遅延時間は小さくなる。しかし、両側の配線の信号が'0'から'1'に、中央の配線の信号が'1'から'0'に遷移した場合は、 $\Delta V_1 = \Delta V_3 = V_{dd}$ 、 $\Delta V_2 = -V_{dd}$ であり、 $C_{eff} = C_0 + 4C_m$ となり、遅延時間が大きく増加してしまう。

図2のようなバス配線のモデルを用いて、信号遷移の組み合わせによる遅延時間の変化を図3に示す。[6]をもとに配線抵抗 R を 900Ω 、基板配線間容量 C_0 を $250 fF$ 、隣接配線間容量 C_g を $450 fF$ と設定した。プロセスパラメータはASPLA90nmのものを使用し、ドライバとレシーバの駆動能力は同じと仮定した。図3に示している遅延時間は、3本のバスの最悪遅延時間であり、各遅延時間の値は3本の配線とも'0'から'1'に変化した場合の遅延時間を1として正規化したものである。↑は'0'から'1'への遷移、↓は'1'から'0'への遷移を表している。図3より、両側の配線が同時に逆の論理に遷移した場合、遅延時間が約5倍に増加していることが確認できる。

バス配線においては、最悪遅延時間がバスのクロック時間を決定し、信号伝送性能を決定することになる。よってバスの遅延時間を考慮する際には、最悪遅延時間を考慮することが必要である。本稿ではバスの最悪遅延時間に着目して話を進める。

2.2 クロストーク低減によるバス遅延時間削減手法

クロストークの低減手法として、隣接配線が同時に逆の信号遷移を起こさないように、意図的に遷移タイミングをシフトさせる手法が提案されている [7]。遷移タイミングをシフトさせる分だけ遅延時間は増加するが、実効的な容量は減少する。容量

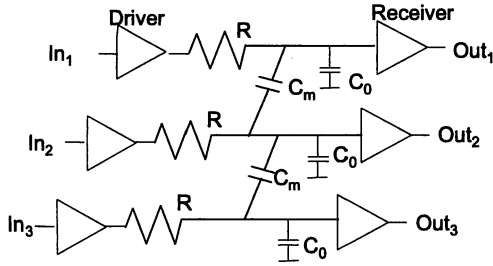


図2 オンチップバスのモデル

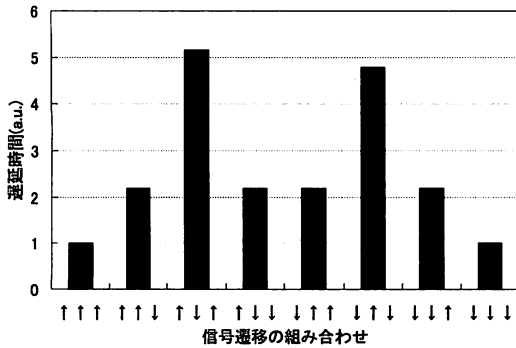


図3 信号遷移の組み合わせによるバス遅延時間の変化

の減少による遅延削減効果が遷移タイミングのシフトで生じる遅延時間の増加よりも大きい場合、バスの最悪遅延時間を削減できる。

図4に遅延素子挿入による最悪遅延時間の削減効果を示す。図2に示すようなバス配線において、配線抵抗 R を $900\ \Omega$ 、基板配線間容量 C_0 を 250fF 、隣接配線間容量 C_m を 450fF と設定し、回路シミュレータ HSPICE を用いてバスの最悪遅延時間の見積もりを行った。遅延素子はバッファを用いて実現し、段数を変化させることで遅延時間の調整を行った。横軸が挿入する遅延素子の遅延時間、縦軸がバス全体の最悪遅延時間を表している。各遅延時間の値は遅延素子を挿入しない場合のバスの遅延時間を1として正規化したものである。

図4より、遅延素子を挿入することによって最悪遅延時間を最大18%程度削減できることが確認できる。

2.3 製造後性能補償によるバス遅延時間削減手法

前節より、遅延素子の挿入によってバス遅延の最悪遅延時間を削減できることを確認した。しかし、製造前に遅延時間を見積もって最適な遅延素子を挿入しても、製造ばらつきによってドライバや遅延素子自身の遅延時間が変化してしまうため、結果的にバスの最悪遅延時間の削減効果が失われる可能性がある。

そこで製造ばらつきに対処するため、製造後に遅延時間を調整できる遅延素子 PDE(Programmable Delay Elements) をあらかじめ組み込んでおき、テスト時にバス遅延を観測して最適な遅延時間を選択することによって、さらにバスの最悪遅延時

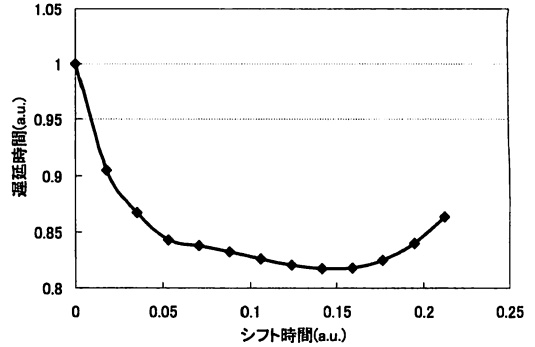


図4 遅延素子の挿入による最悪遅延時間削減効果

間を削減できると考えた。

3. 製造後にタイミング補正可能なオンチップバスアーキテクチャ

製造後にタイミング補正可能なオンチップバスのアーキテクチャは、通常のオンチップバスに用いられる素子に加え、製造後に遅延時間を調整できる遅延素子 PDE(Programmable Delay Elements)、バスの遅延時間を観測する遅延観測回路からなる(図5参照)。バスの遅延時間削減手法として、隣接配線における遷移タイミングのシフトを用いる。クロストークを考慮し、必要に応じて隣接配線の遷移タイミングをずらすため、PDEを組み込む。オンチップでタイミング制約を満たすかどうかを確認する回路を組み込む。遅延素子の調整のみでタイミング補正を実現できるため、電源電圧や基板電圧の調整を用いた製造後のタイミング補正と比較すると、実現が容易である。

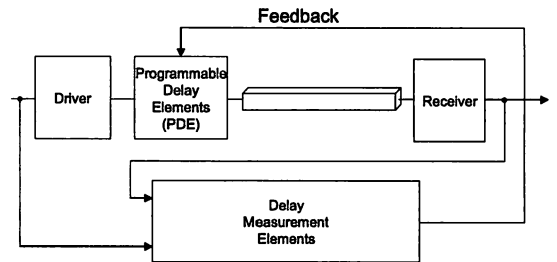


図5 提案するオンチップバスアーキテクチャ

3.1 PDE(Programmable Delay Element)

PDE(Programmable Delay Element) とは、製造後に遅延時間を調整できる素子である。PDE についてはこれまで様々なアーキテクチャが提案・検討されている [3]~[5] [8]~[10]。PDE の代表的なアーキテクチャとして、遅延素子の段数を制御して遅延時間を制御するもの、バッファ部に流れる電流を制御することで遅延時間を制御するもの、遅延時間の異なる素子を複数持ち、必要な素子を選択することで遅延時間を制御するものなどがある。それぞれの回路には、面積や消費電力、粒度などの

点で特徴を持っているので、調整に必要な精度やオーバーヘッドを検討しながら適切な PDE を選択する必要がある。

3.2 遅延観測回路

遅延観測回路を用いてバス配線がタイミング制約を満たすかどうかを確認する。遅延観測回路の例としてフリップフロップと XOR ゲートを用いる方法がある。バスの入力信号と 1 クロック後の出力信号をフリップフロップに保持しておき、その信号の XOR をとる。XOR ゲートの出力が 1 のとき、入力値と 1 クロック後の出力値が異なるため、バスの遅延時間が大きく、タイミング制約を満たしていないことになる。逆に XOR ゲートの出力が 0 のとき、入力値と 1 クロック後の出力値が一致しているため、タイミング制約を満たして信号移行が行われていることを確認できる。バスの遅延観測素子として他にも様々な回路が考えられるので、今後十分に検討していく必要がある。

3.3 製造後のタイミング補正

テスト時に各バスにおける遅延時間を観測し、タイミング制約を満たすかどうかをチェックする。チップ製造後のバスを用いて性能を測定するため、製造ばらつきを含んだ性能を得ることができる。オンチップで測定した結果をもとに、ターゲットとする遅延時間に収まるように遅延素子の遅延時間を製造後に調整し、バスの最悪遅延削減を図ることでタイミング歩留まりを向上させることが可能となる。

4. 提案アーキテクチャの評価

提案手法の有効性を評価するため、本稿では以下の 3 つの場合について比較を行う。

(1) 製造ばらつき未考慮

設計時にばらつきを考慮せずに、最悪遅延時間が最小となるように遅延素子の遅延時間を最適化した場合

(2) 製造前最適化

設計時にばらつきを考慮し、遅延素子の遅延時間を最適化した場合

(3) 製造後最適化

製造後に最悪遅延時間が最小となるように、遅延素子の遅延時間を最適化した場合

4.1 概要

図 2 のように 3 本の並走したバスを考える。配線抵抗 R を 900Ω 、基板配線間容量 C_0 を $250 fF$ 、隣接配線間容量を $450 fF$ と設定した。プロセスパラメータは ASPLA90nm のものを使用し、ドライバとレシーバの駆動能力は同じと仮定した。ドライバを構成するトランジスタの閾値電圧が正規分布に従ってばらつくことと仮定し、回路シミュレータ HSPICE のモンテカルロ解析を用いて最悪遅延時間の見積もりを行った。閾値電圧の変動係数 (標準偏差/平均値) を $CV_{V_{th}}$ とすると、 $CV_{V_{th}}$ は 0.1, 0.15, 0.2 の 3 つの場合において見積もりを行った。

4.2 バス遅延時間の平均値の比較

表 1 にばらつき未考慮、製造前最適化、製造後最適化の 3 つの場合における最悪遅延時間の比較を示す。示している値はモンテカルロシミュレーションで得られたバスの最悪遅延時間の平均値であり、製造ばらつき未考慮の遅延時間を 1 として正規

化したものである。 $CV_{V_{th}}$ は 0.1, 0.15, 0.2 の 3 つの場合について比較を行った。表 1 より、設計時に製造ばらつきを考慮して遅延素子の遅延時間を設定するとバスの最悪遅延時間は約 2%程度削減できることが確認できる。製造後に遅延素子の遅延時間を最適化することでバスの最悪遅延時間を 4~6%程度削減できることが確認できる。また、 $CV_{V_{th}}$ が 0.1, 0.15, 0.2 と大きくなるにつれて、遅延時間の削減効果が大きいことが確認できる。よって製造ばらつきの影響が大きいほど遅延時間の削減効果が大きいと考えられる。今後微細化が進行し製造ばらつきの影響が大きくなると、本手法はさらに有効になると考えられる。

表 1 遅延素子の最適化による最悪遅延時間削減効果

	$CV_{V_{th}} = 0.1$	$CV_{V_{th}} = 0.15$	$CV_{V_{th}} = 0.2$
製造ばらつき未考慮	1.000	1.000	1.000
製造前最適化	0.990	0.983	0.979
製造後最適化	0.964	0.957	0.942

4.3 バス遅延時間のばらつきの大きさの比較

表 2 に遅延素子挿入による遅延ばらつきの大きさの比較を示す。本稿では遅延ばらつきの大きさの指標として、変動係数 CV_{delay} を用いる。また、 $CV_{V_{th}}$ は 0.1, 0.15, 0.2 の 3 つの場合について比較を行った。示す値は製造前最適化におけるバスの最悪遅延時間の CV_{delay} を 1 として正規化したものである。表 2 より、製造前最適化の場合と製造後最適化の場合では CV_{delay} に大きな違いは見られない。製造後最適化をすることによって、ばらつきの大きさはあまり変化しないことが確認できた。しかし製造後に最適化することによって最悪遅延時間の平均値が小さくなるため、結果的に歩留まりは向上すると考えられる。

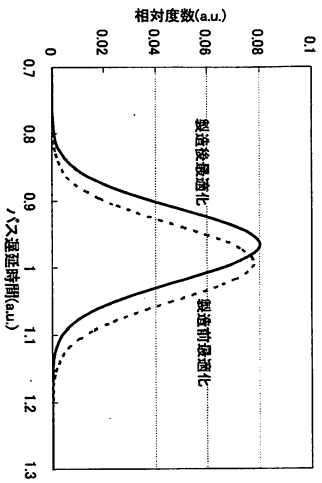
表 2 遅延素子の最適化によるバス遅延ばらつきの変化

	$CV_{V_{th}} = 0.1$	$CV_{V_{th}} = 0.15$	$CV_{V_{th}} = 0.2$
製造前最適化	1.000	1.515	2.037
製造後最適化	1.002	1.511	2.029

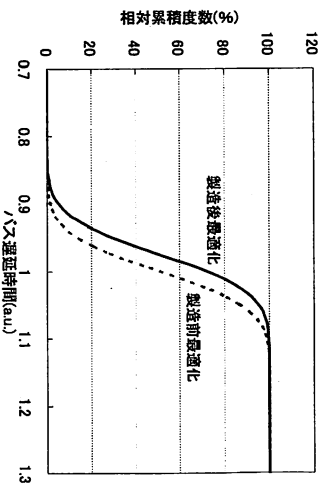
4.4 バス遅延時間の度数分布の比較

図 6、図 7 に製造後の遅延素子挿入によるバスの最悪遅延時間の変化を示す。本稿では簡単化のため、バスの最悪遅延時間が正規分布に従ってばらつくことと仮定する。図 6 は、モンテカルロシミュレーションを行って得られた平均値と分散から確率密度関数を求めグラフ化したものである。図 6 は、同様にして得られた平均値と分散から累積分布関数を求めグラフ化したものである。 $CV_{V_{th}}$ が 0.1, 0.15, 0.2 の 3 つの場合について比較を行っている。横軸はバスの最悪遅延時間、縦軸は相対度数を示す。バスの最悪遅延時間は、 $CV_{V_{th}} = 0.1$ の場合の最悪遅延時間の平均値を 1 として正規化したものを用いている。

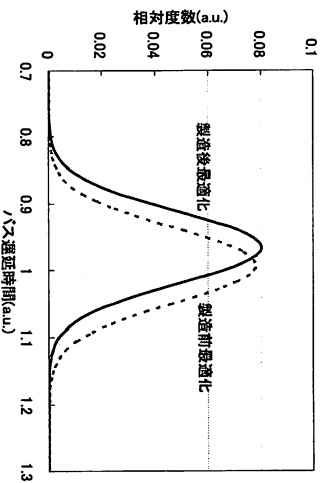
図 6~図 7 より、 $CV_{V_{th}}$ が 0.1, 0.15, 0.2 の全体的な場合において、製造後に遅延素子を最適化することでバスの最悪遅延時間を削減でき、歩留まりが向上していることが確認できる。



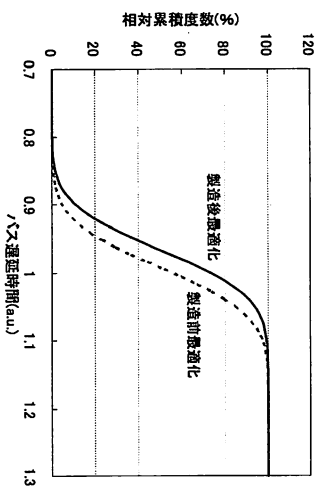
(a) $CVrh = 0.1$



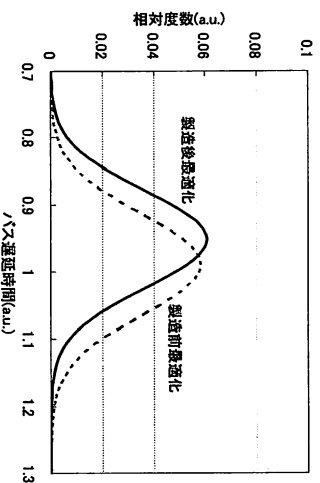
(a) $CVrh = 0.1$



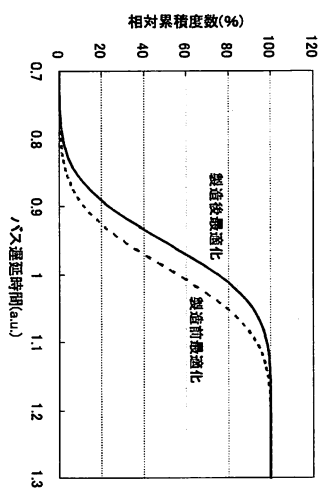
(b) $CVrh = 0.15$



(b) $CVrh = 0.15$



(c) $CVrh = 0.2$



(c) $CVrh = 0.2$

図 6 製造後タイムリંગ補正による最悪遅延時間分布の変化
(確率密度関数)

図 7 製造後タイムリંગ補正による最悪遅延時間分布の変化
(累積分布関数)

4.5 タイミング歩留まりの比較

表 3 にバスのタイミング歩留まりの比較を示す。各値は、ある遅延時間をターゲット遅延時間 T_{delay} とした場合にどの程度歩留まりを確保できているかを示している。 $CVrh = 0.2$ とし、単位は%である。表 3 から、例として $T_{delay} = 1.10$ の歩留まりを見ると、製造前最適化の場合は 93.8%、製造後最適化の場

合は 98.3% である。よって、製造後の最適化によって歩留まりが改善されていることが確認できる。

4.6 バス幅によるタイミング歩留まりの変化

図 8 にバスの bit 数によるタイミング歩留まりの変化を示す。バス幅を 8bit, 16bit, 32bit, 64bit と変化させたとき、製造前最適化と製造後最適化のタイミング歩留まりの変化を示してい

表 3 遅延素子の最適化によるタイミング歩留まり (%)

T_{delay}	1.00	1.05	1.10	1.15	1.20
製造前最適化	53.3	79.1	93.8	98.3	99.7
製造後最適化	72.8	91.4	98.3	99.7	99.9

る。ここでは $T_{delay} = 1.10$, $CV_{V_{th}} = 0.2$ と設定している。

図 8 より、バス幅が増加するに従ってタイミング歩留まりは低下していくが、その差は徐々に大きくなっていることが確認できる。したがって、バス幅が大きければ大きいほど、製造後のタイミング補正によるタイミング歩留まり向上の効果は大きいと考えられる。

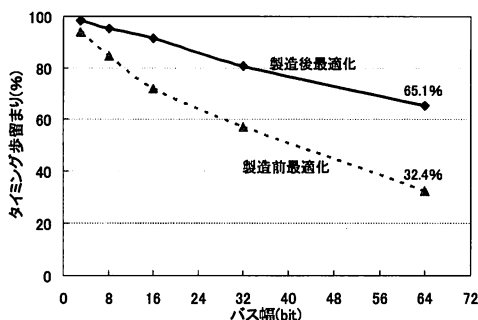


図 8 バスの bit 数によるタイミング歩留まりの変化 ($T_{delay} = 1.10$, $CV_{V_{th}} = 0.2$)

5. まとめ

本稿では、製造後にタイミング補正可能なオンチップバスアーキテクチャを提案し、その評価と検討を行った。クロストークを考慮し、同時に逆の信号遷移が起こらないように遷移タイミングをシフトさせることでバスの最悪遅延時間を削減する。遅延素子の遅延時間を製造後に調整することで、バスの遅延時間を削減し、製造後のタイミング補正を可能としている。評価実験から、製造後のタイミング補正によってバスの最悪遅延時間を削減することができ、歩留まりが改善されていることが確認できた。

今後の課題として、さらなる提案アーキテクチャの検討、評価を行う必要があると考えている。提案アーキテクチャにおいて、テストや製造後のタイミング補正にかかるコスト、面積や消費電力のオーバーヘッド、PDE や遅延観測回路の実現方法などについて今後検討を重ねていく必要がある。

謝辞 本研究は、東京大学大規模集積システム設計教育センターを通じ、株式会社半導体理工学研究センター、富士通株式会社、松下電器産業株式会社、NEC エレクトロニクス株式会社、株式会社ルネサステクノロジ、株式会社東芝の協力で行われたものである。また、本研究は日本ケイデンス株式会社、シノプシス株式会社、メンター株式会社の協力で行われたものである。また、本研究は一部科学研究費補助金 (基盤研究 (A)) (課題番号:19200004) によるものである。

文 献

- [1] Neil H. E. Weste, D. Harris, "CMOS VLSI DESIGN : A Circuits and Systems Perspective", Addison Wesley, 2004
- [2] 橋本昌宜, "製造・環境ばらつきと製造後性能補償を考慮したタイミング検証に向けて", 第 20 回 回路とシステム軽井沢ワークショップ, pp.661-666, Apr. 2007.
- [3] E. Takahashi, Y. Kasai, M. Murakawa, T. Higuchi, "Post-Fabrication Clock-Timing Adjustment Using Genetic Algorithm", IEEE Journal on Solid-State Circuits, vol.39, no.4, pp.643-650, Apr. 2004.
- [4] J. L. Tsai, L. Zhang, C. Chen, "Statistical Timing Analysis Driven Post-Silicon-Tunable Clock-Tree Synthesis", In Proceedings of International Conference on Computer Aided Design, pp.575-581, Nov. 2005.
- [5] M. Vujkovic, C. Sechen, "Post-Fabrication, Automatically Tunable, Programmable Delay Elements for Clock-Delayed Domino Logic", In Proceedings of SRC TECHCON Conference, Sep. 2000.
- [6] International Technology Roadmap for Semiconductors 2005, <http://www.itrs.net/>
- [7] 廣瀬 啓, 安浦 寛人, "クロストークを考慮したバス遅延削減手法", 電子情報通信学会論文誌 A, Vol.J83-A, No.8, pp.989-998, Aug. 2000.
- [8] M. Maymandi-Nejad, M. Sachdev, "A Digitally Programmable Delay Element: Design and Analysis", IEEE Transaction on Very Large Scale Integration Systems, Vol.11, No.5, Oct. 2003.
- [9] M. Saint-Laurent, M. Swaminathan, "A Digitally Adjustable Resistor for Path Delay Characterization in High Frequency Microprocessors", Southwest Symposium of Mixed-Signal Design, pp.61-64, 2001.
- [10] J. L. Yang, C. W. Chao, S. M. Lin, "Tunable Delay Element for Low Power VLSI Circuit Design", IEEE TENCON 2006, pp.1-4, Nov. 2006.
- [11] F. Worm, P. Ienne, P. Thiran, G. De Micheli, "A Robust Self-Calibrating Transmission Scheme for On-Chip Networks", IEEE Transaction on Very Large Scale Integration Systems, Vol.13, No.1, Jan. 2005.
- [12] S. Mukhopadhyay, K. Kim, H. Mahmoodi, K. Roy, "Design of Process Variation Tolerant Self-Repairing SRAM for Yield Enhancement in Nanoscaled CMOS", IEEE Journal of Solid-State Circuits, Vol.42, No.6, Jun. 2007.
- [13] 山口 聖貴, 室山 真徳, 石原 亨, 安浦 寛人, "製造後に性能補償可能なオンチップバスアーキテクチャ", 第 60 回電気関係学会九州支部連合大会, 09-1P-03, pp.208, Sep. 2007.