

## サブ 100mW H.264/AVC MP@L4.1 HDTV 解像度対応 整数画素精度動き検出プロセッサコア

水野孝祐<sup>†</sup> 宮越 純一<sup>†</sup> 村地 勇一郎<sup>†</sup> 濱本 真生<sup>‡</sup> 飯沼 隆弘<sup>†</sup> 石原 朋和<sup>†</sup>

印 芳<sup>‡</sup> 李 将充<sup>†</sup> 上農 哲也<sup>†</sup> 川口 博<sup>†</sup> 吉本 雅彦<sup>†</sup>

<sup>†</sup>神戸大学工学研究科 〒657-8501 兵庫県神戸市灘区六甲台町 1-1

<sup>‡</sup>神戸大学自然科学研究科

E-mail: mi-no@cs28.cs.kobe-u.ac.jp

あらまし 地上デジタル放送の普及とともに、高解像度画像に対応する圧縮符号化技術がますます重要になっていくと考えられる。そこで本研究では HDTV 解像度 H.264/AVC エンコーダの演算量の中で 90%以上を占める整数画素精度動き検出 (IME) 部に着目し、これを低消費電力かつ高画質で実現することを目標とした。

キーワード 低消費電力, H.264/AVC, HDTV, 動き検出, MBAFF

### A Sub 100 mW H.264/AVC MP@L4.1 Integer-Pel Motion Estimation Processor VLSI for MBAFF Encoding

Kosuke MIZUNO<sup>†</sup> Junichi MIYAKOSHI<sup>†</sup> Yuichiro MURACHI<sup>†</sup> Masaki HAMAMOTO<sup>†</sup>

Takahiro IINUMA<sup>‡</sup> Tomokazu ISHIHARA<sup>‡</sup> Fang YIN<sup>†</sup> Jangchung LEE<sup>†</sup> Tetsuya KAMINO<sup>†</sup>

Hiroshi KAWAGUCHI<sup>†</sup> Masahiko YOSHIMOTO<sup>†</sup>

<sup>†</sup> Department of Computer Science and Systems Engineering, Kobe University

1-1 Rokkodai-Cho, Nada-ku, Kobe, 657-8501 Japan

<sup>‡</sup> Graduate School of Science and Technology, Kobe University

E-mail: mi-no@cs28.cs.kobe-u.ac.jp

**Abstract** As digital terrestrial broadcasting prevails more, it is more important to develop techniques for compressing images of high resolution. This work focused on integer-pel motion estimation (IME) occupying more 90 % workload in H.264/AVC encoder for HDTV resolution and aimed to realize a low power and high picture-quality IME processor.

**Keyword** Low power, H.264/AVC, HDTV, Motion estimation, MBAFF

#### 1. はじめに

H.264/AVC では高画質、最小の画素転送量を実現するために MPEG-2 の 2 倍以上の演算量を必要とする [4]。H.264/AVC では ABS (adaptive block size), AFF (adaptive frame field) 等の手法 (図 1) が高圧縮率を実現するために採用されており、これらの手法が演算量、消費電力の増大を招いている。HDTV 解像度を処理する場合これらの手法による演算量の増加は特に顕著で、小面積、低消費電力でリアルタイム処理を実現するためにはアルゴリズムの低演算量化が必要不可欠である。ME のブロック図と演算量の内訳を図 2 に示す。ME は整数画素精度の動きベクトルを求め IME と 1/4 画素精度の動きベクトルを求める FME (Fractional ME) から成る。ME の演算量はその 87% を IME が占めており、IME の低消費電力化が ME の低消費電力化にもっとも効果的である。

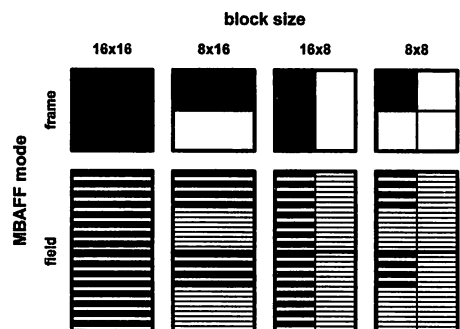


図 1. ABS と MBAFF の概念図

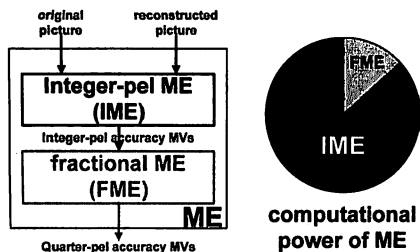


図 2. ME ブロック図・演算量

本研究では,IME プロセッサに対し.

- ・ MBAFF 符号化に対応する画像解析を用いた新規適応的階層探索 IME アルゴリズム
- ・ 新規適応的階層探索 IME アルゴリズムの探索手法全てを最小の画素転送量および小サイクル数で実現する RRSA(reconfigurable ring-connected systolic array)アーキテクチャ
- ・ 任意位置・水平垂直連続複数画素を同時アクセスできる SWRAM(Search Window buffer SRAM)

の 3 つの要素技術を提案することにより,従来法 [1][2][3]では対応していないメインプロファイル・MBAFF 符号化を実現し, 整数画素制度動き検出の高画質・低消費電力化を行った。

## 2. アルゴリズム

### 2.1. 概要

提案アルゴリズムは粗探索と密探索から構成される階層的探索アルゴリズムである。フローチャートを図 3 に示す。

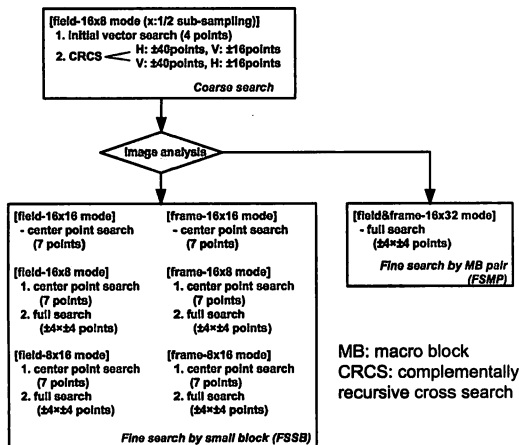


図 3. アルゴリズム全体フローチャート

粗探索は参照画像の広い範囲を探索し準最適動きベクトルを発見する。また同時に様々なサイズのブロックの動きベクトルの分布を解析する。粗探索として新規アルゴリズムである CRCS(Complementally

Recursive Cross Search)を用いることで低演算量, 高画質化を実現する。CRCS の探索の流れは図 4 に示す。密探索として FSSB(fine search by small block)と FSMP(fine search by macro-block Pair)を採用する。FSSB は 2MBAFF モード,3 ブロックサイズに対して中心点探索を行う。中心点探索を実行することで粗探索の結果からそれぞれのモードの最適解を求める。FSMP はマクロブロックペア単位でフルサーチを行う。

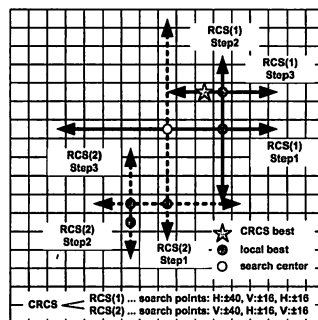


図 4. CRCS

粗探索で求めた結果(図 5)を用いて動きベクトルの分布を解析し演算量を削減する。Temporal condition((1), (2))と Spatial condition((3)-(6))が閾値 ( $THR_{path}=4$ )以下であれば動きベクトルが狭い範囲に分布していると判断し, FSMP に分岐する。(1)-(6)の条件が満たされなければ動きベクトルが広い範囲に分布していると判断し, FSSB に分岐する。上記の処理を行うことで演算量 14%削減する。

Temporal condition :

$$\begin{aligned} |MV_{Upper\_TT} - MV_{Upper\_BB}| &< THR_{PATH} \quad (1) \\ |MV_{Lower\_TT} - MV_{Lower\_BB}| &< THR_{PATH} \quad (2) \end{aligned}$$

Spatial condition :

$$\begin{aligned} |MV_{Upper\_TT} - MV_{Lower\_BB}| &< THR_{PATH} \quad (3) \\ |MV_{Upper\_TB} - MV_{Lower\_TB}| &< THR_{PATH} \quad (4) \\ |MV_{Upper\_BT} - MV_{Lower\_BT}| &< THR_{PATH} \quad (5) \\ |MV_{Upper\_BB} - MV_{Lower\_RB}| &< THR_{PATH} \quad (6) \end{aligned}$$

("|" signifies a summation of H elements and V elements.)

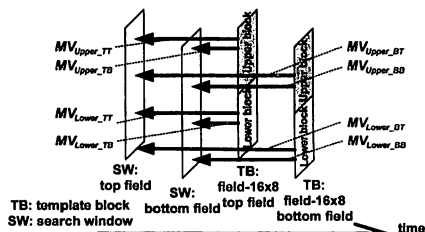


図 5. 粗探索結果を用いた画像解析

### 2.2. シミュレーション結果

シミュレーションのパラメータは以下の通りである:

main profile, HDTV 解像度(1920 x 1080 interlace), フレ

ームレート : 30fps, 参照画像枚数 : 2枚, MBAFF使用, 探索範囲  $\pm 128 \times \pm 64$ . テストシーケンスは 13種類 (Bronze with Credits, Church, European Market, Whale Show, Soccer Action, Track with Credits, Buildings along the Canal, View from Sky with Credits, Intersection, Streetcar, Yachting, Japanese Room, and Yacht Harbor)使用する.

図6は全13シーケンスの平均演算量, 平均PSNRを提案法と従来法で比較したものです. 提案法はUMHS(hybrid Unsymmetrical cross multi hexagon grid search)[5]に比べて演算量を95%削減し, 画質劣化をわずか0.047dBに抑えることができた.

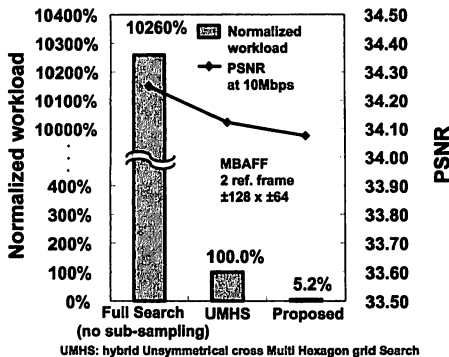


図6. 提案アルゴリズムの演算量とPSNR

### 3. アーキテクチャ

この節ではRRSA(Reconfigurable Ring-connected Systolic Array)アーキテクチャを提案する. 本アーキテクチャは提案アルゴリズムを実現するために必要な3種類の探索(全探索, CRCS, 1点探索)を最小データ転送量と小サイクル数で実行できる.

#### 3.1. 概要

提案IMEプロセッサのブロック図とRRSAの詳細を図7に示す. SWRAMはクロスパス回路を通してRRSAに参照画像を転送する. クロスパス回路は必要に応じて画像データを回転させる. TB-buffer(template-block buffer)は処理中の画像を保持するレジスタファイルである.

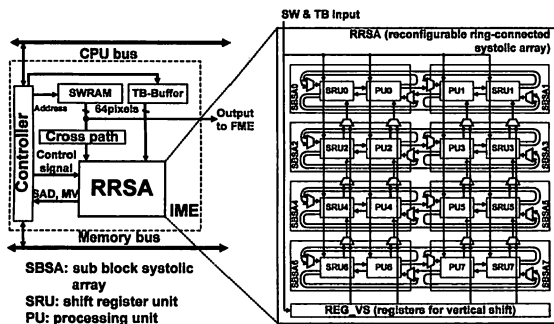


図7. 提案IMEプロセッサのブロック図

#### 3.2. RRSA アーキテクチャ

RRSAは8つのSBSA(sub block systolic array)と垂直シフトバッファのREG\_VSより構成される. 図6にSBSAのブロック図を示す. SBSAはPUとSRUから成る. 図8に示すとおりPUは $8 \times 8$ PE(processing element)から, またSRUは $8 \times 8$ SRE(shift register element)から構成されている. PEはSWとTBの絶対値差分を出力し, SREはPEが必要とする画素を保持する.

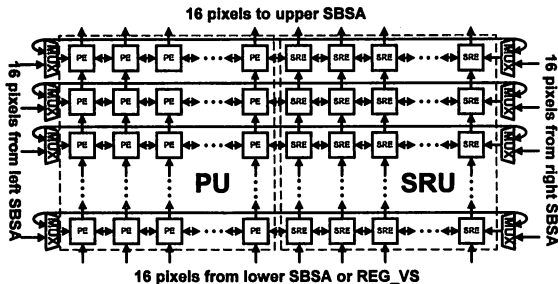


図8. SBSAのブロック図

SBSAのつながり込みを変えることでPEアレイは $8 \times 8$ から $16 \times 32$ までのサイズのブロックを構成することができる. この機能によりRRSAでは様々なブロックタイプ(frame/field MBAFF mode,  $8 \times 8 / 16 \times 8 / 8 \times 16 / 16 \times 16 / 16 \times 32$  block sizes)のSAD計算が可能となる.

PUとSRUは初期ロードのためのダイレクトアクセスパスと全探索を実現するために必要なREG\_VSからのバッファアクセスパスを有する. さらにPUとSRUは画素を再利用することにより少しのリロードで連続点の探索を行うことができる. SBSAは $1 \times 8$ 画素を水平方向に転送するために外部接続(SBSA同士)と内部接続(SBSA内部)をする. さらにSBSAは $8 \times 1$ 画素を上SBSAに転送するための垂直接続をすることもできる.

PUはブロックSAD(sum of absolute difference)を計算し, SRUはPUに必要な参照画像を保持する. 上記の機能により垂直方向, 左方向, 右方向シフト, そして $8 \times 8$ 矩形ブロックロード(初期ロード)が可能となる. それゆえに余分な画素リロードをすることなく垂直方向, 左方向, 右方向探索を行うことができる. 順応性のあるシストリックアレイは効率的に1次元探索やFSを実行する.

#### 3.3. RRSAの動作

初期ロード時の矩形画素のマッピングは図9に示されている. 連続点の探索は図10に示される左方向, 右方向, 垂直方向シフトにより実行される.

##### A) 1次元探索

1 次元探索は左シフトのみ実現することが出来る。水平方向探索の場合はそのまま順番に左シフトさせればよい。一方垂直方向探索の場合は、初期ロード時にクロスパス回路により画素を回転させたものを入力させることで実現する。8 サイクル毎に次探索の 8 x 8 画素を SRU にロードする。

### B) 全探索

PU, SRU, REG\_VS に初期ロードを行った後、全探索は実行される。提案アーキテクチャでは全探索のアルゴリズムとしてスネークサーチ（右,下,左,下...の順に進む探索）を採用する。スネークサーチは SBBSA のシフト機能により実現される。8 x 8, 8 x 16 サイズの全探索は最小画素転送量で±4 画素の範囲で実行される。16 x 8, 16 x 16, 16 x 32 サイズにおいては±8 画素の範囲で実行される。提案アーキテクチャにより全探索をパイプラインストール無しで実現することが出来る。なぜなら水平方向シフトを行っている間に次のラインの画素を供給することが出来るからである。

### C) 1 点探索

1 点探索ではシフト動作は必要ないので初期ロードをするとすぐに結果が出る。そのため SRU や REG\_VS への画素のロードをする必要はない。

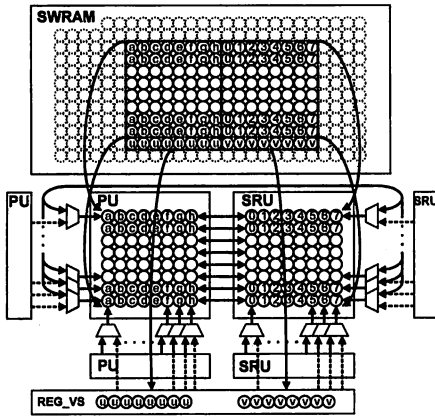


図 9. 初期ロード

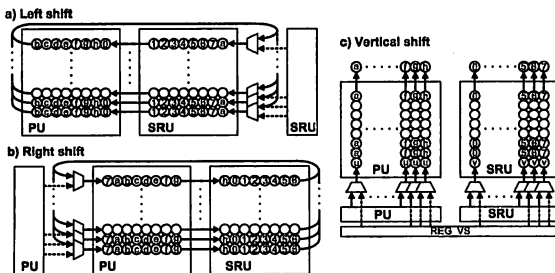


図 10. 左, 右, 縦シフト動作

## 3.4. RRSA の性能評価

提案 IME プロセッサと従来手法の必要サイクル数,

画素転送量, トランジスタ数の比較を図 11 に示す。従来法として 512 並列 SIMD アーキテクチャと 512 個の PE を有する RCSA(Ring-Connected Systolic Array)[6]を対象とする。提案法, 従来法の SWRAM として間引きあり矩形 64 画素アクセス可能なものを想定する。

従来の 512 並列 SIMD アーキテクチャは計算サイクル毎に SWRAM からデータを転送する必要があるため, 転送データ量が大きくなる。そのため高解像度画像を処理するために SIMD アーキテクチャを用いることは適していないといえる。RCSA は SRU を含んでいるため転送データ量は抑えられる。しかし再構成可能な構造を持っていないので小さなブロックを並列に処理することができない。そのためサイクル数が多くなってしまふ。提案 RRSA アーキテクチャはサイクル数を SIMD の 28%, RCSA の 33% に抑え, 転送データ量を SIMD の 18% にまで削減する。面積は RCSA に比べて 15% 増加する。

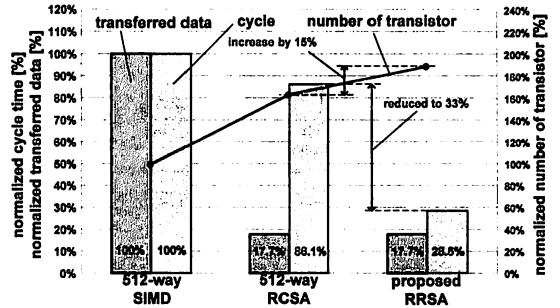


図 11. 提案 RRSA の実行サイクル数, 画素転送量, トランジスタ数

## 4. SWRAM

### 4.1. 概要

提案 SWRAM は 1 サイクルで 8 x 8 の矩形画像データにアクセス可能である。任意位置の矩形をウェイトサイクル無しで, かつ 1 x 1 から 8 x 8 までの様々なサイズの画素にアクセスすることができる。さらに水平垂直方向に 1/2 間引きの機能を持つ。それゆえに提案 SWRAM は 8 x 8 画素を以下の 4 つの形式で供給することができる: 8 x 8 矩形(整数精度), 16 x 8 矩形(水平方向 1/2 間引き), 8 x 16 矩形(垂直方向 1/2 間引き), 16 x 16 矩形(水平・垂直方向 1/2 間引き)。

この機能を 256 個の SRAM バンクの 1 サイクル読み出しで実現する場合(従来法 1), 256 個の SRAM バンクそれぞれから 1 画素ずつを読み出すことにより 64 画素任意位置, 水平方向, 垂直方向任意間引きに対応することができるが, 256 の SRAM バンクに分割されるためデコーダ等の SRAM 周辺回路の面積, 消費電力オーバーヘッドが問題となる。16 バンク SRAM で 2

サイクル読み出しによって実現する手法（従来法 2）を考える。これは 16 個の各バンクから 8 画素ずつ読み出す手法であるが、8 画素/word の SRAM では任意位置の 8 画素を読み出すことはできないため、2 サイクルかけて 16 画素を読み込んだ後、任意の 8 画素を選択することとなる。

一方提案 SWRAM ではセグメンテーションフリーアクセスを用いて[7],左右のメモリセルブロックで X デコーダを共有することによりバンク数を 8 個にまで減らすことができる。そのため提案法を用いることにより、従来法 1 の面積および消費電力オーバーヘッド、従来法 2 の消費電力およびサイクル数オーバーヘッドを解決する。提案 SWRAM の構造と画素マッピングは図 12 に示す。

#### 4.2. 水平方向セグメンテーションフリーアクセス

セグメンテーションフリーアクセスと水平方向間引きはデコーダと画素マッピングの特殊化により達成される。ここで左ブロックの 8 x 1 画素にアクセスする場合のセグメンテーションフリー機構について説明する。図.11(図中の“1”は行の最初の 1 ピクセルを表している)はバンク 1 の左ブロックの略図である。ローカル語線の値は X デコーダからのグローバル語線と Y デコーダからのローカル語線選択線(LWLSL)を AND ゲートに入力することで得られる。ライン上の画素は 8 画素毎にマッピングされる。アクセスする画素は LWLSL を切り替えることにより選択される。

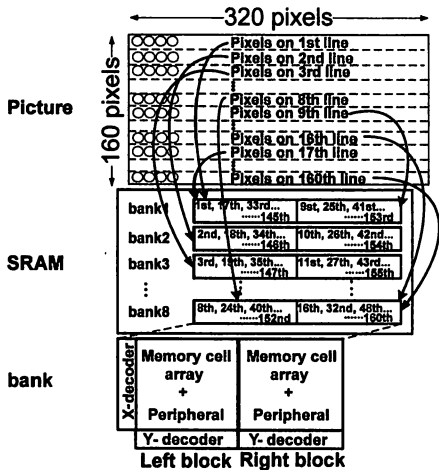


図 12. SWRAM の構造と画素マッピング

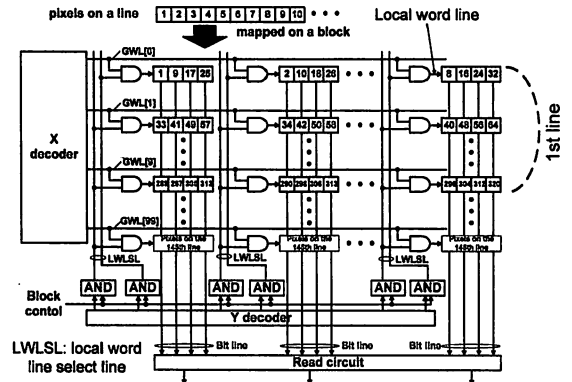


図 13. SRAM ブロック回路図

#### 4.3. 面積と電力

提案 SRAM の消費電力と面積の見積もりと、2 つの従来 SRAM との比較を行った。性能比較は 90nm テクノロジ、電源電圧 1.0V、動作周波数 100MHz で行い、従来法 2 は読み出しに 2 サイクルかかるため消費電力を 2 倍にしている。図 14 に従来法 1 で正規化された消費電力と面積の比較を示す。提案 SRAM は従来法 1 に対して消費電力で 49%、面積で 48%削減している。従来法 2 に対しては、面積は大差ないが消費電力は半分未満になっている。

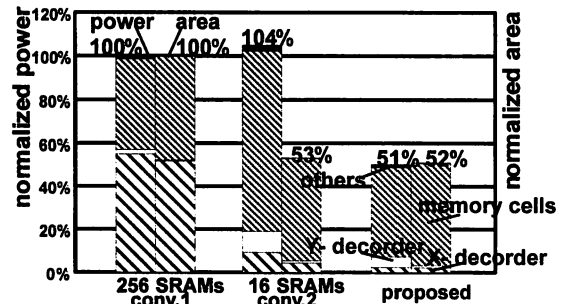


図 14. 面積—消費電力比較

#### 5. VLSI 実装

図 15 は 90nm CMOS テクノロジで実装した提案 IME プロセッサのチップレイアウトである。410Kb の SWRAM が 1 枚の参照画像を保持する。並列につなぐことにより複数枚の参照画像に対応する。チップの仕様を表 1 に示す。提案アーキテクチャは論理合成により設計し、提案 SWRAM はフルカスタム設計を行った。面積は 2.5mm 角となった。

提案プロセッサはメインプロファイル・MBAFF に対応し従来のものと比較して低消費電力、小面積で実現された。

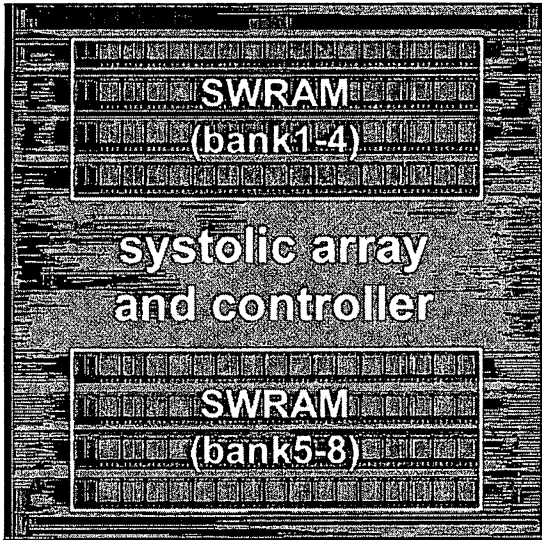


図 15. 提案 IME プロセッサのチップレイアウト

表 1 チップ仕様

Technology	90 nm
Chip size	2.5 x 2.5 mm <sup>2</sup> /ref. frame in HDTV
Voltage	1.0 V
Max freq.	150 MHz @ 1.0V
Search range	±128 × ±64 max
Memory size	SWRAM: 410 Kbits
Power	96 mW @ 2 ref. frames 100MHz 1.0V

## 6. まとめ

提案アルゴリズムは粗探索と密探索からなる階層的探索手法である。従来手法と比べてわずかな画質劣化で95%の演算量を削減した。提案RRSAアーキテクチャは画素再利用性を高め、並列に複数ブロックの探索を行うことで提案アルゴリズムを従来法と比較して最小データ転送量,小サイクルで実現した。提案SWRAMは矩形アクセス,セグメンテーションフリーアクセス,間引きアクセスを実現し,従来法1に比べて消費電力,面積を約半分まで削減し,従来法2に比べて消費電力を約半分に削減した。

本研究ではMBAFF対応サブ100mW H.264/AVCメインプロファイル整数画素精度動き検出プロセッサコアを提案した。HDTV解像度動画(1920 x 1080 interlace)のために16 x 16, 16 x 8, 8 x 16, 8 x 8ブロックサイズをサポートし,リアルタイムで整数精度動きベクトルを供給する。

## 謝辞

本研究は東京大学大規模集積システム設計教育研

究センター(VDEC)を通し,ケイデンス,シノプシス株式会社の協力で行われたものである。設計に使用したツールを以下に示す。(アルファベット順)。使用ツール: Cadence社(VIRTUOSO LAYOUTEDITOR, Verilog-XL), MentorGraphics社(Calibre), Synopsys社(Design Compiler, Astro, Milkyway, NanoSim, HSPICE)

## 文 献

- [1] K. Kumagai, C. Yang, H. Izumino, N. Narita, K. Shinjo, S-I. Iwashita, Y. Nakaoka, T. Kawamura, H. Komabashiri, T. Minato, A. Ambo, T. Suzuki, Z. Liu, Y. Song, S. Goto, T. Ikenaga, Y. Mabuchi, K. Yoshida "System-in-silicon architecture and its application to H.264/AVC motion estimation for 1080HDTV", ISSCC 2006.
- [2] S. Warrington, H. Shojania, S. Sudharsanan "Scalable high-throughput architecture for H.264/AVC variable block size motion estimation", ISCAS 2006.
- [3] T. Iinuma, J. Miyakoshi, Y. Murachi, T. Matsuno, M. Hamamoto, T. Ishihara, H. Kawaguchi, M. Yoshimoto, M. Miyama "An 800-uW H.264 Baseline-Profile Motion Estimation Processor Core", ASSCC 2006.
- [4] ITU-T Rec. H.264 | ISO/IEC 14496-10 AVC, Draft ITU-T Recommendation and Final Draft International Standard of Joint Video Specification, 2003.
- [5] ISO/IEC | ITU-T VCEG, Fast Integer Pel and Fractional Pel Motion Estimation for JVT, JVT-F017, 2002.
- [6] Y. Murachi, M. Hamano, T. Matsuno, M. Miyakoshi, M. Miyama, and M. Yoshimoto, "A 95mW MPEG2 MP@HL motion estimation processor core for portable high-resolution video application," IEICE Trans. Fundamentals, vol.E88-A, no.12, pp.3492-3499, Dec. 2005.
- [7] J. Miyakoshi, Y. Murachi, T. Ishihara, H. Kawaguchi, and M. Yoshimoto, "A Power- and Area-Efficient SRAM Core Architecture with Segmentation-Free and Horizontal/Vertical Accessibility for Super-Parallel Video Processing," IEICE Trans. Electron., vol.E89-C, no.11, pp.1629-1636, November 2006.