

## 階層ルーチングバスとその応用

## On hierarchical routing bus

有田 五次郎 末吉 敏則

九州大学工学部

Faculty of Engineering, Kyushu University

## 1. まえがき

午続き、あるいは命令レベルのMIMD型並列処理を行う複合計算機システムにおいて、高多重化するときの最大の問題はアクセス機構の構成法であろう。バス結合、回線結合を問わず、複合計算機を構成するためのアクセス機構に対する基本的要請は次のようなものである。

- (1) システム内の任意のモジュール同士が直接アクセス可能なこと。
- (2) アクセス時間が短いこと。
- (3) 高多重化が可能なモジュール構造で、高多重化したときアクセス多重度が増加すること。
- (4) 分散調停が可能で、デッドロックフリーであること。
- (5) ハードウェア量が少なく、インタフェースが簡単であること。

階層構造はこれらの要求を良く満たす。ここでは2進木構造を持ったアクセス機構である階層ルーチングバス(H-Rバス)の構成と、その応用例について述べる。

2進木構造のマルチプロセッサシステムについてはいくつかの報告がある。(1)(2)これはプロセッサが階層構造に組み込まれており、システムを構成する各プロセッサは対等でない。このような構成はある種の応用に対して非常に有効であるが、プロセッサの性格が物理的位置によって決まるためソフトウェア上の柔軟性を欠き、一般性をそこなう恐れもある。

H-Rバスは各プロセッサが対等であるような結合方式である。

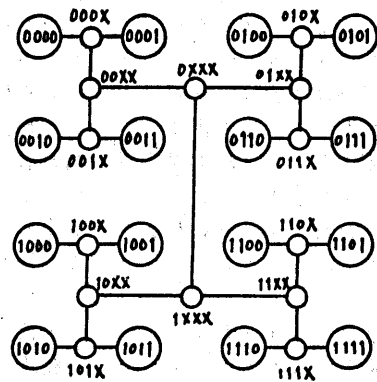


図1 16ノードH-Rバス

## 2. H-Rバス

バス上に行先情報を持ち、それによってバスの切替を行うデータ転送路をルーチングバスと呼ぶ。H-Rバスはバススイッチを階層的に結合したルーチングバスである。

## 2.1 H-Rバスの構造

図1に16個のモジュールをH-Rバスで結合したシステムを示す。H-Rバスに接続されるモジュールは、バスに接続される物理的位置によって決まる2進のシステムアドレス(NA)を持っており、システム内ではこれによって一意に識別される。

バスは図2に示すようなポートの双方向バススイッチを階層的に結合したもので、各ノードはノードアドレス(NA)を持ち、図1に示したように、階層ごとのノードがビットで

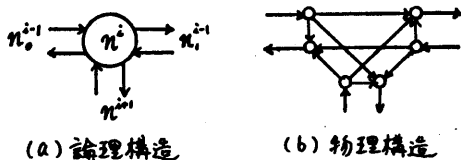


図2 ノードの構造

ドレス付けされる。

バスの構成は結合するモジュールによって異なるが、以下に示す信号を含む。

- (1) システムアドレス (D S A D)
- (2) データ (D A T A)
- (3) リクエスト信号 (R E Q)
- (4) アベリアル信号 (A V L)

D S A D はデータ転送を行いたい相手モジュールのシステムアドレスで、ノードに対するルーチング情報である。D A T A はバスを經由して転送されるデータを示すが、メモリ共有型システムではアクセス制御信号等の制御線及びデータ線もこれに含まれる。又、R E Q 及び A V L はバスの接続要求及び接続完了の信号であり、R E Q が on のときバス上では D S A D が有効になる。

バスは図2に示したように、入力と出力を分離した単方向バスとしても、双方向転送を行う共通バスとしても構成可能である。単方向バスはバス中は底いゝがバスの切替制御が簡単でアクセス多重度も大きく、共通バスはバス中は狭いゝがバスの切替制御が多少複雑で、アクセス多重度も小さい。

### 2.2 ノードの構造

ノードはバスゲート (G)、入力制御回路 (I)、出力制御回路 (O) から成る。入力制御回路はルーチング回路と方向制御回路から成り、出力制御回路はバス調停を含むゲート制御回路である。

単方向バスを構成するノードの構成を図3に示す。この構成では各 I, O, G はほとんど同一で、しかも全ノードの構造が同一であるから repeatability は非常によい。この構成は図4 (a) のように表わせる。しかしハードウェア量、結線量は多く、使用されない無駄な回路がかなり入っている。例えば最下位レベルのノード及びそれ以外のノードの構成は (b), (c) のよう

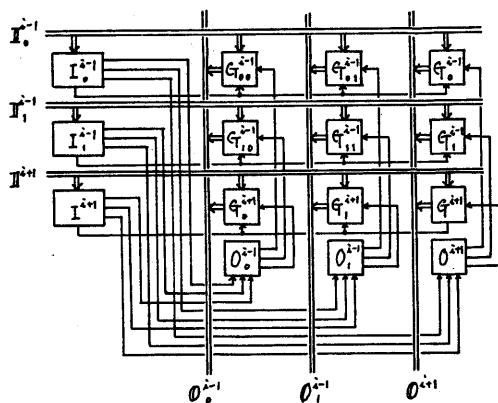


図3 単方向バスのノード

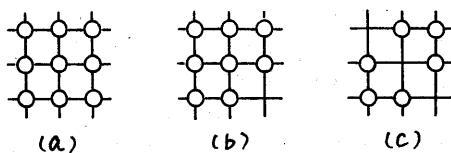


図4 バススイッチの並

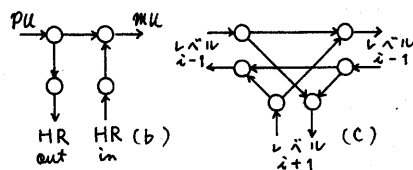
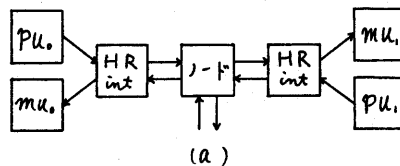


図5 ノードとHRインタフェース

に表わせる。

ノードの構成を図4 (c) のようにすると、システムの構成は図5 (a) のようになり、H-R バスインタフェース (HR in) 及びノードの構成はそれぞれ (b), (c) のようになる。

HR in はローカルなバススイッチで、PU からアクセスが MU である場合はバスが切替られ、ノードにはアクセスしない。なお共通バスの場合は入力線と出力線が同一になるだけで内部構成は変らない。

### 2.3 ノードの動作

#### 2.3.1 ルーチング

ノードは  $\mathcal{D}$ SA $\mathcal{D}$ , NA $\mathcal{D}$  によってルーチングを行いバスを切替える。ルーチングのアルゴリズムを以下に示す。

(1) レベル  $i-1$  入力

(a)  $\mathcal{D}$ SA $\mathcal{D}$  = NA $\mathcal{D}$

対向のレベル  $i-1$  へ出力。

(b)  $\mathcal{D}$ SA $\mathcal{D}$   $\neq$  NA $\mathcal{D}$

レベル  $i+1$  へ出力。

(2) レベル  $i+1$  入力

$\mathcal{D}$ SA $\mathcal{D}$  のビット  $i+1$  でルーチングしてレベル  $i-1$  へ出力。

例えばモジュール 1110 から 0010 へのデータを入は次のようになり、このときのバスの接続状況は図 6 のようになる。

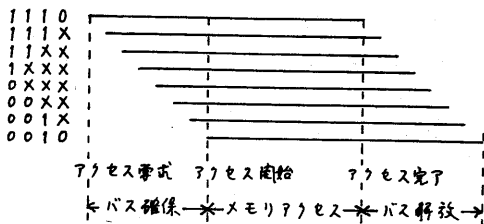
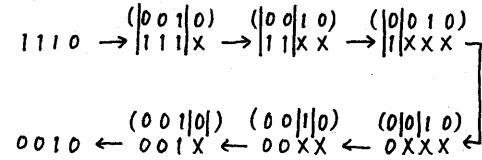


図 6 バスの接続状況

#### 2.3.2 優先制御

ルーチングアルゴリズムは単方向バス、共通バスのいずれも同一であるが、具体的な制御の方法は両者で異なる。

単方向バスではアクセス要求が競合することはあるが衝突することはない。従って、入力ポートに適當な優先権を与え、同時に同じ方向への接続要求が来たときだけ優先度の低い要求を持たせることによりデッドロックは防止できる。レベル  $i-1$  のポートを 0, 1, レベル  $i+1$  のポートを 2 と名付け、優先度をこの順とする。

共通バスの場合にはアクセス要求の競合と衝突が起る。競合の場合は優先処理でよいが、衝突

の場合は一方の要求を取消せなければデッドロックが起る。このため共通バスの場合には前に述べたバス上の信号の他に、ノード間の制御信号 R $\mathcal{D}$ Y $\mathcal{I}$ n, R $\mathcal{D}$ Y $\mathcal{O}$ u $\mathcal{T}$ が必要になる。

R $\mathcal{D}$ Y はバスの使用許可信号である。ノードは各ポートに R $\mathcal{D}$ Y $\mathcal{O}$ u $\mathcal{T}$  を出して転送要求を急付ける。転送要求 (REQ) が来るとルーチングによって行先方向を決定し、そのポートの R $\mathcal{D}$ Y $\mathcal{I}$ n (次段の R $\mathcal{D}$ Y $\mathcal{O}$ u $\mathcal{T}$ ) が on であればその方向にバスを切替え、そのポートの R $\mathcal{D}$ Y $\mathcal{O}$ u $\mathcal{T}$  を off にする。転送要求が衝突した場合には、優先度の低い方のポートが R $\mathcal{D}$ Y $\mathcal{O}$ u $\mathcal{T}$  を off にしてバスの使用許可を取消す。接続中に使用許可を取消されたポート (ポート 2 のみ) は、R $\mathcal{D}$ Y $\mathcal{O}$ u $\mathcal{T}$  を on にして要求を先に急付ける。

この制御によって、バスの接続要求が衝突したときには接続距離の長いものが優先され、短い方は一時バスを解放する。

#### 2.4 H-Rバスの性能

アクセス機構において、同時接続が可能なアクセスバスの数をアクセス多重度、アクセスバスの中のバススイッチの数をアクセス距離と呼ぶ。アクセス機構の良否は、アクセス多重度、アクセス距離、ハードウェア量によって計ることができよう。

マルチバス (共通バス) 結合、クロスバススイッチ結合、単方向 H-R バス結合、共通 H-R バス結合の比較を表 1 に示す。ここで  $S_{max}$ ,  $S_{min}$ ,  $D_{max}$ ,  $D_{min}$ , H はそれぞれ最大アクセス多重度、最小アクセス多重度、最長アクセス距離、最短アクセス距離、ハードウェア量で、H はアクセス機構中のバススイッチの数を評価している。

方式	$S_{max}$	$S_{min}$	$D_{max}$	$D_{min}$	H
m 多重マルチバス結合	m	m	1	1	$m \times m$
クロスバススイッチ結合	n	n	1	1	$n^2$
単方向 H-R バス結合 ( $n=2^k$ )	n	2	$2(k-1)$	1	$6(n-1)$
共通 H-R バス結合 ( $n=2^k$ )	$\frac{n}{2}$	1	$2(k-1)$	1	$6(n-1)$

表 1 結合方式の比較

### 3. メモリ共有型複合マイクロコンピュータ

この節ではH-Rバス結合のメモリ共有型複合マイクロコンピュータの構成について考察する。汎用性を持った高多重複合マイクロコンピュータシステムを構成するためには、次の機能を実現しなければならない。

- (1) システム内の全メモリが直接アドレス可能であること。
- (2) 任意のメモリ領域に対して Test & Set による排他制御が行えること。
- (3) 任意のプロセッサから任意のプロセッサに割り込みをかけること。
- (4) IPL, モニタルーチン等のためのファームウェア領域を持つこと。

ここでは既製のマイクロコンピュータシステム COSMO S/II (S/II) のH-Rバスインタフェースを例にとり、上記の諸問題に対する一つの解決方法を示す。

#### 3.1 バスの構成

ここで用いるH-Rバスの構成を表2に示す。制御方式は非同期応答確認方式で、8ビット系、16ビット系のプロセッサが混在できるようにワード/バイトアクセスの信号を持つ。アドレスバスはシステムアドレス6ビットとメモリアドレス16ビットの計22ビットで、4Mのアドレス空間を構成する。

Test and set 信号はメモリ領域の排他制御及び割り込みのための信号であり、parity errorはメモリのパリティエラーを示す。こ

ではパリティはメモリシステムのみを持たせ、バス上の信号にはパリティを持たせていない。

#### 3.2 H-Rバスインタフェース

S/IIのCPUはZ80で、アドレスバスが16ビット、データバスが8ビットであり、制御信号もH-Rバスとは異なる。従ってS/IIをH-Rバスに接続するためには、S/IIバスとH-Rバスの間に変換のインタフェースが必要となる。またS/II側にも他システムからアクセス可能なメモリ(LMEM)が必要である。LMEMはTest & Set機能を有し、バイト/ワードアクセスが可能で、かつ完全独立リフレッシュでなければならない。H-Rバスインタフェースの構成を図7に示す。

信号名称	長さ (ビット)	CPUからの方向
Address	6+16	out
Data	16	in/out
Control & Tag		
Memory request	1	out
Read/write	1	out
Test and set	1	out
Word/byte	1	out
Memory acknowledge	1	in
Parity error	1	in
Signal ground		

表2 H-Rバスの信号

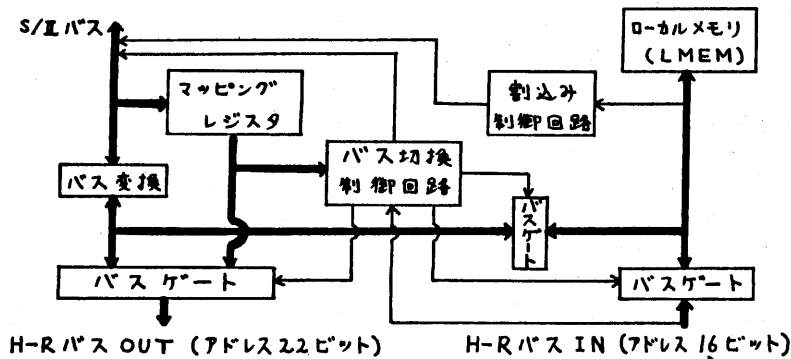


図7 H-Rバスインタフェース

### 3.3 アドレス空間の拡張

S/IIの16ビットのアドレスを22ビットに拡張するため外付けベースレジスタを使用する。S/IIのアドレスバスの上位2ビットをベース指定ビットとし、残り14ビットをセグメント内アドレスとする。

ベースレジスタは8ビット構成で6ビットがシステムアドレス、2ビットがセグメントアドレスである。これによって64台(6ビット)のシステムの結合が可能で、アドレス空間は4Mバイト(8+14=22ビット)に拡張される。

ベースレジスタはS/IIのI/O空間に割り当てられ、この内容はS/IIのI/O命令によって自由に書き変えることができる。ベースレジスタは4個あり、1つのプログラムで16Kバイトのセグメントを4個、ベースの入れ替えなしに参照することができる。

このような方式をとった理由は次による。

- (1) 16Kを越えるプログラムモジュール、データモジュールはそれほど多くないと予想されること。
- (2) プログラムの先頭でベースの値を設定するだけで、既製のソフトウェアがこのシステムの上で走ること。
- (3) 必要があればベースの値を入れ替えて、システム内の任意のセグメントを参照できること。
- (4) ハードウェアが簡単で外付けが可能であること。

### 3.4 バス切替回路

S/II本来のメモリ(PMEM)は通常はアクセスが禁止されているが、I/O空間に割り当てられた1ビットのレジスタ(Mビット)を設定することにより、他システムからのアクセスが不可能なメモリ領域として使用される。

Mビットは初期状態(システムリセット時)には1に設定されており、S/II固有のファームウェア、ソフトウェアが起動される。Mビットを0に設定するとアドレスマッピングが行われ、LMEM及びシステム内の他のメモリにアクセスが可能となる。Mビットはモニタルーチンをファームウェア化する場合等にも使用できる。

H-Rバスインタフェースはそのシステムのシステムアドレスを持っており、アドレスバスの上位6ビットとの一致、不一致及びMビットの値によって次のようにバスを切替える。

#### (1) M=1の場合

アドレス変換は行われない。アドレスバスをデコードし、PMEM領域へのアクセスであればPMEMのアクセス禁止を解除し、PMEM以外の領域へのアクセスであればLMEMにアクセスする。即ちこのモードではアドレスバスはS/II本来の16ビットだけが有効で、メモリはLMEMの一部にPMEMが埋込まれた形で動作する。

#### (2) M=0の場合

##### (a) システムアドレス一致

全てのアクセスはLMEMに対して行われ、H-Rバスへの信号は出されない。

##### (b) システムアドレス不一致

これは他システム上のメモリへのアクセスである。バスの信号を乗換しH-Rバスに出力する。

このシステムのアドレス空間の構成を図8に示す。

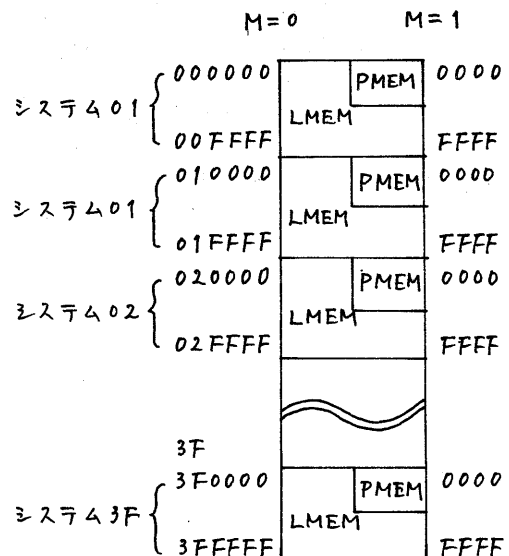


図8 アドレス空間

### 3.5 排他制御及び割込み

H-Rバスインタフェースは排他制御及び割込み制御のための、I/O領域に割当された1ビットのレジスタ(Tビット)を持つ。TビットはI/O命令でセットされ、次のload命令又はstore命令でTest and set信号(TAS)としてバスに出力される。Tビットは次の命令の完了時にリセットされ、T-loadはTest & setを、T-storeは割込みを意味する。

LMEM側のH-Rバスインタフェースは、TAS・readではメモリ内容を読み出して転送すると同時にメモリにall 1を書き込み、TAS・writeでは書き込み動作を行った後に、割込みビット(Iビット)をセットする。Iビットは割込み線に接続され、CPUが割込みを受付けたときリセットされる。

割込み要求は非同期に起るので排他制御が必要である。割込み側はソフト的に定義された割込み用keyをlockした後、これもソフト的に定義された割込み用固定番地に割込み情報を書き込むことによって割込みを起させる。この割込み用keyは割込まれた側が割込みを受付けたときにリセットする。

Test & Set及び割込みの手順を以下に示す。

- (1) Test & Set, Reset
 

```

      Loop: Set    T bit
            Load  Key
            Branch nonzero Loop
            ⋮
            Store zero Key
            ⋮
      
```
- (2) Interrupt request
 

```

      Loop: Set    T bit
            Load  Intkey
            Branch nonzero Loop
            Load  Macro code
            Set    T bit
            Store Int address
            ⋮
      
```
- (3) Interrupt accept
 

```

      Int: Load  Int address
            Store zero Int key
            ⋮
            Enable interrupt
            Return
      
```

### 4. 回線型H-Rバス

送信及び受信データの2ビットから成るデータ線を持つH-Rバスを回線型H-Rバスと呼ぶ。回線型H-Rバスはローカルなコンピュータ・ネットワークや回線インタフェースを持った周辺装置の共用等に利用できる。

この節では回線型共通H-Rバスの応用として、研究室内の回線インタフェースを持つ周辺装置の共用システムと、回線型単方向H-Rバスの応用として、回線結合のマイクロコンピュータ・ネットワークについて述べる。

#### 4.1 デバイス共用システム

現在我々の周辺(2講座, 4研究室)には、次のようなマイクロコンピュータ及び周辺機器がある。

- (1) マイクロコンピュータシステム
  - COSMO S/II (S/II)
  - NEAC 8300-50 (N50)
  - PC 8001 (PC)
  - 6800システム (UDC)
- (2) 周辺装置
  - テクトロ 4010 (40)
  - エープロライタ (PR)
  - 渡辺測器 X-Yプロッタ (PL)
- (3) 回線
  - 九大電2 / 200 bps 回線 (MDM)
  - 香取カプラ (CPL) 2台

さらに今年度中に富士通FM-8, テクトロ4010, 1200 bps回線1回線が入ることになっている。各マイクロコンピュータは機器構成に特徴があり、独立して動作可能であると同時に、TASのインテリジェント端末としても動作できる。これらの回線型機器を図8のようにH-Rバスで結合し、回線及び周辺機器の有効利用を図る。

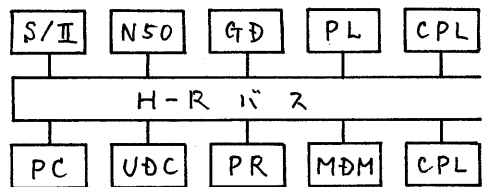


図8 システム構成

#### 4.1.1 バスの構成と接続手順

バスの構成を表3に示す。デバイスアドレスは4ビットで16台の装置を接続することができる。システムアドレスを送り接続要求をする側をマスタ、接続される側をスレーブと呼ぶ。このバスは双方向伝送路であり信号名称はマスタ側から見た名前になっている。例えばTX $\bar{D}$ はマスタ動作をするときは送信ラインであるが、スレーブ動作をするときは受信ラインである。

回線インタフェース(RS-232C)は1組の送受信ラインを持つだけである。従ってデバイスアドレスを送り、又送受信ラインを切換えるデバイスインタフェースが必要になる。デバイスインタフェースはデバイス選択スイッチとREQスイッチを持ち、レベル変換及びマスタ/スレーブ動作の切換を行う。

REQスイッチがoffのときはスレーブ状態にある。REQ信号を受けて送受信ラインを切換え、AVL信号を送出する。このときBUSY信号がonになる。

BUSYがoffのときはマスタ動作が可能である。接続したいデバイスのアドレスを設定しREQスイッチをonにする。TX $\bar{D}$ は送信側にRX $\bar{D}$ は受信側に切換えられる。バスの接続が完了するとAVLが送ってくるのでREADY信号をonにして接続完了を知らせる。

なお、送信データ、受信データ以外のRS-232Cの制御信号は、接続するデバイスがターミナルであるかコンピュータであるかによって異なる。

デバイスインタフェースの外観を写真1に示す。

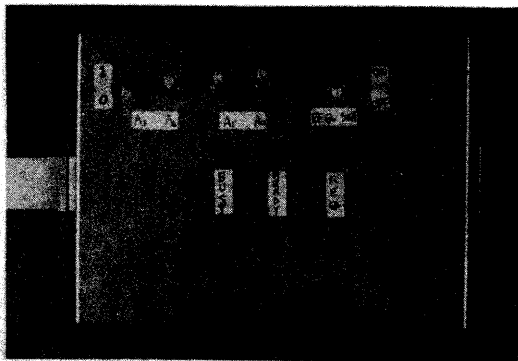


写真1 デバイスインタフェース

信号名称	方向
Device address (DDA)	out
Transmit data (TX $\bar{D}$ )	out/in
Receive data (RX $\bar{D}$ )	in/out
Request (REQ)	out/in
Available (AVL)	in/out
Ready out	out
Ready in	in

表3 回線型H-R共通バス

#### 4.1.2 ノードの構造と動作

バス巾が狭いだけでノードの動作は2.3に述べたものと同じである。我々はハードウェア量の減少を目的としてROMを用いた記憶論理<sup>(3)</sup>によってノードを試作した。

ノードのブロック図を図9に、実装写真を写真2に示す。

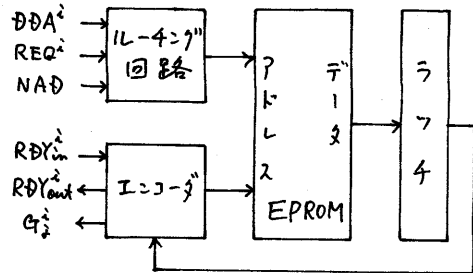


図9 ノードのブロック図

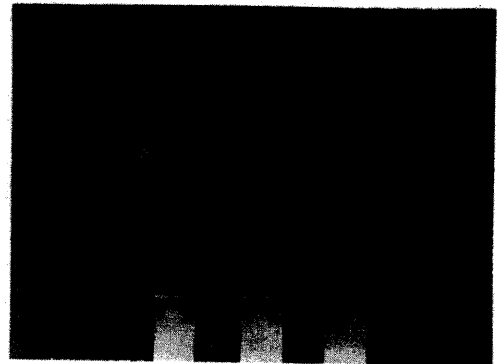


写真2 ノード

#### 4.2 回線結合複合計算機システム

回線型単方向H-Rバスの構成を表4に示す。この場合はマスタ用、スレーブ用の2組の送受信線を持つ。各プロセッサはH-Rバスに接続するための回線型H-Rバスインタフェースを持つ。プロセッサインタフェースは1個のPIAと2個のACIAから構成される。PIAはマスタインタフェースとして、 $D^0SA$ ,  $R^0$ を出力し $A^1$ を入力する。又、スレーブインタフェースとしては、 $R^1$ を入力し $A^0$ を出力する。ACIAはマスタ、スレーブの各々に1つずつ割り当られる。

ボードの構造及動作は図5に述べた通りである。実装写真を写真3に示す。

信号名称	長さ
System address ( $D^0SA$ )	4ビット
Transmit data ( $TXD$ )	2ビット
Receive data ( $RXD$ )	2ビット
Request out ( $R^0$ )	1ビット
Available in ( $A^1$ )	1ビット
Request in ( $R^1$ )	1ビット
Available out ( $A^0$ )	1ビット

表4 回線型単方向H-Rバス

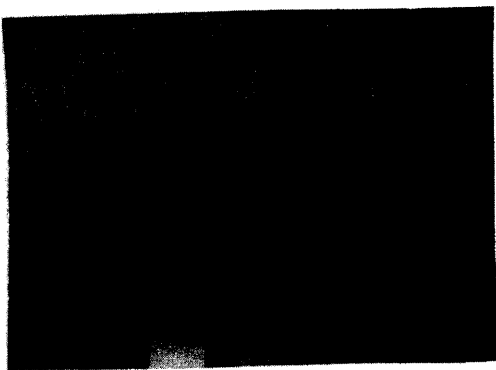


写真3 回線型単方向H-Rバスのボード

#### 5. おわりに

以上H-Rバスの構成とその応用について述べた。

並列処理の多重化が大きくなったとき、データに局所性が現れやすくなることは自然であろう。即ち、ある数以上のプロセッサが並列処理を行っている場合には、各プロセッサがシステム全体に均等にアクセスすることはなく、そのプロセッサからの距離が近い所へのアクセスが多いと考えられる。このように考えるとH-Rバスはかなりの高多重化に耐えられるように思われる。

回線型H-Rバスはハードウェア量も少なく、ローカルなコンピュータネットワークを構築するのに有用であろう。

#### 参考文献

- (1) 高橋他: "2進木構造の並列処理システム CORAL", 信学技報, EC79-60 (1980)
- (2) E. Horowitz, A. Zorot: "The Binary Tree as an Interconnection Network: Applications to Multiprocessor Systems and VLSI", IEEE trans. on comp., C-30, No. 4 (1981)
- (3) 有田: "記憶論理とその応用", 情報処理学会 第21回大会予稿集, 53-11 (1980)