

階層共通バス方式による

複合マイクロコンピュータシステム

畑田 稔, 石田秀昭, 松山邦夫

(株)日立製作所 システム開発研究所

1. まえがき

高速性が要求され、かつ並列性の大きい応用(作戦の問題、整數問題、知識工学など)に対処できるものとして、多数のマイクロコンピュータを結合した複合マイクロコンピュータの研究が活発化している。

複合マイクロコンピュータでは、処理を自然な形で並列化、モジュール化し、それぞれのマイクロコンピュータに固定した仕事を割り当てることが多いので、従来マルチ化において問題となった並列処理制御の難しさを、オーバヘッドなどのデメリットが著しく減少している。また、最近では、プロセッサチップ自体にマルチ化が配慮されているので、それだけ複合マイクロコンピュータの実現が容易になってきている。

複合マイクロコンピュータでは、システム効率を高める上からも結合方式が極めて重要である。

結合方式としては、アレイ結合、マトリクス・スイッチ結合、 n -キューブ結合などが知られている。しかし、

複合マイクロコンピュータでは、マイクロコンの小型、安価という特徴を活かすために、コンパクトで、性能/価格比の高い結合方式の採用が要求される。そこで、著者らは、16ビットマイクロコンピュータ68000複合システム用として、コンパクトで拡張性の高い階層共通バス方式を開発した。本稿では、その概要を述べる。

2. システム構成

複合マイクロコンピュータの結合方式としては、マトリクス・スイッチ方式、アレイ結合方式、 n -キューブ結合方式、マスター/スレーブ(チャンネル結合)方式などもあるが、最も一般的なものは、共通バス方式である。この方式は、CM(Computer Module)の増設が容易であり、比較的高速なデータ転送が可能であるという特徴を有するが、結合台数がハードウェア上制約される。そこで、著者らは、このような欠点を解決する方法として、芝に多数のCMの結合が可能な階層共通バ

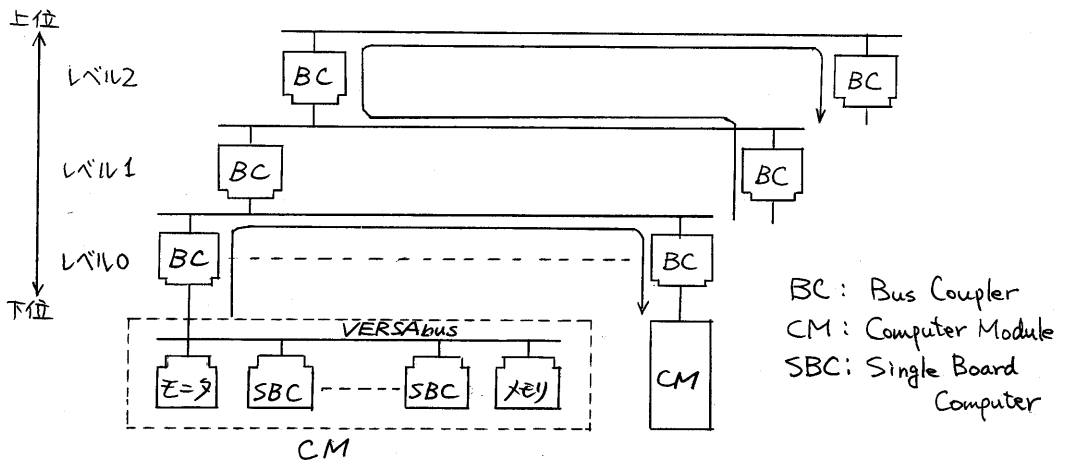


図1. 複合マイクロコンピュータシステム構成例(3階層)

方式を開発した。これは、8ビットマイクロコンピュータ 6800 を対象としたものである。今回、この方式を 16ビットマイクロコンピュータ 68000 用として拡張すると共に、性能、性能の向上を図った。

図1に、68000 複合マイクロコンピュータシステムの全体構成例を示している。CMとしては、日立の 68000 SBCファミリーを使用している。当SBCファミリーは、モトローラ社の *VERSA bus* と互換性のあるバスが使用されており、同図に示すように、複数のSBCによる密結合構成が可能である。モニタボードには、ハードウェア上の機能としては、*VERSA bus* を制御するアービタが実装されている。また、メモリおよび I/Oポートもあわせて実装されている。

当階層共通バス方式では、上位のバスと下位のバスは互いに独立しており、データ転送が下位のバスでクローズされているときは、図1に示したように、

同時に複数組のデータ転送が可能である。

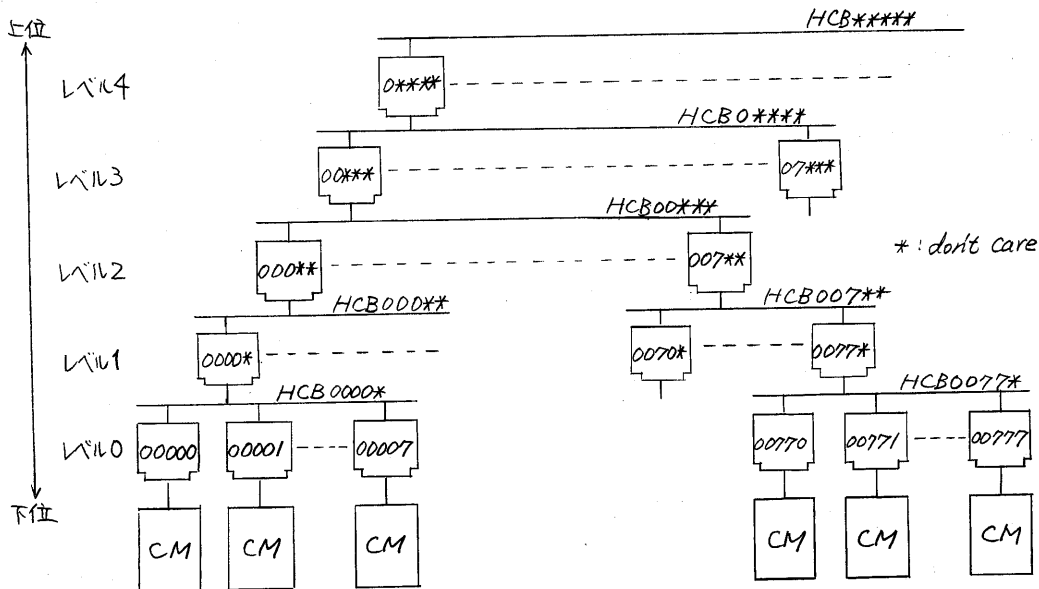
データ転送には、DMA (Direct Memory Access) 方式を採用している。また、各バスの制御は、信頼性、拡張性の観点から、集中回路のほかに分散制御方式を採用している。これらのバス制御の実現方式について、以下の章で述べる。

3. ルーティング

図2に示すように、今回試作したシステムでは、方式上、最大5階層、すなわち、32,768 台のCMの結合が可能である。

データ転送先のCMを指定するために、各BC (Bus Coupler) には、固有の番号 (アドレス) を付けている。BCのアドレスは5桁の8進数で表わされ、その番号のつけ方を図2に示している。5桁のアドレス中、*はルート判定には使用しないことを示す。

ルーティングの原理を以下に述べる。



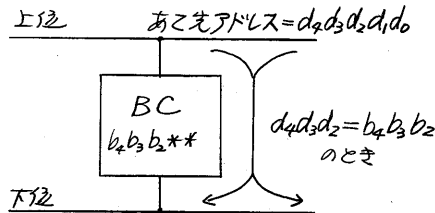
HCB: Hierarchical Common Bus

図2. バスカプラのアドレスとルーティング (5階層)

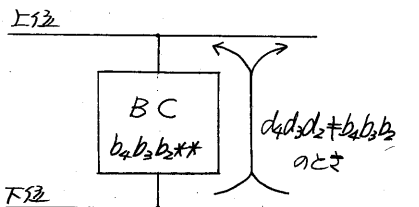
送信要求のあるCMは、データ転送に先だって、まず、あて先アドレスを送信する。各BCでは、上り方向と下り方向のスイッチング機能を併せており、あて先アドレスと自BCアドレスを比較するあて先判定機能によって、スイッチング操作が行なわれる。

例として、図3に、レベル2のBCのスイッチング条件を示している。同図(a)は、上位バスにあて先アドレスがのった場合を示している。この場合、あて先アドレス、自BCアドレスのそれぞれ上位3桁 $d_4d_3d_2$ と $b_4b_3b_2$ を比較して、一致すれば、下り方向のスイッチングを行なう。また、同図(b)は、下位バスにあて先アドレスがのった場合を示している。このときは、あて先アドレスと自BCアドレスが一致しないとき、上り方向のスイッチングを行なう。

なお、自BCアドレス5桁のうち、*は、あて先判定の対象としないことを示している。レベル1のBCでは、下位2桁が*となっている。



(a) 上位→下位



(b) 下位→上位

図3. BCのスイッチング条件(レベル2)

4. バスカプラのハードウェア構成

BCの機能ブロック図を図4および図5に示している。レベル0のBC(図4)では、DMA転送制御回路が必要であるが、レベル1以上のBC(図5)では、それが不要である。そのほか、両者の機能は若干異なっているが、同一ボードによりシステムを構築するという設計思想にもとづき、両者を兼用したものを作り、BCはすべて同じボードを使用している。しかし、ここでは、説明のわかり易さから、両者を分けて述べる。

4.1 レベル0のバスカプラ(図4)

いずれかのBCで送信要求が発生すると、すべてのBCのタイミング回路が同時に起動される同期方式を採用している。図中のほとんどすべてのブロックに対して、タイミング回路からの信号が供給されているが、図では省略している。

以下、図4に示した番号に従って、バス制御の概要を述べる。

[送信側]

- ① プロセッサ(SBC)が、特定番地にあて先アドレスをライトすると、その値がランチャに記憶される。同時に、バスの競合制御を行なう分散バスアービタはバス要求信号が出力される。
- ② 分散バスアービタでは、タイミング回路からの指令を受けると、自BCに割り当てられたプライオリティを出力する。そのあと、同一バス上の全BCのプライオリティ信号を読み取り、自BCがプライオリティ最高か否かを調べる。最高ならば、バス使用权を得て、バス要求制御回路に許可信号を送る。
- ③ バス要求制御回路は、分散バスアービタからの許可信号により、上り方向のスイッチングを行ない、あて

ちアドレスを共通バスへ出力する。

- ④ あて先判定回路では、あて先アドレスと、下1桁を除いた自BCアドレスを比較し、一致しなければ、このレベルで折返すデータごはなしことを意味しており、上位バス要求信号を出力する。この信号は、後述するように、レベル1のバスカプアが受付ける。

[受信側]

- ⑤ あて先判定回路により、あて先アドレスと自BCアドレスを比較し、一致したならば、下位バス（この場合は、VERSAbus）要求信号を出力する。
- ⑥ バス要求制御回路は、下位バス要求信号を受けて、DMA制御回路へ受信要求信号を出力する。
- ⑦ DMA制御回路は、受信要求信号を受けると、VERSAbus制御回路に使用要求信号を送る。
- ⑧ VERSAbus使用権が得られると、バス要求制御回路は、下り方向のスイッチングを行なう。

[送信側]

- ⑨ バス要求制御回路は、受信側の応

答により、DMA制御回路へ転送要求を出す。

- ⑩ DMA制御回路は転送要求信号を受けると、VERSAbus使用要求を出力する。

- ⑪ VERSAbus使用権が得られると、バス要求制御回路は上り方向のスイッチングを行なう。

これにより、ラッチTを素通りしてデータ転送が行なわれる。送信が完了すると、受信側へ知らせ、共通バスを解放する。受信側、受信側とも、VERSAbusを解放する。

4.2 レベル1以上のバスカプア(図5)

レベル0のBCとは、主に、DMA制御機能のみが必要なり、バス制御機能に関しては、ほぼ同じである。

[下位→上位]

- ① 上位バス要求信号により、バス要求制御回路は、分散バスアービタにバス要求信号を出力する。
- ② 4.1の②に同じ
- ③ 4.1の③に同じ
- ④ あて先判定回路では、あて先アドレスと、下位+1桁（レベルnのと

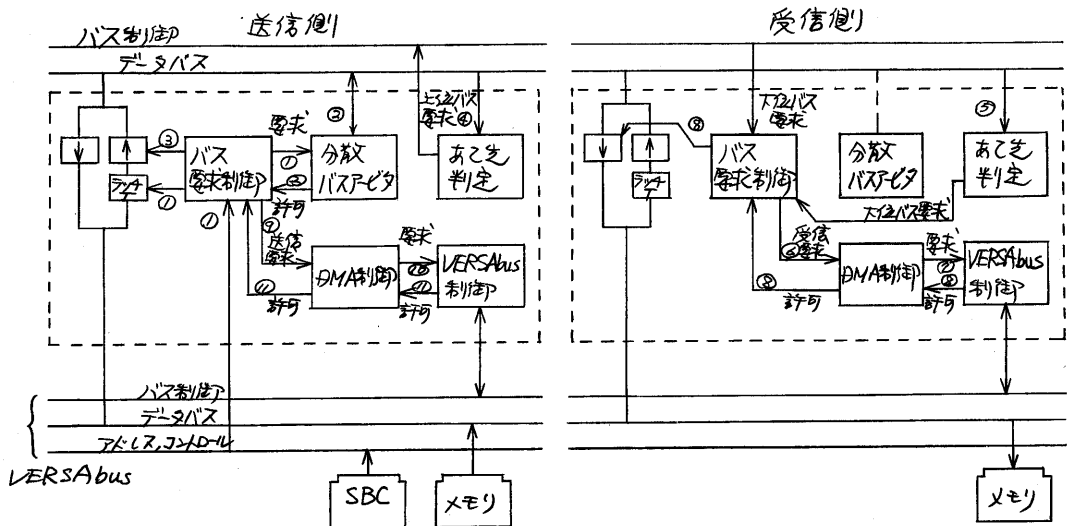


図4. レベル0のバスカプア

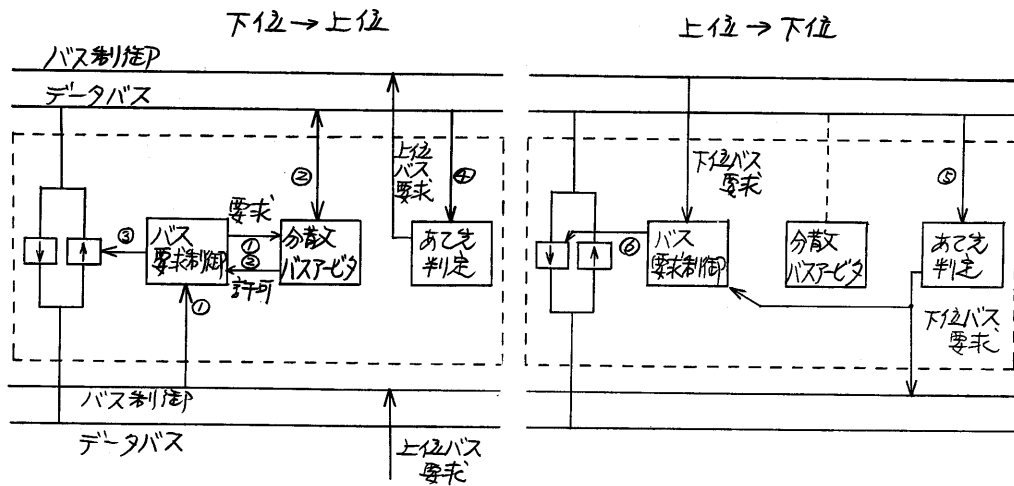


図5. レベル1 (≥1) のバス仲裁

き)を除いた自BCアドレスを比較し、一致しなければ、更に上位のバス仲裁に対して、上位バス要求信号を送る。

[上位→下位]

- ⑤ 4.1の⑤と同じ
- ⑥ バス要求制御回路は、下位バス要求信号により、下り方向のスイッチングを行なう。このとき、上位からのアクセスと下位からのアクセスが衝突する可能性がある。デッドロックを避けるため、上位からのアクセスを優先して処理する。すなわち、一旦、下位から上位へのスイッチングに成功しても、下位バス要求信号を受けると、それがキャンセルされる。

4.3 分散バスアービタ

本システムでは、共通バスの制御を各BCに分散させたバスアービタで行なっている。本節では、その概要を図6に示した番号に従って説明する。

- ① バス要求制御回路からのバス要求信号を受けて、データバスへ当BC固有のプライオリティを出力する。プライオリティは0から7まであり、プライオリティ1のときは、データ線に信号を出力する。

- ② このとき、同時に他のBCも同じ動作をしている可能性がある。データバス(8ビット分)をプライオリティエンコーダを通して取り込み、自BCのプライオリティと比較することにより、自分のプライオリティが最高であるかを判定している。

- ③ プライオリティ最高の場合、バス使用权を得て、バス要求制御回路へ許可信号を出す。
このとき、マスク回路をセットする。これは、各BCが共通バスを平

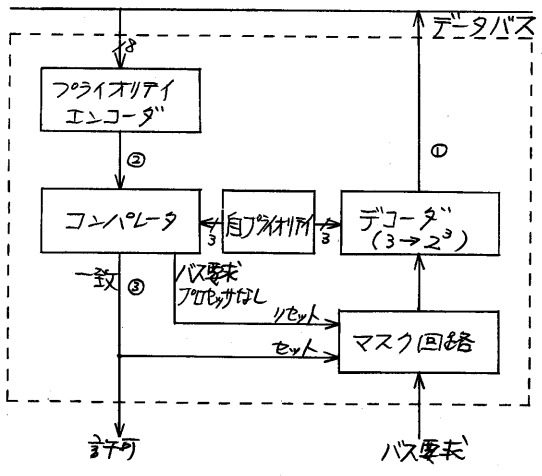


図6. 分散バスアービタ

等に使用できるように図るもので、一度バス使用权を得ると、マスクし、当BCの共通バス使用要求を受けつけないようにしている。使用要求を出している他のすべてのBCのバス使用が完了したとき、このマスクがリセットされる。

4.4 試作バスカプラの概要

試作バスカプラは、市販の日立68000 SBCと同サイズ(200.66mm x 250.00mm)のプリント板1枚に実装されている。そのIC個数は104個である。

試作開始時、68000用DMACがなかったため、6800用DMAC、HDA6504を使用している。このため、全アドレス空間を64KW単位のページに分割し、一度の転送では、1ページ内という制約を課している。現在のページ番号は、ページレジスタに記憶している。

このほか、6800用DMACとVERSAbusとのタイミング調整上のインタフェース回路にかなりのICを

使用している。従って、68000用DMACを使用すれば、性能、機能の向上と共に、BCのコンパクト化が図れる見込みである。

また、パリティエラー発生時とか、受信完了時等に、68000に対して割込みを発生させている。

68000の割込みは、割込み要因毎に割込みベクトルアドレスをデータバスにのせることを標準としている。更に、VERSAbusの割込みはダイジチエイン制御もしなければならなかったため、通常のICでは負担が大きくなる。このため、割込み制御回路には、VIC (Universal Interrupt Controller) を使用している。

5. 性能実測結果および考察

性能実測時のシステム構成を図7に示している。

バス制御時間、すなわち、あて先アドレスをセットしてから、バス結合制御を行ない、実際に送信を開始するまでの時間は、ロジックアナライザを用いて測定した。

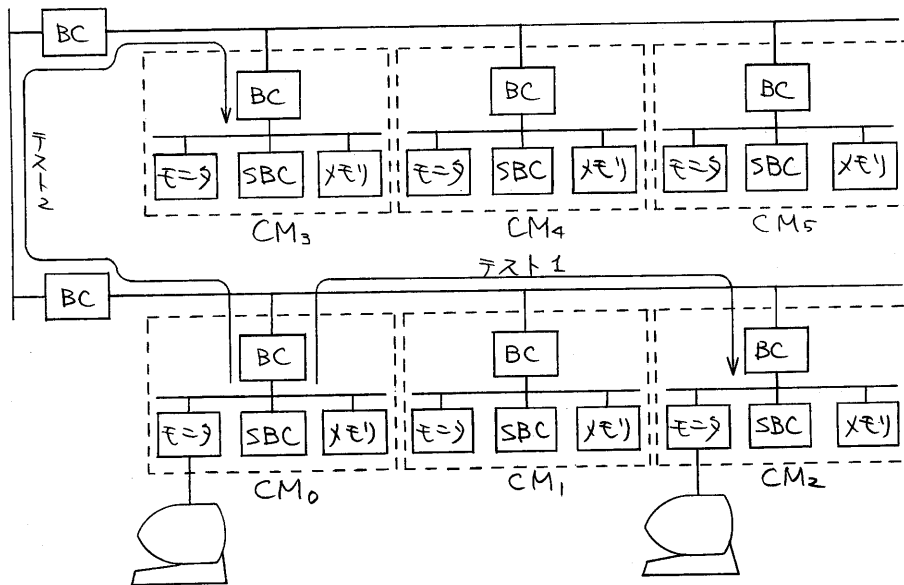


図7. 性能実測システム構成

一方、全体としてのデータ転送時間は、テストプログラムを用いて測定した。すなわち、最初にタイムLSIから時刻を読み、そのあと送信を起動して、送信完了後に、再度時刻を読んで、起動時刻との差をとっている。

測定は、下記の2つのケースに行なった。

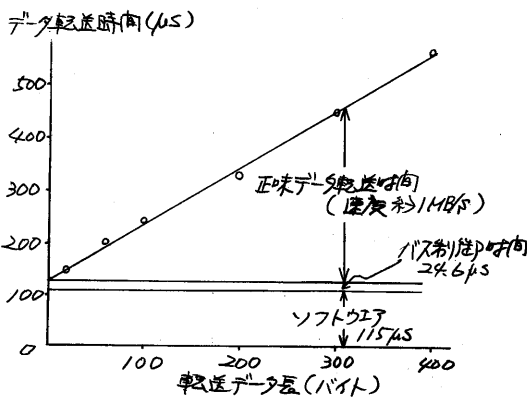
テスト1: データ転送が下位バスでクローズしてあるケース。

テスト2: データ転送が上位バス経由で行なわれるケース。

ロジックアナライザによる測定結果を表1に示している。また、全体としてのデータ転送時間の測定結果を図8に示している。図中のバス制御時間は表1の測定結果を入れたものである。また、図中のソフトウェアのオーバーヘッドは、テストプログラムに依存する

表1. ロジックアナライザによる測定結果

項目 \ テスト	テスト1 (下位バス内)	テスト2 (上位バス経由)
送信要求を出してから (受信側)DMA起動迄	29.4 μ s	28.2 μ s
データ伝送時間 (データ長201バイト)	23.0	26.0
送信完了から バス解放まで	0.16	0.16



(a) テスト1 (下位バス内)

もの(25ステップ)であり、共通バスの占有時間には含まれない。

この場合、タイムLSIの時間単位は20 μ sであったことと、すべてのCMは自らのクロックで動作する非同期方式を採用していることから、測定結果は完全に直線にはならず、多少バラツキが発生している。

意味のデータ転送速度は、図8から下位バス内のとき、約1000 KB/sであり、上位バス経由のときは、若干低下し、約910 KB/sである。

共通バスのスループットとか、待ち時間を算出するときは、意味のデータ転送時間に、バス制御時間を加えたものを使用しなければならぬ。

すなわち、転送データ長を n (バイト) とすると、バス占有時間 t (μ s) は、通信が下位バス内のとき、

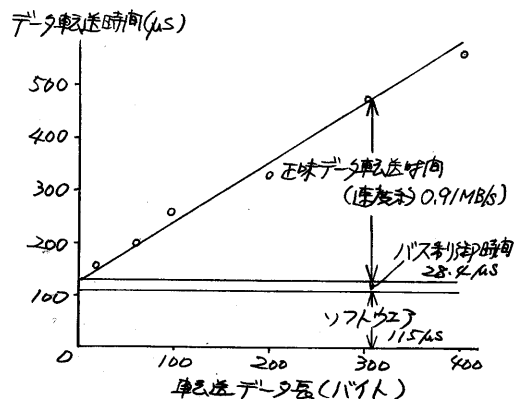
$$t = 29.6 + 1.0n$$

と表わされ、通信が上位バスを經由するときは、

$$t = 28.4 + 1.1n$$

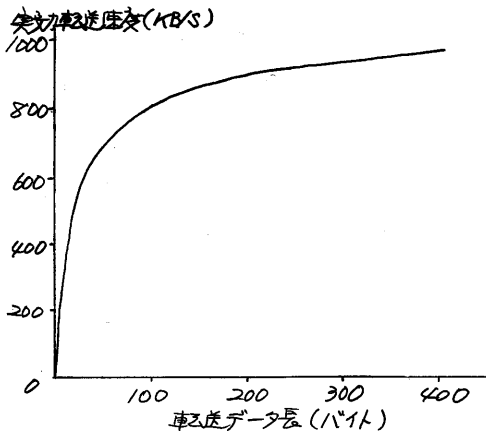
と表わされる。

実効転送速度は、 $1000n/t$ (KB/s) と表わされる。計算結果を図9に示している。

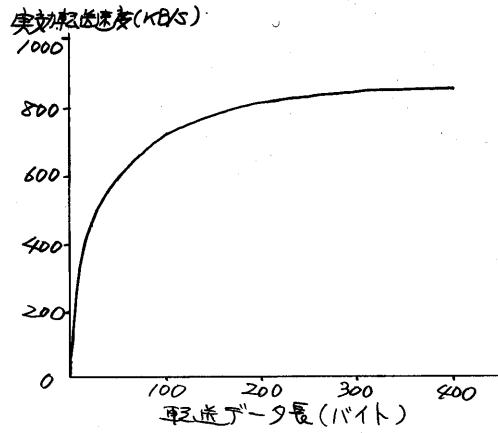


(b) テスト2 (上位バス経由)

図8. データ転送時間測定結果



(a) 下位バス内



(b) 上位バス経由

図9. 実効転送速度

図9から、 $n=200$ のときは、バス制御の占めるオーバーヘッドは約10%である。

6. おすび

16ビット複合マイクロコンピュータシステムを実現するものとして、拡張性の高い階層共通バス方式を開発した。本方式は、以下の特徴を持っている。

- (1) ユニフォームな階層構造に着目したルーティング方式と、バス分散制御方式の採用により、方式上、最大5階層、32,768台という極めて多数のマイクロコンピュータの接続が可能である。
- (2) 各バスの制御は、拡張性、信頼性の観点から、集中回路のほかに分散制御方式を採っており、更に、各々のマイクロコンピュータバスを平等に使用できるように図っている。
- (3) 通信が局所的なときは、同時に複数組の通信を可能としており、システム全体としてのデータ転送能力の増大を図っている。
- (4) データ転送は、DMA転送方式を採用しており、試作システムでは、その速度は約1MB/sである。今後、本方式をベースとして、結合

回路のコンパクト化と高性能、高機能化を図り、性能/価格比の大きな向上を実現してゆく予定である。

なお、複合マイクロコンピュータの制御ソフトおよび応用技術については別途報告する。

最後に、本研究の機会を与えて頂いた当研究所三浦所長に感謝致します。また、当システムの開発関係者一同にお礼申し上げます。

参考文献

- 1) マイクロコンピュータに関する調査報告書—動向調査稿—, 日本電子工業振興協会 (1953), pp.325~362
- 2) 畑田: 複合マイクロコンピュータ, 電子技術, オ23巻, オ11号 (1956) pp.73~76
- 3) 岸ほか: MIMDにおける Interconnection Network とその制御, 信学技報, EC77-67 (1952), pp.81~92
- 4) 畑田, 松山: 複合マイクロコンピュータとネットワークへの応用, 昭和54年電気四学会連合大会 (1954) pp.5-160~5-163