

三次元色彩図形表示処理専用プロセッサ H P R G

和宇慶 康 吉田 隆義 大宅 伊久雄
(沖電気工業株式会社 総合システム研究所)

1. はじめに

3次元図形処理には、形状モデル生成のための幾何学処理や、表示処理として座標変換、隠面消去、陰影処理等に多大の計算を必要とし、繰り返し計算の部分をハード化、専用LSI化したり、マルチプロセッサによって高速化しようとする試みが多く見られるようになった。しかし、対話性、リアルタイム性への強い期待に応えるには図形処理のハードウェア化を一層推し進める必要がある。我々は、大規模計算の入出力に求められる3次元図形処理を効率化する並列処理方式の研究開発を行っており、その中で色彩陰影付きの3次元動画像を高速に生成する方式として、3種類のプロセッサエレメント (PE) を階層的に接続したマルチプロセッサHPRG (Highly Parallel Raster Generator) を考案した¹⁾ので、その方式的な特徴、構成法を述べ、性能評価を行う。

2. Zバッファ法

我々は、性能と汎用性を重視し、リアルタイム図形表示プロセッサを有する図形処理ワークステーションを目標に設定した。3次元図形表示プロセッサで、色彩陰影を施した動画像を高速に生成するものとしてはフライトシミュレータ²⁾、EXPERTSシステム³⁾、IRISワークステーション⁴⁾等がある。これらのシステムでは3次元シーンを多角形のような単純な図形に分解しておき、視点と投影面が与えられその頂点座標を世界座標系から3次元画面座標系に変換し、この中で視点側を向いた視野内の多角形リストを作成し、隠面消去とポリゴン塗りつぶしを行う。隠面消去アルゴリズムとしては、デプスソート法、スキャンライン法、Zバッファ法等が使用されるがこの選択が基本アーキテクチャを左右する。

デプスソート法は、基本的にはポリゴンリストをZ座標 (奥行き) でソートして表示優先度を決定した後、優先度の低いポリゴンから順に塗りつぶしていく方法で、優先関係の一部が予め知られているシーンやポリゴン数が少ないときに効率的なアルゴリズムであるが、ポリゴン数が増えると優先度判定の複雑なテストとポリゴン分割処理が増すので、すべてをハードウェアで行うのは難しい。

スキャンライン法はポリゴンリストをスキャンライン平面で切断し、その断面上の交差線分 (セグメント) のリストに対してスキャンライン区間毎に優先度を判定するので複雑なシーンに対しても判定処理がふくそうしない。また次に述べるZバッファ法と比べると、Z座標の比較回数が少ない、隠れる面を塗る必要がない、ジャグの除去が容易

である等の数々の特長を有する。これをスキャンライン順に処理すると極めて効率的に画像生成ができる。しかし、すべてのポリゴンを一度に入力しY座標やX座標についてソーティングする処理を含むため、ポリゴン数の多い状況では依然として高機能のプロセッサを必要とし、処理時間に非線形の増大をもたらす。

これに対してZバッファ法はポリゴンを入力された順に塗りつぶしていき、画素上で優先度を決定するというきわめて単純なアルゴリズムである。実際にZバッファ法で隠面消去を行なうには、画素毎に輝度 I_M (色情報 r, g, b も含むとする) と奥行き Z_M を有する1画面分の画像メモリ (Zバッファ) を使用し、予め I_M を背景色で、 Z_M を奥行き最大値 Z_{max} で満たしておく。ポリゴンをスキャンコンバートして、セグメントから画素列 (X_i, Y_i, Z_i, I_i) $i=1, 2, \dots$ に展開し、画素 (X_i, Y_i) において、 $Z_i < Z_M$ のときに限り、 Z_M を Z_i で、 I_M を I_i で置き換える。このことをすべてのポリゴンのすべての画素について順次実行すれば、隠面消去された画像が I_M に得られる。Zバッファ法はハードウェア化に適しており、Zバッファメモリを装備したグラフィックディスプレイ装置も存在する。しかし、その高い並列性を利用して本格的なマルチプロセッサで実現するものは研究段階に止まっている^{5) 6)}。本マルチプロセッサは隠面消去アルゴリズムとしてZバッファ法を並列に実行することにより高い表示性能を得ようとするものである。

3. 並列画像生成方式

Zバッファ法は図形要素間の画素を越えた干渉処理を避けているので、画素に分解できる如何なる3D図形要素も混在表示できる汎用の隠面消去アルゴリズムであると共に、並列処理によるディスプレイプロセッサの高速化に対処できる。

画像生成をn台の同種PEに負荷分散する場合、図形分割または画面分割による並列処理が考えられる。前者は図形ファイルをn個の部分に分割して並列処理するが、画像メモリにアクセス競合を生じ、並列度向上が困難となる。この事例は少ないが、競合をZ比較トリで解消したものがある⁷⁾。画面分割は、画像フレームをn領域に分割するもので、一般に個々の図形要素をn台のPEへブロードキャストし、領域境界でクリップする必要がある。これを解消するのに分割器のトリがある⁶⁾。画面分割には、走査線による分割、矩形領域分割、インタレース分割、タスク分割(レイトレーシング)が考えられる。また必然的にポリゴンモデルのようなソリッド表示専用になる。我々は、これらの競合の問題を解決するためには、連続領域分割を避け、インタレース分割されたZバッファメモリユニットを2次元に配置し、図形分割/画面分割の双並列処理を行い、その間をディストリビュータ(分配器)で接続するのが有効であると考えた。

ポリゴンを使った形状表現の利点は、面画の構成要素として上位互換性をもち、あらゆるソリッド形状を扱えること(曲面はポリゴン近似)、機能パイプライン型ディスプレイプロセッサに適合すること、座標変換してもポリゴンであること、走査変換を高々、頂点のソーティングと線形内挿処理で行えること等である。しかし、ポリゴンの個数が多くなりがちなので、規則的な立体や曲面はなるべく高レベルで扱えることが望ましい。小さなポリゴンやベクトルは画面分割に耐えられないので、曲面は適応分割を考え、ポリゴン以外の図形は別の単一パイプラインで処理するのがよい。

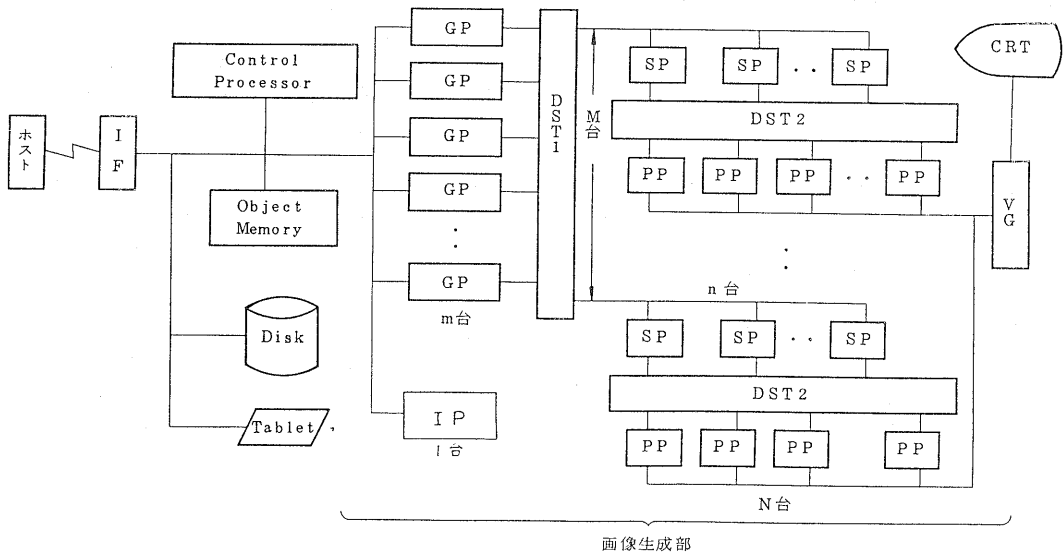


図1 HPRGマルチプロセッサの構成

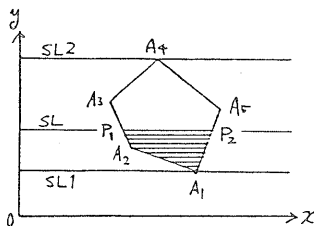


図2 ポリゴンのセグメントへの分解

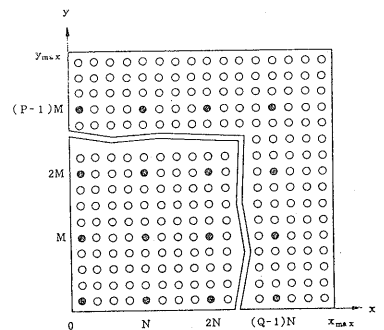


図3 PPの分担画素(黒丸)

4. H P R G のアーキテクチャ

本マルチプロセッサシステムを図1に示す。特徴は画像生成部の構成法にあり、 m 個のポリゴンプロセッサ (GP)、 $M \times n$ 個のセグメントプロセッサ (SP)、 $M \times N$ 個のピクセルプロセッサ (PP) がディストリビュータ DST 1 (1個)、DST 2 (M個) を介して階層的に接続されていることである。MとNは2のべき乗とし、 m 、 n は $1 \leq m \leq M$ 、 $1 \leq n \leq N$ の中から選ぶものとする。オブジェクトメモリに記憶された世界座標系のポリゴンデータは、 m 個のGPの任意の1つに送られる。

ポリゴンは頂点列と色と輝度をもつが、輝度Iは曲面のスムーズシェーディングを行なうときには頂点毎に与えられ、座標値と共に線形補間される。GPではポリゴンの座標変換やクリッピングを行った後、周囲エッジを次のように求める。図2に示すようなポリゴン $A_1 A_2 A_3 A_4 A_5$ があるとき、頂点のy座標の最小値と最大値から左エッジ点列 $A_1 A_2 A_3 A_4$ 及び右エッジ点列 $A_1 A_5 A_4$ を定める。両エッジ点列は単調に上昇するものと仮定し、最下頂点 A_1 を通過する走査線より順次上昇する走査線 SL に対し左右両エッジとの交点 P_1 、 P_2 を並行して求めて行く。セグメント $P_1 P_2$ は表示属性を付与された固定長データとして DST 1 に入力され、SLのy座標の下位 $l_0 g_2 M$ ビットによって決る番号の出力端子に送られる。例えば $M = 8 = 2^3$ のとき、yの下位3ビットが 000 なら最上行のSP系のバスを経由して n 個のSPの任意の一つに送られる。SPではセグメント $P_1 P_2$ の内部画素の x 、 z 、 I を P_1 から P_2 に向かって順次求めて DST 2 に入力し、その画素の x 座標の下位 $l_0 g_2 N$ ビットによって決る番号の出力端子に継がれたPPに送る。各々のPPは1画面の中でy方向にM個毎、x方向にN個毎に飛び越した画素に対してZバッファメモリ Z_M 、 I_M を有し、 $M \times N$ 個のPPで全画面を覆う (図3)。PPではこの画素データを使ってZバッファメモリをアクセスし隠面消去を行なう。 $M \times N$ 個のPPの中に分散された画像メモリ I_M は常時周期的に読み出され、ビデオ発生器VGを通じてCRT表示器に表示される。

表示対象となる3次元シーンは通常数100～数10000個ポリゴンに分解され、これらのポリゴンは画面上でさらに多数のセグメントから画素へ分解される。解像度を 1000×1000 とすると、この分解による画素の総数は数100万に達することになり、毎秒30枚の画像を作るには毎秒100Mピクセル以上の画素計算が必要である。

HPRGにおいては、このような多数のポリゴンが複数のGPにおいて相互干渉なく並列処理される。分解が進むにつれてデータ量は増大するが、同時に処理内容は固定化、単純化するので2次元配列による多数の専用化されたプロセッサエレメントSP、PPを使用することにより上記性能要求に応えることができる。これらのプロセッサでも相互干渉なくパイプライン的に処理でき、画面上の走査線及び画素の飛び越しパターンを割り当ててあるので、特別な制御を行わなくても均等な負荷分散が達成され、画像メモリへのアクセス競合を起すことなく高い稼働率で動作する。GPとSPは必要に応じてその個数を増減することができ、その個数を増大することにより、高性能な画像生成用マルチプロセッサを実現できる。

このような方式をとるために生ずる問題点としては、まずハードウェア量の増大のおそれがある。SPとPPは機能を限定して極力簡易な構成とすべきである。GPはリアルタイムで処理すべき機能の専用化、パイプライン化を図ると共に、モデル生成、輝度計算、影付け処理等における幾何学計算にCPの制御下で柔軟に使用したいので高機能化は避けられない。次にセグメント、画素等の低レベル図形データを大量に転送することによるデータ転送ネックが考えられる。転送データのコンパクト化とディストリビュータの並列転送方式に十分な検討が必要である。

尚、図1におけるIP (イメージプロセッサ) は、ワイヤフレーム図、文字、3次元カーソル等の描画に使われるもので、PP内に分散したZバッファを一画像フレームとしてアクセスできるものとする。

5. 内部構成と動作

HPRG各部の基本的な内部構成及び転送データの例を図4に示す。図5はGPの内部で任意形状のポリゴンを走査線順にセグメント分解するための走査変換器の構成例である。ポリゴンデータは境界ループの頂点リストとポリゴン属性から成る。頂点リスト

をDM1及びDM2にコピーし、頂点のyソートを行って、DM1を左エッジリストに、DM2を右エッジリストに変換し、DM3に進入頂点リストとアクティブエッジリスト(AEL)を作成する。EPL、EPRはセグメントの両端点の属するエッジブロックのアドレスを指定し、エッジブロック内の共通の偏位を制御部より与え、ALU1、ALU2により走査線毎の更新を行う。DM3、ALU3はセグメントデータを作成し、FIFO1に書き込む。増分値、 dx/dy 、 dz/dy 、 dI/dy 、 dz/dx 、 dI/dx 等を求めるために増分算ユニットを使用する。

走査線の更新は、AELの内容変更であって、次の4項目から成る。

- ①行更新 — 全てのアクティブエッジに対し、
 $x+dx/dy \rightarrow x$, $z+dz/dy \rightarrow z$, $I+dI/dy \rightarrow I$, $h-1 \rightarrow h$
- ②エッジ更新 — $h=0$ になるアクティブエッジで、終点が退出頂点でなければ、次の水平でないエッジに置換える。
- ③退出処理 — $h=0$ になって終点が退出頂点なら、AELからエッジブロックのペアを除去する。
- ④進入処理 — 進入頂点リスト上の次の進入頂点のy座標が次のスキャンラインのy座標に一致するとき、AELにエッジブロックのペアを挿入する。

セグメントデータは、AELの左右エッジブロックのペアから算出する。

左端画素 (x_l, z_l, I_l)、右端画素 (x_r, z_r, I_r) 及び

$$n_s = x_r - x_l + 1, dz/dx = (z_r - z_l) / (x_r - x_l),$$

$$dI/dx = (I_r - I_l) / (x_r - x_l)$$

を求め、図4(a)のセグメントデータを出力する。

ディストリビュータDST1はm入力M出力のデータバスで、カウンタCN1で制御されたMビット幅の巡回シフタであり、各入力が続く出力端子に一定時間間隔で固定長データを配分する場合に並列転送が可能である。GPで1つのポリゴンを分解してセグメントの系列を発生するが、その順序はSP系の垂直方向の順序と同じであり、ポリゴンを貫く走査線の本数だけ継続する。また、単調ポリゴンの場合、セグメントデータは両端点の固定長データ形式になるから、このようなディストリビュータを使えば効率よく転送できる。GPとSPがディストリビュータと独立に働くようにFIFOバッファが設けられている。FF1とFF2は両側のFIFOが1セグメントブロックの読み書きができることを示すフラグである。これらがすべての入出力側でセット状態にあればm系統の並列転送が可能であり、各系統はFF3によって個別に転送制御される。

FF3はポリゴンの最初のセグメントのy座標の下位 l_0g_2M ビットとCN1とから行先を検出した時点でセットされて転送を開始し、ポリゴンの最終セグメントの転送を終了するとリセットされて待ち状態になる。

DST1のシフタは例えば9枚設けられており、8枚がデータ用に、残り1枚がFF3の状態を行先に知らせるために使われる。GPの処理が滞ってFF1がリセットされたときは、その系統のみ転送を中断する。これはポリゴンの初期化処理で起る可能性が高いからである。またSP系の処理が滞ってFF2がリセットされたときは、m系統すべての転送を中断する。これはSP系には処理単位の小さいセグメントデータが均一に分配されており、このような停滞はM系統について一様に起る可能性が高いからである。

SPの動作は、データ入力、初期化、ピクセル発生シーケンスから成る。データ入力は、各SPが入力要求フラグFF4を立ててn個のSPの競合を解き、許可されたSPがFIFO2から1セグメントデータを読み出し、自身に取り込む。初期化は、データ中の制御情報の解釈、累加算器の初期設定、セグメントのクリッピング処理等である。

ピクセル発生シーケンスは、セグメントの左端から右端に向かって一様な速度でピクセルデータの系列を発生する。ディストリビュータDST2は、巡回シフタとカウンタを用いてピクセルデータを並列に分配するが、入出力段にFIFOバッファを持たず、レジスタバッファとする。SPのピクセル発生、DST2のピクセル転送、PPのピクセル書込みの各サイクルを一致させれば、全てのDST2とPPの制御を集中化できる。PPは、隠面消去書込み、混合書込み、シャドウ処理、断面処理等の動作モードに従いSIMD (Single Instruction-Multiple Data Stream) 動作する。

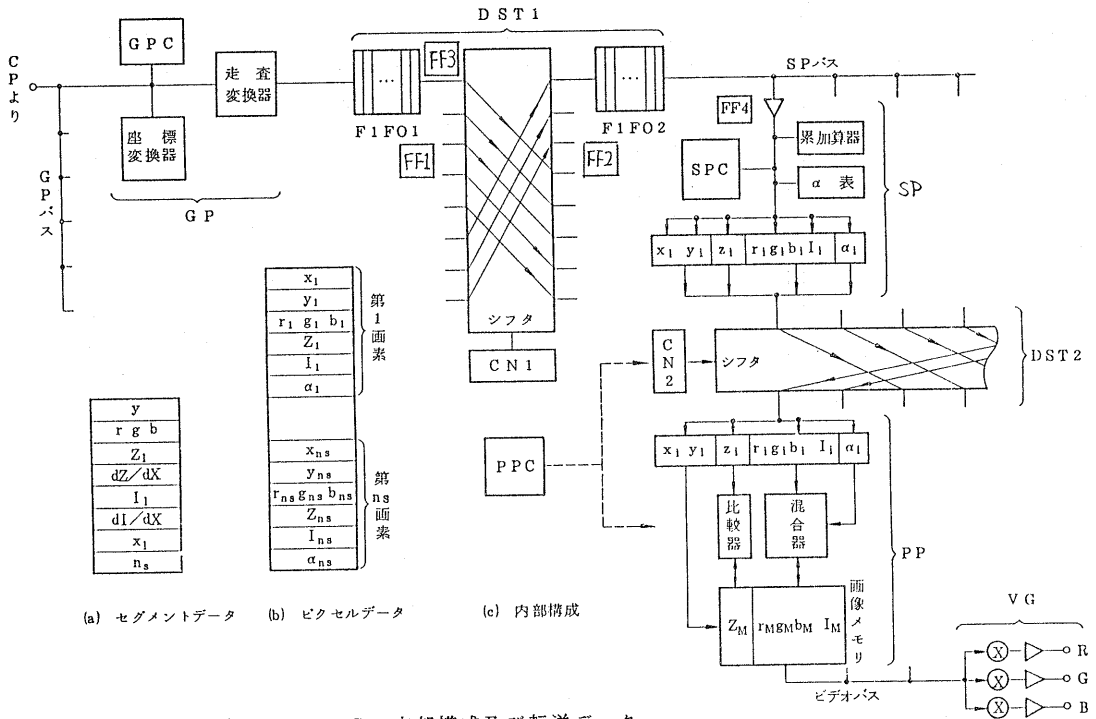


図4 HPRGの内部構成及び転送データ

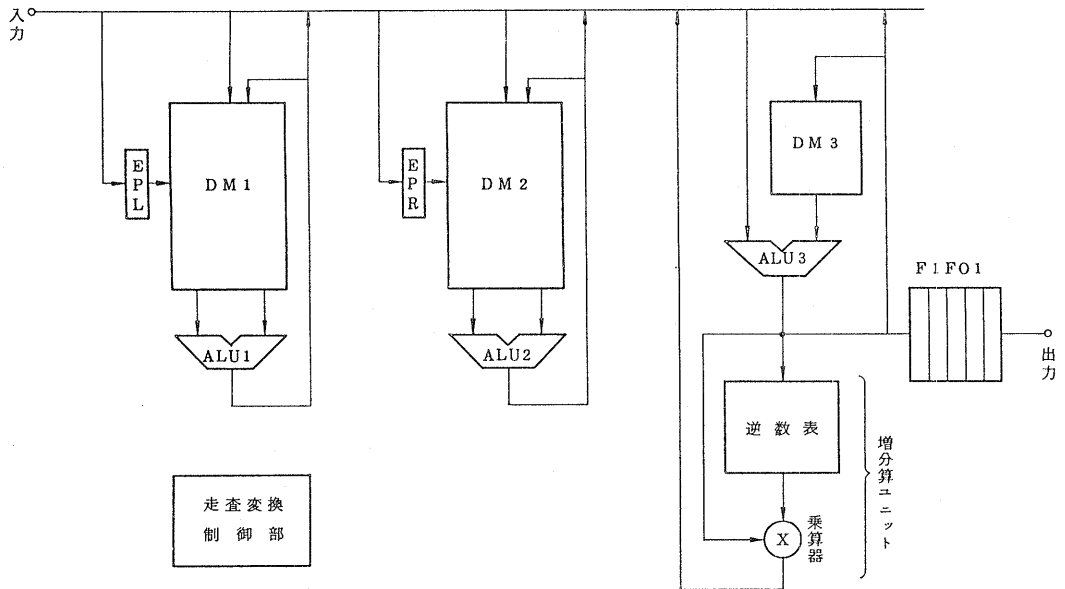


図5 走査変換器の構成

6. H P R G の機能概要

H P R G マルチプロセッサに適用し得る処理機能とアルゴリズム、各部の機能分担を表1に示す。画像生成機能の中には構成上困難なものもあるが、H P R G のポリゴン内挿機能や画素レベルの比較、混合、写像機能を利用できるアルゴリズムが見い出される。

ポリゴン内で線形内挿すべきデータとして考えられるのは、スムーズシェーディング用の輝度 I の他、物理量の色変調表示のための3原色 R、G、B、テクスチャマッピング用の U、V、ハイライト表示のための法線ベクトル N_x 、 N_y 等であるが、いずれも画像メモリの容量が増大する。また、z 値の比較で実現できる機能は、隠面消去の他、シャドウ処理は後処理でシャドウポリゴンを描き、画素毎に影の内外判定を行うことにより、断面表示は前処理で断面ポリゴンを描き、断面の前後判定を行うことにより実現される。アンチジャギングや半透明処理は画素毎に混合計算を行うが、図形の描画順序や z 値の相等判定、混合比 α の計算に困難な問題をかかえるので、可能な範囲で行う。カラー変換は色相と輝度の乗算を V G で行う。図形処理機能は、ポリゴンの描画の他、ポリゴンの連鎖する高次の曲面や、階層構造をもつソリッドモデルを迅速に表示処理することを目指している。

表1 H P R G の機能分担

プロセッサ	機能	アルゴリズム	演算内容	
C P	ソリッドモデル			応用機能
	アニメーション			
	3 D グラフ表示			図形処理機能
	立体処理	基本立体, 回転体, 掃引体		
	曲面処理	双3次曲面, Bスプライン曲面, 線織面		
G P	座標変換		行列計算	図形処理機能
	クリッピング		比較	
	走査変換	Scanline法	ソーティング	
	エッジ発生	DDA法	内挿 x, z, I	
S P	塗りつぶし		内挿 z, I, α	画像生成機能
	シェーディング	Gouroud法	内挿 I	
P P	隠面消去	Z-buffer法	比較 z	
	シャドウ	Shadow polygon	比較 z	
	断面表示	Section polygon	比較 z	
	アンチジャグ	Mix法	混合 r g b I	
	半透明処理	Mix法	混合 r g b I	
V G	カラー変換	Table Mapping	写像 r g b I	
	テクスチャ	Table Mapping	内挿, 写像 UV \rightarrow I	
	ハイライト	Phong法	内挿, 写像 NN \rightarrow I	

表2 HPRGの性能を左右する要因と影響のリスト

要因		影響	
形状	形状モデルの複雑さ	視野外部分 階層クリッピングで時間短縮	
	ポリゴン	視野内部分	時間は線形に増加
		細かさ, 個数	細かく, 多いほど不運
	モデルの配置・重なり	形状, 方向性	単調ポリゴン, 積長が通
モデル	形状の種類	影響なし	
		ベクトル, 曲線	アンチジャグが必要
	曲面	形状計算, 適応分割	
	多面体	メモリ容量, ポリゴンリスト作成	
運動モデル	視点の移動	視野変換, 画像生成(リアルタイム)	
	光源の移動	輝度, ハイライト, シャドウ再計算	
	物体の移動	モデリング変換	
	形状の変化	形状再計算, 法線ベクトル計算	
画像レベル	基本機能	基本画像生成(リアルタイム)	
	スムーズシェーディング	シェーディング累加算器(SP)	
	アンチジャグ	混合比計算, エッジ画素バッファ(SP, PP)	
	断面表示	断面Zバッファ, 比較器(PP)	
	テクスチャ	テクスチャバッファとテーブル(PP, VG)	
	ハイライト	ハイライトバッファとテーブル(PP, VG)	

表3 標準性能目標

要求性能	解像度	1,000×1,000ピクセル
データ量	フレーム速度	30フレーム/sec
	ポリゴン数	1,000
	ポリゴンの大きさ	5×5.5≒3,000ピクセル
	セグメント数	5,500
基本機能	ピクセル数	3,000,000
		視野変換, クリッピング, 走査変換 ジューディング, (アンチジャグ等なし)
規模	GP台数	8
	SP台数	8×8=64
	PP台数	8×8=64
	座標変換(GP)	15,000頂点/sec
要求性能 (1台当り)	走査変換(GP)	3,750ポリゴン/sec 2,000.00セグメント/sec
	画像生成(SP, PP)	2,800,000ピクセル/sec (稼働率50%)
	ビデオ変換(VG)	80,000.000(Pixel/Sec) (60フレーム/sec)

7. 性能評価

HPRGは所定の図形表示処理をリアルタイムまたはそれに近い速度で行なう必要があるが、この性能を阻む要因が多岐にわたるので、表2にこれらの要因とその影響をまとめた。遅延要因となる処理内容、条件、対策手段、特別な機構を定性的に示している。

また、表3にはリアルタイムで処理できる条件を標準性能目標としてまとめた。その結果、2次元アレイが8×8構成の場合に、1000ポリゴン(四辺形)の3D画像(1000×1000画素)を視点の移動に関しリアルタイムで得られる可能性を確認した。

8. 今後の課題

Zバッファ法による高速画像生成方式の可能性を示した。今後、GP、SP、PP各1台のプロトタイプシステムを試作し、性能、アルゴリズムの検証、マルチプロセッサの実現性を検討する。ディストリビュータはシミュレーションで評価する。制御プロセッサとして当面ミニコンピュータを使用し、汎用性の高いグラフィックパッケージ、会話型ソリッドモデリング、アニメーション、3次元グラフ表示等の応用ソフトウェアを開発する。数値計算分野では配列データ、時系列データが多量に出力されるので、これを3次元グラフとして図形表示すれば極めて容易にデータの全貌を観測でき、極値、鞍点、等高線、流線等も視覚を通して明瞭に認識できる。それにはシェーディングだけでなく、きめ細かな階調付け、複雑な断面の切り出し、ワイヤフレーム図形の重量、データの変換等も必要である。

なお本研究は、通産省工技院大型プロジェクト「科学技術用高速計算システム」の研究開発の一環として行ったものである。

[参考文献]

- 1) 松代他：“三次元色彩図形表示処理専用プロセッサHPRG”情報処理学会グラフィックスとCADシンポジウム、昭和59年、pp.73-80
- 2) E. lemer：“Fast graphics use parallel techniques”IEEE spectrum, Mar. 1981. pp. 34-38
- 3) 今井他：“3次元色彩図形を実時間表示するマルチプロセッサシステムEXPERTSのハードウェア構成”情報処理学会グラフィックスとCADシンポジウム、昭和58年、pp.181-188
- 4) R. Nickel：“The IRIS Workstation”IEEE Computer Graphics and Applications. Aug. 1984. pp. 30-35
- 5) H. Fuchs, B. Jonson：“An Expandable multiprocessor Architecture for Video Graphics (preliminary report)” proc. of IEEE 6th conf. on computer Architecture. 1979. pp. 58-67
- 6) F. Parke：“Simulation and Expected Performance Analysis of Multiple Processor Z-buffer” proc. of SIGGRAPH'80, 1980, pp48-56
- 7) 大野他：“多面体のリアルタイム表示装置”情報処理学会 グラフィックスとCAD研究会資料16, 1985-3