

## 画像プロセッサの動向と T I P - 3 の構成

岩下 正雄

Masao Iwashita

天満 勉

Tutomu Temma

日本電気(株) C &amp; C システム研究所 周辺機器研究部

C&amp;C Systems Res. Labs. NEC Corporation

### 1. まえがき

画像処理は、膨大なデータ量(例えば、印刷画像、衛星画像、X線画像等では、 $8000 \times 8000$ 以上の画素数となる場合がある)を対象としているため、それを蓄えておくためのメモリが大容量となり、処理するのに多大の時間を要し、結果を人間が目で見ると高精密度表示装置が不可欠となる。

汎用計算機は、事務処理や科学演算で必要とされる数値計算、プログラム編集をその主な対象として発達してきた。大型計算機センターにある汎用計算機の利用は大勢のユーザーが時分割で使用する形態が多く、処理結果を手元のラスタースキャンモニターによりオンラインで見ようとすると画像データを構内モデム経由で伝送せねばならず一端末当たりの伝送帯域の割り当てが制限されているのでデータ伝送時間がかかり、難がある。初期の頃には、磁気テープに一旦記録し、手近なオフラインのミニコンに持って来て表示だけするという苦勞もあった。

現在でも画像処理システムで実用化されているものは、ミニコンを主体としたスタンドアローンの高価で大規模なものが中心であり、なかなか手頃で適当なシステムが手に入りにくい。従って、画像処理に関わる研究開発を行なう者にとっては、多額の設備投資と、長大な時間を費やすこととなり、このことが大きな障害となっていた。画像処理の研究を始める前に先ず自ら、画像処理システム開発をせざるを得なくなる例も多い。

幸いにして近年における半導体、LSI技術の急速な進歩に伴い、ICメモリの低価格化、高密度大容量化がなされ、1チップのLSIプロセッサも手軽に使用できるようになり、画像処理も身近かなものとなってきた。それと共にその応用分野も広がりを見せ、パーソナルなユースにも用いられるようになってきた。しかしながら、まだまだ業務用には十分な性能とはいえず、高速化、高性能化への努力が続けられている。

画像データを高速に処理するための手法として高速プロセッサの利用、高速アルゴリズムの開発がある。高速プロセッサを実現する方法としては、高速で動作する素子の開発がまず考えられるが、これには革命的な技術の進歩と長い年月が必要である。画像データの特質として、2次元的に規則正しく配列されたデータであり、空間的な独立性が高いということがある。この性質を利用すれば現在の素子技術でもかなり性能の高いものが実現できる。即ち、同一の構成を持つプロセッサモジュールを複数個並列に並べ、同時に動作させる方式である。この流れに沿ったものには、並列プロセッサがあり、その並べ方から分類すると、1次元アレー、2次元アレー、3次元アレーがある。データの処理形態から言うと、パイプライン方式(時分割)、アレー方式(空間分割)がある。

パイプライン方式の利点は、一つのハードウェアを単にレジスタをはさんで分割するだけでよく、ハードウェア量の増加が少ないことが挙げられる。また、メモリのアクセスも

シーケンシャルでよいので通常のメモリーがそのまま使えるという点もある。但し、専用のパイプラインでは各モジュールの機能が固定され、汎用性に欠ける面がある。この点を解決する一つの方法として、ダイナミックに種々のパイプラインステージの起動制御を行ない、効率良く処理を行なうことが出来るものとして、データフロー方式がある。

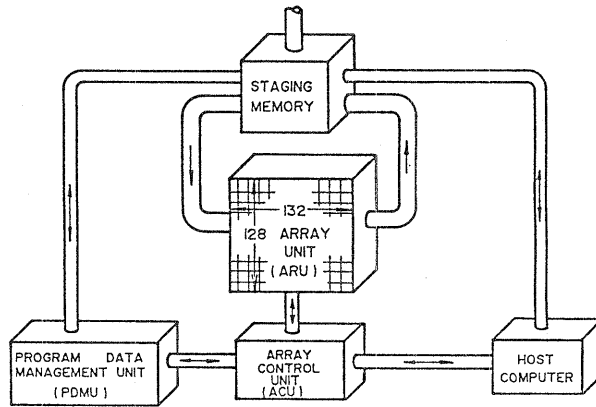
一方アレー方式では、規模が $n$ 倍になるとハードウェアが $n$ 倍必要となり、相互の配線の数も多いので、実装上大きな問題がある。また、取り扱える画像のサイズもハードウェアの大きさより制約を受け、折り畳み等の工夫が必要となる。実現の可能性からいって、この種のものでは、フルサイズのものでは2値画像処理を対象としたものが多く、単位プロセッサの機能も比較的小さく、適用範囲も限られる。規模としては、最近では $256 \times 256$ 個のプロセッサアレーも開発されるようになってきている。多値画像や、浮動小数点を対象としたものはマスク処理でのマスクサイズ分のアレーとしたものが多い。局所的な処理の高速化には有効であり、製品化されているものも多い。

最近ベンチマークテスト等も行なわれているが、規模の違い、アーキテクチャの違い、適用対象の違いがあり、対象とする処理に依存する部分が大きく、一概に性能の良否を決めることは困難である。以下では、特徴あるアーキテクチャの主なものにつき、特徴、構成、性能を概観し、筆者等により開発を進めている小型高性能画像処理システムTIP-3について特徴、構成を述べる。

## 2 アレー型プロセッサ

### 2.1 MPP

MPP (図1)はGoodyear社のBatcher等により設計され、アメリカ航空宇宙局(NASA)のGoddard Space Flight Centerに設置された(17)。STARANの実績を下に、2値データ処理から浮動小数点演算まで広くカバー出来るように1ワードのビット長が可変となっており、ビット直列の演算方式を特徴としている。Sum-Or-Tree, 2次元アクセスメモリ、可変トポロジーレジスタ、フリップネットワークを内蔵し、連想処理が容易な構成となっている。最新のLSI化技術を駆使し、STARAN(256演算セル)に比べ、MPP(128×128演算セル)と、処理可能な画像の規模が大きくなり、ハードウェアは2キャビネットに収まるコンパクトなシステムとなっている。LSI製作はHughes社、Rockwell社が担当した。システムの構成としては、プロセッサについては、LSI1チップ中に8個の演算セルを収容し、全部で、2,048チップのプロセッサを含み、メモリについては、16キロビット×1 MOS DRAM 67メガバイト、128ビット×1,024 ECL 2次元アクセスメモリ、1キロビット×4 SRAM[アクセスタイム 50ns]、2メガバイトアレイユニット(ARU)メモリ、64ビット:16レベル キューメモリ、コントロールメモリ等を含み、メモリ関係のチップ数は合計で40,000チップとなっている。ホストとしては、PDP11, VAX11/780が接続されている。性能は32ビット浮動小数点加算 470MFLOPS (1MFLOPS=1秒間に100万回の浮動小数点演算)、乗算 291MFLOPSである。3×3のコンボリューションは77MOPS (1MOPS=1秒間に100万回の演算)、8ビット整数加算は 6.6GIPS (1GIPS=1秒間に10億回の命令)である。応用分野は、クラシフィケーション、特徴抽出、パターン認識、シーンアナリシス等がある。



MPP のブロック構成

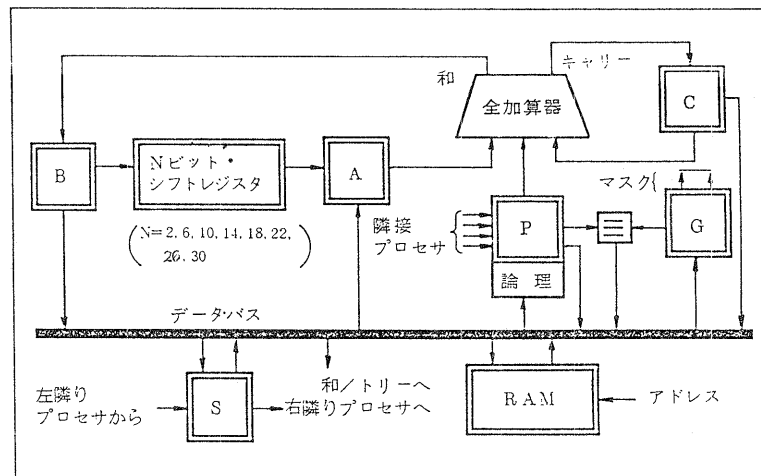


図1 MPP の PE 構成

## 2.2 CLIP7

CLIP7はロンドン大学のDuff等により開発されているCLIPシリーズの中で、CLIP4の次の機種として計画されている(20)。CLIP7の性能はCLIP4に比べ約130倍であり、CLIP4が $96 \times 96$ の2値画像を対象としていたのに比べ、 $512 \times 512$ の8ビット濃淡画像を対象とし、 $512 \times 4$ プロセッシングエレメント(PE)を持ち、1

次にスキャンする。プロセッサの接続や制御もフレキシブルとなり、汎用性を高めている。CLIP7チップ内部の構成として、データパスは8連結を基本とし、2値化ゲートにより8近傍の1ビットデータに対し同時アクセスが可能となっている。データ処理は16ビットALU、マルチモードシフタで行なわれ、近傍とのデータ入出力は順次転送で、4キロビットRAMは外付けで8ビット双方向ポートでデータ転送が行なわれる。外部制御は全てパラレルで行ない、2値化ゲート以外の制御は内部外部制御の切り換えが出来る。1画素当たりのメモリ容量は64ビット×6であり、アクセスタイム250nsである。演算は、局所演算(Negative, 加減乗除、論理演算、スレッシュホールド)、近傍演算(最小、最大、平均、シフト、フィルタ)をサポートしている。

### 2.3 セルラマシーン

1ウェーハ上に32×32のPEを並べ、マイクロブリッジを介してスタックし、3次元モジュラ構成を実現する(18)。各ウェーハの種類は5種類あり、メモリ、アキュムレータ、レプリケータ、カウンタ、フルアダ等である。データパスはWired-And構造を持っており、データに依存した処理が可能である。処理性能は1プレーン当たり、移動1.8μs、加算1.8μs、乗算42.3μs、除算152.6μs、平方根152.6μsである。

## 3 パイプライン型プロセッサ

### 3.1 シストリックアレイ

カーネギメロン大学のKungを中心に開発されたもので、正方格子あるいは六方格子上に並べられたPEに対して、上下方向、左右方向、斜め方向等、異なる方向からデータ流を間欠的に同期させて流し込み、並列パイプライン処理を行なうことを特徴としている(22)。流し込む順序、時間間隔、位相、アドレス発生などを外部で制御することで各種の処理を効率良く実行できる。LSI化を進めており、設計は学内で行ない、製造は学外のメーカに依託している。スタックに基づいたマイクロシーケンサを用いた16ビット固定小数点チップはHP社で、32ビット浮動小数点チップはTRW社で製造されている。

### 3.2 ImPP

NECで開発されたImPP(図2)は浮動小数点をベースとしたデータ駆動パイプラインプロセッサTIP-1の各モジュールの機能を複合化し1チップ内に収めたものに相当し、同種類のチップを複数個並べるだけで容易にパイプライン路を長く出来、性能増強が図れるモジュラ型のデータ駆動16ビット固定小数点ベースのVLSI(超高集積回路)である(10)。1チップでも論理演算、算術演算、シフト、比較等の演算を最大64種類まで組み合わせて実行できるので、画像処理等のベクトル演算に対しては容易に高速小型システムが実現できる。

汎用のマイコンと接続可能とするためメモリ、ホスト間のインターフェースLSIが別途1チップLSI(MAGIC)で開発されている。それ以外の外部インターフェース回路は、殆ど不要となり、コンパクトで高性能かつ柔軟なシステムが構成でき、広く補助プロセッサとして活用できる。

パイプライン技術を多用しハードウェア量が少なく、かつ高速で、データ駆動制御により、演算レベルの並列性を最大限に引き出すことができる。実行順序をハードウェアが自動的に判別してくれるので、関数型プログラミング、並列実行を極く自然な形で実行できる。

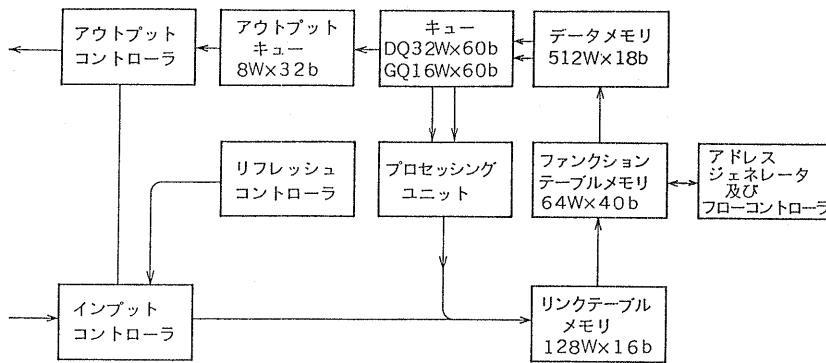


図2 ImPP ブロック図

#### 4. T I P - 3 システム

イメージプロセッサ T I P - 3 システムは 8 個の I m P P を含む I P U を中心として構成されており、データ駆動制御とパイプライン方式の採用により、高いパフォーマンスが得られている。V L S I , L S I を随所に用い、コストパフォーマンスの高いコンパクトなシステムを実現している。

T I P - 3 システムでは、一連の画像処理は複数のタスクに分解され、各タスクはそのタスクを実行するのに必要なデータが全て得られた時に起動され、複数のタスクが並列に実行される。タスクには I m P P ( 並列処理 ) タスク及び M 6 8 0 0 0 ( 逐次処理 ) タスクが含まれる。タスク毎の入れ子も出来、処理の階層化が容易となっている。

T I P - 3 システム構成を図 3 に示す。T I P - 3 システムはホストプロセッサ ( パソコン P C 9 8 0 0 ) 、外部入出力 ( タブレット [ R S - 2 3 2 C インタフェース ] 、レーザプリンタ [ 2 4 0 ドット / インチ ] 、 T V カメラ [ 2 5 6 × 2 5 6 、 8 ビット ] ) 、 T I P - 3 セル ( イメージプロセッサ ) からなる。T I P - 3 セルは 4 つの機能ユニットから構成され、 P S U ( プロセス サポート ユニット ) 、 I P U ( イメージ プロセッシング ユニット ) 、 I M ( イメージ メモリ ) 、 D C U ( ディスプレイ コントロール ユニット ) である。 P S U は 1 6 ビットマイコン M 6 8 0 0 0 ( 8 M H z ) 、ローカルメモリ ( 6 4 K W 、 5 0 n s / W の S R A M ) 、 D M A コントローラ ( 6 8 4 5 0 、 8 M H z ) 、タイマー ( 6 8 2 3 0 ) 、割り込みコントローラ、等からなり、 I P U は I m P P ( 5 M I P S ) 8 チップ、 M A G I C ( 2 0 0 n s ) 1 チップからなり、 I M は D R A M ( 2 M W 、 6 0 0 n s / W 、 表示用と処理用に合計 2 ポート、表示用のポートは 8 重インターリーブ ) から構成される。 I m P P 間のバス転送速度は 3 2 0 n s / W ( 約 3 M W / s ) であるが、 I M は C R T 表示用に 1 / 3 の時間を占有され、 I m P P から I M へのアクセスには残りの 2 / 3 が使えるので、メモリアクセス帯域は約 1 M W / s である。ホストのパソコンはプログラム開発、処理実行の制御、イメージデータや I m P P プログラムの転送、格納を行なう。 I P U は複数の I m P P を用いて並列性があるタスクを実行し、 P S U は他の逐次処理、制御等のタスクを実行する。 P S U と I P U は独立に I M をアクセスできる。

処理実行の手順としては、先ず、処理が開始される前にイメージデータ値と全ての I m P P プログラム、M 6 8 0 0 0 プログラムがホストパソコンからイメージメモリにロードされる。次に I P U 中の M A G I C は I M からプログラムをロードする。これが終わると画像処理が起動される。I P U と P S U は個々に複数のタスクを実行し、イメージメモリに独立にアクセスする。個々のタスクはそのタスクが終了すると、処理結果を必要とする複数のタスクにコピーして同時に受け渡し、終了信号を非同期で P S U モニタプログラムに発し、P S U モニタはそのタスクを終了させる。各タスクの実行は必要なデータが全て揃った時に開始される。

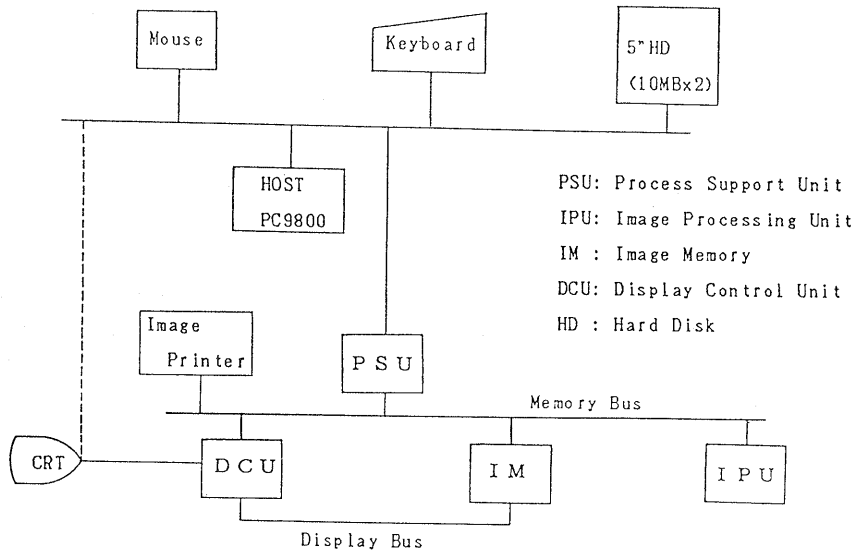


図3 TIP-3 システム

### 5. あとがき

V L S I 化へ向かっての大きな流れに沿って、画像処理システムの小型化、高性能、高機能化が推し進められており、パソコンや、ポータブル端末、ロボット視覚部品等への利用も手が届くようになってきている。性能的にも更に一桁位の向上、一桁位の小型化が見られれば、かなりのことがリアルタイムで出来るようになり、人間の視覚処理能力を上回る安価なプロセッサが登場すれば爆発的に普及することが予想される。

アーキテクチャについてもさまざまな提案が打ち出されており、なかなか統一されることは難しいであろう。従って、アルゴリズムも含めて、それぞれのアーキテクチャに相応しいソフトウェアの変換の問題は今後の課題のひとつである。アーキテクチャやアルゴリズムに関する知識ベースの構築によりソフトウェア開発の容易化、自動化が望まれる。

このような前処理的な裾野のレベルでの処理が高速化され、高精度化することで、更により高度な処理、例えば、画像認識、画像理解という方向への展開も容易となり、展望が

開けて来るのではなかろうか。このような上位レベルでの処理は、多分、人間の脳とのアナロジーから考えて、シーケンシャルな処理がかなり入ってくるものと思われ、シーケンシャルをトップとして、ツリー構造を中間とし、パラレルを接続する三層構造のアーキテクチャが必要とされ、中間のレベルでは、機能的に分散処理されると考えられる。

計算機アーキテクチャの発達は、ハードウェアから見ると、ビット数の増大、集積化の過程を経て、高度な並列化に向かっているように一見、思えるが、並列プロセッサではなかなか高速化出来ないシーケンシャルな処理も多々あり、これらがデータの依存関係や、履歴依存性に根ざしていることも指摘されている。これらが避けられないものとするれば、並列プロセッサと、シーケンシャルプロセッサの組み合わせが一つの解決策である。

今後数年間は、1チップ汎用マイコンの多ビット化と並行して、応用分野や、処理内容に依存した種々の目的別LSIの開発が続き、多様化の方向を辿るものと思われる。この多様化に寄与する原動力は、システムLSIの発達である。従来のSSI, MSIレベルでのTTLシリーズに代わり、並列プロセッサの部品に適した新しい汎用的なCMOSシステムLSIシリーズが出そろえば、容易に高性能プロセッサが組み立てられることとなる。

#### 参考文献

- (1) 福島 他：“画像処理用LSI-ISPとその応用”、OpusE, PP.76-86 (1984.6)
- (2) 佐藤 他：“高速画像処理装置【TOSPIX-II】とその応用”、OpusE, PP.110-118 (1984.6)
- (3) 長谷川：“ガリウム砒素半導体素子技術の現状と将来”、情報処理、Vol.24, No.11, (Jan.1984)
- (4) 石田：“ジョセフソン素子技術の現状と将来”、情報処理、Vol.24, No.11, (Nov.1983)
- (5) 守谷：“分子エレクトロニクスからバイオコンピュータへ”、信学誌、Vol.67, No.5(5,1984)
- (6) 一岡：“光コンピュータ”、第15回画像工学コンファレンス、(Nov.1984)
- (7) 木戸出 他：“デジタル画像高速処理装置の流れを追う”、日経エレクトロニクス、191、p.110 (1978)
- (8) 天満：“画像処理用のプロセッサ”、情報処理、25,9,pp.909-917 (Sept., 1984)
- (9) 花木：“画像処理用ハードウェア”、画像電子学会誌、11,1,p13 (1982)
- (10)  $\mu$ PD7281 ユーザーズマニュアル、日本電気(株) IEM-877 (1984)
- (11) Duff, M. J. B.: "Review of the CLIP Image Processing System", Proc. NCC, p.1055 (1979)
- (12) Luetjen, K. et al.: "FLIP: A Flexible Multiprocessor System for Image Processing", Pattern Recognition, p.326 (1980)
- (13) 福島 他：“画像処理用LSI-ISPのアーキテクチャ”、情報処理学会コンピュータビジョン研究会、No.26-6 (1983)
- (14) Dennis, J. B.: "Data Flow Supercomputers", IEEE, Computer, pp.48-56 (Nov. 1980)
- (15) Mori, K. et al.: "Design of Local Parallel Pattern Processor for Image Processing", Proc. NCC, p.1025 (1978)

- (16) Rudolph, J.: "A Production Implementation of an Associative Array Processor: STARAN", Proc. FJCC, pp. 229-241 (1972)
- (17) Batcher : " Design of a Massively Parallel Processor", IEEE Trans. on Comp., C29, 9, pp. 836-840 (Sept., 1980)
- (18) Grinberg, et al.: "A Cellular VLSI Architecture", IEEE Comp., pp. 69-79, (Jan., 1984)
- (19) Kondo, et al.: "An LSI Adaptive Array Processor", IEEE J. of SSC., SC-18, 2, (April 1983)
- (20) Fountain, et al.: "The Development of the CLIP7 Image Processing System", Pattern Recognition Letters, pp. 331-339 (1983)
- (21) Kogge, et al.: "The Architecture of Pipelined Computers", McGraw-hill Book Company, (1980)
- (22) Kung, et al.: "Systolic Arrays for VLSI", CMU-CS-79-103 (Apr., 1978) (23) 古勝 他: " 最大性能 1.3 GFLOPS , マシンサイクル 6 ns のスーパーコンピュータ SX システム"、日経エレクトロニクス、pp. 237-272 (Nov., 1984)
- (24) 天満 他 " Dataflow Processor for Image Processing " , Proc. ISMM Intn'l Symp. MIMI' 80 Asiloma, Vol. 5, No. 3, ACTA Press, 1980
- (25) 天満 他 " Template-controlled Image Processor TIP-1 Performance Evaluation" , Proc. of CVPR' 83, pp. 468-473, 1983
- (26) 岩下 他 " Modular Dataflow Image Processor", Proc. of Compcon '83 Spring, pp. 464-467, 1983
- (27) 黒川 他 " The Architecture and Performance of Image Pipelined Processor", Proc. of Image Pipelined Processor", Proc. of VLSI '83, pp. 275-284, 1983
- (28) 抜山 他 " A VLSI Image Pipelined Processor", ISSCC '84, pp. 208-209, 1984
- (29) 天満 他 " Chip-Oriented Data-flow Image Processor : TIP-3", Proc. of Compcon '84 Fall, pp. 245-254, 1984
- (30) 岩下 他 " モジュール構成のデータフロー画像処理プロセッサ" 信学技報 IE-81-78, 1981
- (31) 森下 他 " 画像処理プロセッサTIP-3 ハードウェア構成"、情処学会、コンピュータビジョン研資、 32-1, 1984. 9
- (32) 緑川 他 " 画像処理プロセッサTIP-3 言語及び実行制御モニタ"、情処学会、コンピュータビジョン研資、 32-2, 1984. 9
- (33) 岩下 他 " データ駆動型画像処理プロセッサシステムTIP-2 のハードウェア試作" , 昭58信総全大 p. 6-12