

超小型グラフィックス・システム用 チップセット

桂 晃 洋	前 島 英 雄	(株) 日立製作所 日立研究所
児 島 伸 一	倉 上 典 之	同 高崎工場
吉 田 重 秋		同 武蔵工場

車載用ナビゲータ、計測機器の表示装置、などの分野では、高性能で小型のグラフィックス制御装置が求められている。本報告では、高速のグラフィックス・プロセッサとシステム周辺LSIからなる超小型グラフィックス・システム用チップセットについて述べている。スタティックカラム・モードを用いる新たなフレームバッファ制御方式により、少ないメモリ個数でフレームバッファを構成できる。高速かつ低消費電力を特徴とするHi-BiCMOS技術を適用した1チップのシステム周辺LSIは、最高33MHzのビデオ信号周波数で動作する。このチップセットを用いることにより、グラフィックス制御回路を名刺大のボード上に実装でき、従来のボードに比較して面積で27%に小型化した。

A CHIP SET FOR SMALL GRAPHICS SYSTEMS

Koyo KATSURA, Hideo MAEJIMA	Hitachi Research Laboratory, Hitachi LTD.
Shinichi KOJIMA, Noriyuki KURAKAMI	Takasaki Works, Hitachi LTD.
Shigeaki YOSHIDA	Musashi Works, Hitachi LTD.

Hitachi Research Laboratory, Hitachi Ltd.
4026 Kuji-cho, Hitachi-shi, Ibaraki-ken, 319-12, Japan

High performance graphics processing technology is required for small graphics systems such as car navigators and instrument equipments. This paper describes a chip set which consists of a high performance graphics processor and a system peripheral LSI. A new frame buffer control architecture using static column mode can construct a frame buffer with a few memory chips. Hi-BiCMOS technology of high performance and low power consumption is used for the single chip system peripheral LSI, which can operate in the video frequency of 33 MHz at maximum. This chip set realizes a high performance graphics control circuits in a board of the same size as a name card.

1. まえがき

パーソナル・コンピュータやワークステーションなどに代表されるマイクロプロセッサ応用システムでは、グラフィックス表示機能が必須になっている。グラフィックス表示では、画面のドットに対応する大量の情報を処理する高速の処理能力が要求される。このため、汎用マイクロプロセッサのソフトウェア処理では十分な性能が得られないのが現状であり、グラフィックス処理向けの専用プロセッサ[1-6]が注目されている。

また、メモリ素子の高集積化、低価格化に伴ってグラフィックス処理はより一般的なものになり、車載用ナビゲータ、計測機器の表示装置、などの新たな市場も生まれて来ている。このような機器組込みや可搬性の要求される分野では、特に小型化のニーズが強い。CRT(Cathode Ray Tube)に代表される表示装置の制御回路では、大量のデータを読出し高速のビデオ信号を生成するため、多くの場合TTL(Transistor Transistor Logic)やECL(Emitter Coupled Logic)の標準ICが多用されている。システムの小型化のためには、表示制御回路のLSI化が必須である。

本稿では、超小型のグラフィックス・システムを指向し、高速の専用プロセッサと新たなフレームバッファ制御方式を組合せたグラフィックス・システム・アーキテクチャについて論じる。また、その応用例として、高速のデバイス技術[7]を用いて実現したLSIチップセットについて述べている。

2. 超小型グラフィックス・システムの課題

図1はグラフィックス・プロセッサとその周辺の構成を示す。グラフィックス・プロセッサは、フレームバッファ上に図形データを発生する描画処理や、CRTのラスタ走査に同期してフレームバッファ上のデータの読出しを行う表示制御に必要なデータ処理を実行する。プロセッサのまわりには、各種の周辺回路群(以下、本稿ではシステム周辺回路と呼ぶ)が必要となる。フレームバッファには通常ダイナミックRAMが

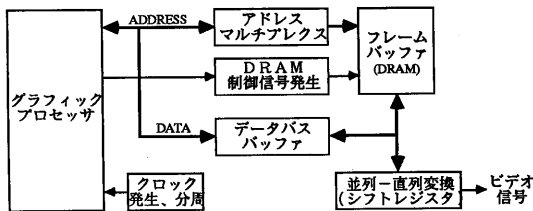


図1 グラフィック・プロセッサとシステム周辺回路

用いられているが、そのアドレス・マルチプレクス回路や制御回路、低速のメモリから読出された並列データを高速のビデオ信号に変換する回路などである。

高集積のグラフィックス・プロセッサには、直線や円などの基本図形を高速に発生する能力が求められる。大容量のフレームバッファ上に種々の図形を発生するグラフィックス処理では、フレームバッファに対する描画アクセスが頻発する。一方、ラスタスキャンCRTに安定した画像を表示するためには、CRT上での表示期間中は表示データを得るためのフレームバッファ・アクセスを優先して行わなければならない。この表示による描画アクセスの低下は、直接処理性能に影響する。また、画面が高精細になってビデオ信号が高速になればなるほど、また表示色数が増えれば増えるほど、単位時間に読出すべき表示データが増大する。このため、表示データ読出しに広いバス幅が必要になる。通常のダイナミックRAMは、端子数の制約から1あるいは4ビットのデータバスを有するものがほとんどであり、メモリ素子が高集積になっても、広いバス幅を確保するためメモリ素子の個数が減らないという矛盾が生じて来ている。システムの小型化のためには、メモリ素子の個数を減らすことが必須であり、狭いバス幅を介して高速にアクセスさせる手法を確立することが課題である。

3. フレームバッファ制御方式

3.1 メモリの高速アクセス方式

フレームバッファにはダイナミックRAMを用いるのが一般的である。スタティックRAMに比較して、集積度、価格、端子数及びパッケージの大きさの点で有利である。

ダイナミックRAMには、通常のランダムアクセスの他に以下のような各種の高速アクセス方式を有するものがある。表1はその比較を示す。

(1) ページモード

同一の行(ページ)内のデータを連続アクセスする

表1 各種のメモリアクセス方式(1MビットDRAMの場合)

項目	種類	種類			
		ページモード	ニブルモード	スタティック カラムモード	画像用デュアル ポートメモリ
ランダム アクセス	アクセスタイム	100~150 ns			
	サイクルタイム	190~260 ns			
高速 アクセス	方式	ページモード	ニブルモード	スタティック カラムモード	シリアルポート
	サイクルタイム	70~105 ns	50~65 ns	45~70 ns	30~60 ns
端子数	1M×1	18	18	18	-
	256K×4	20	20	20	28

場合にカラムアドレスの指定のみでアクセスする方法である。通常のランダムアクセスがロウアドレスとカラムアドレスを与えてアクセスするのに対し、ロウアドレスの指定が不要な分だけ高速になる。

(2) ニブルモード

カラムアドレスの下位2ビット分のカウンタ（ビット数の異なるものもある）を内蔵しており、ロウアドレスとカラムアドレスを指定してアクセスした後は、カラムアドレス・ストロブ信号を与えるだけで連続する4ワードまでのアクセスを行う方式である。ニブルモードのサイクル時間は一般にページモードよりも高速である。

(3) スタティックカラムモード

一行分のスタティック・バッファを内蔵しており、同一行内で連続アクセスする場合はカラムアクセスの指定のみでアクセスできる。一度アクセスしたデータはスタティック・バッファに記憶されており、同一行内のアクセスはそのバッファメモリに対するアクセスで良いため、ページモードやニブルモードよりも高速である。

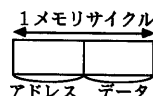
(4) 画像用デュアルポート・メモリ

通常のランダムアクセス・ポートとは別に、ビデオ信号用のシリアル・ポートを有するメモリである。一行分のデータバッファを内蔵しており、表示に先立つデータ転送サイクルでメモリ素子からデータバッファに読出したデータを、シリアルクロックに同期して順次シリアルポートから出力できる。シリアル・ポートからデータを出力している期間中にも、ランダムアクセス・ポートを介して独立に読み書きできる。

3.2 フレームバッファの小型化

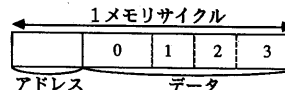
フレームバッファの小型化を追求するため、筆者らは特にボード上の占有面積に影響を与えるパッケージサイズと使用個数に注目した。例えば、640×400ドットの画面に16色で表示させる応用を考えると、1画面分のメモリ容量は約1Mビットである。1MビットのダイナミックRAM1個で済む。しかるに、表示データの読出しバス幅を確保するため、多数のメモリ素子を用いなければならない。この応用では、ビデオ信号周波数は約20MHzであり、サイクルタイム400nsのランダムアクセスで読出す場合には、読出しデータバス幅は32ビット（8画素分）となる。256Kワード×4ビット構成のメモリ素子を用いると8個のメモリが必要である。128Kワード×8ビット構成のメモリ素子を用いることも考えられるが、パッケージが大きい点が問題になる。そこで、前説で述べたメモリの高速アクセス方式を用いることを検討した。

(a) 従来方式



(b) 高速化方式

① 4アクセス/メモリサイクル



② 16アクセス/2メモリサイクル

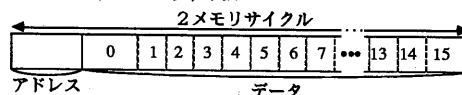


図2 フレームバッファの高速アクセス方式

画像用デュアルポート・メモリは表示中にも描画アクセスが可能であり、表示による性能低下の無い優れた方式である。しかし、端子数が多いためパッケージサイズの大きい点が難点である。小型化のためには、標準のダイナミックRAMのパッケージに内蔵される他の方式の方が有利であると判断した。図2は、フレームバッファの高速アクセス方式の考え方を示す。プロセッサのメモリサイクルを引き伸ばし、その中で複数回のデータアクセスを行わせる。①の場合は、プロセッサのメモリサイクルを2倍に引き伸ばし、4回のデータアクセスを行わせる場合を示している。従来手法に比較して、単位時間当たり2倍のデータアクセスが可能になるので、データバス幅を半分にする。また、②の場合は、2メモリサイクルを用いて16回のデータアクセスを行わせるもので、データバス幅を4分の1に減少できる。ページモードやニブルモードに対し、スタティックカラムモードを用いる方がバランスの良い設計が可能になり、より高速のビデオ信号まで対応できることがわかった。この方式は、メモリの制御回路は複雑になるが、高速デバイスを用いたLSI化が可能であれば、システムの小型化を妨げるものではない。

4. グラフィックス・システムの構築

4.1 システム構成

前章で述べたフレームバッファ制御方式を適用し、超小型のグラフィックス・システムを構築した。筆者らは、グラフィックス処理性能を向上する専用プロセッサとして、ACRTC (Advanced CRT Controller) を既に開発済みであるが、システムの超小型化を狙っ

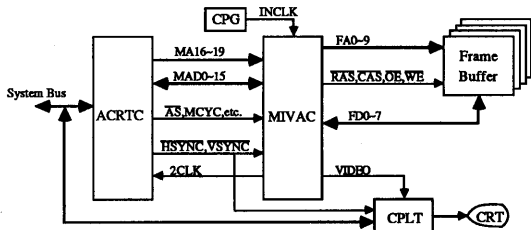


図3 グラフィックス・システムの構成例

て新たなシステム周辺LSI、MIVAC (Memory Interface and Video Attribute Controller)を開発した。図3は、これらのチップセットを適用したグラフィックス・システムの構成例を示す。

ACRTCは、汎用のマイクロプロセッサとのインタフェース機能を有しており、周辺LSIの一つとしてシステムバスに接続できる。システムバスを介して転送されるコマンドを解釈しフレームバッファ上に文字や図形を発生する描画機能と、CRTに同期してフレームバッファ上のデータを読み出す表示制御機能の両者をサポートする。フレームバッファには1~4個のスタティックカラムモード付ダイナミックRAMを用いる。MIVACは、メモリ制御やビデオ信号生成に必要な周辺ロジックを内蔵したシステム周辺LSIである。CPLT (Color Palette)は、MIVACで生成されたデジタルビデオ信号を色変換し、RGB3原色のアナログビデオ信号を生成する。

4.2 ACRTCの概要

表2は、ACRTCの概略仕様を示す。ACRTCは、CPUから転送されるコマンドを解釈し、フレームバッファ上に種々の図形を発生する。直線、多角形、円、楕円、塗りつぶし、コピー等38種類の描画コマンドを持つ。線種や模様パターンを始めとする各種の

表2 ACRTCの仕様

項目	仕様
動作周波数	最高 9.8 MHz
フレームバッファ容量	最大 2 Mバイト
描画	コマンド
	属性機能
機能	描画速度
	表示機能

表3 MIVACの仕様

項目	仕様
動作周波数	最高 33 MHz
動作モード	16種
メモリ個数	1/2/4個
素子色数	2/4/16色
シフトレジスタ	8/16/32ドット
アクセスモード	・シングルアクセスモード ・デュアルアクセスモード ・2メモリサイクル読出しモード
メモリの種類	256K×4/1M×4 スタティックカラムモード
メモリ容量	128KB ~ 2MB
その他	・カーソル表示機能 ・リフレッシュ機能(CS before RAS)
端子数	68

描画属性機能も内蔵する。フレームバッファは最大2Mバイトと大きく、16色表示では2048×2048ドットの画面サイズまで適用できる。また、画面分割、スムーズ・スクロール、拡大表示、画面の重ね合せ等の多彩な表示制御機能を有している。

4.3 MIVACの機能

MIVACは、高速、高駆動能力かつ低消費電力を特徴とするHi-BiCMOS (High Performance Bipolar CMOS)技術を用いて開発された1チップのシステム周辺LSIである。表3にその仕様概要を示す。メモリ個数(1~4個)、表示色数(1~16色)、及びメモリアクセス方式、の組合せから成る16通りの動作モードがプログラマブルに選択でき、最高33MHzのビデオ信号周波数まで対応できる。

前章で述べたメモリアクセス方式を実現するため、

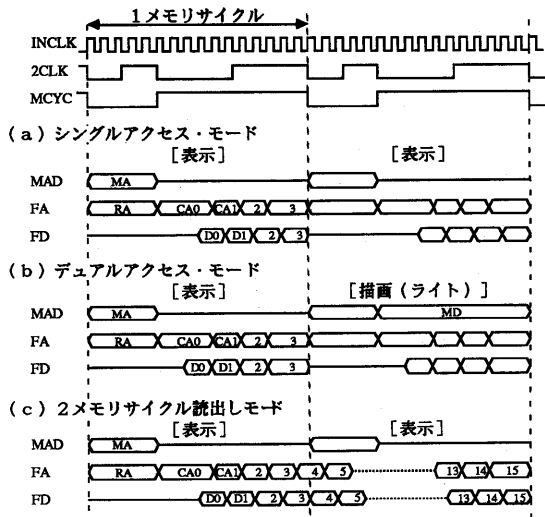


図4 メモリアスセス・タイミング

ACRTCには非対称のクロックを供給する。アドレスの動作タイミングに対してデータのアクセスタイミングを長くするためである。図4に示すように、アドレスとデータのタイミングの比は5:11とした。メモリには、データのタイミング中に4回のアクセスを行わせる。

メモリアクセス方式は次の3通りを内蔵した。

(1) シングルアクセス・モード

表示期間中は表示メモリサイクルを連続し、描画は帰線期間中に限る方法である。表示、描画の各メモリサイクル内では4回のデータアクセスが可能である。

(2) デュアルアクセス・モード

画面の表示期間中にも表示メモリサイクルと描画メモリサイクルを交互に行わせるモードである。表示期間中にも描画サイクルを確保できるため描画性能の低下は少ない。反面、1回の表示メモリサイクルで2メモリサイクル分の表示データを読み出すためシングルアクセス・モードに対して2倍のデータバス幅が必要となる。

(3) 2メモリサイクル読出しモード

ACRTCはシングルアクセス・モードとして動作するが、その2メモリサイクル中に16回の表示用データアクセスを実行するモードである。上記のシングルアクセス・モードに比較してフレームバッファのデータバス幅を半分にする。

メモリの使用個数は1, 2, 4個の3通りが可能である。図5は、それぞれの場合の接続方法を示す。M

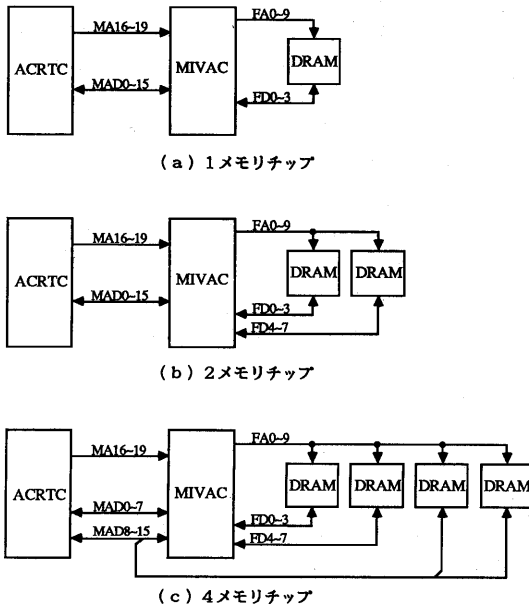


図5 フレームバッファの接続

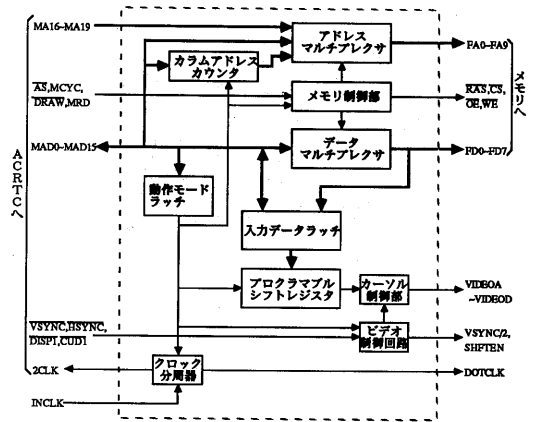


図6 MIVACの内部構成

MIVACはフレームバッファ接続用の端子を8本しか持たないが、4個動作の場合にはACRTCとフレームバッファのアドレス/データ端子に直接接続して動作できる。フレームバッファのデータバス幅が16ビットとなるため、ACRTCのアドレス/データバスと直接対応させることができるためである。

4.4 MIVACの内部構成

図6はMIVACの内部構成を示す。メモリ制御及びビデオ信号生成に必要な機能を内蔵し、ACRTC及びメモリに直接接続できる端子を備えている。主要部の機能は以下のとおりである。

- (a) アドレス・マルチプレクサ: ACRTCから供給されるメモリアドレスをもとに、ロウアドレス及びカラムアドレスをマルチプレクスして出力する。
- (b) カラムアドレス・カウンタ: スタティックカラム・サイクルを用いて連続アクセスさせるためのカラムアドレスを順次発生する。
- (c) データ・マルチプレクサ: ACRTCから供給される書き込みデータを、スタティックカラム・サイクルに同期してマルチプレクスし出力する。
- (d) 入力データラッチ: メモリからの読みだしデータを一時記憶する。
- (e) プログラマブル・シフトレジスタ: 表示用データから直列のビデオ信号を生成する。動作モードに応じてプログラマブルに動作する。
- (f) 動作モード・ラッチ: ACRTCからアトリビュート制御コードとして与えられる動作モードをラッチする。
- (g) カーソル制御部: カーソル表示信号を発生し、ビデオ信号と合成する。
- (h) クロック分周器: 入力クロックを動作モード

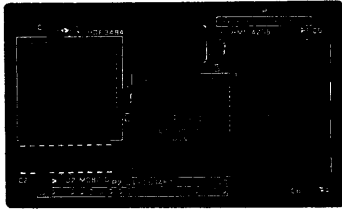


図7 グラフィックス制御ボードの例

に応じて分周し、ACRTCの動作クロック及びシフトクロックを生成する。

5. 評価

5.1 ボードサイズ

図7は、グラフィックス制御ボードの実装例を示す。ACRTC、MIVAC、フレームバッファ、及びCPLTを含むグラフィックス制御回路を名刺大のボード上に搭載している。フレームバッファには4個の1MビットDRAM(256Kワード×4ビット構成)を用いている。このボードで640×400ドット、16色表示の応用にも適用できる。フレームバッファに16個の256KビットDRAM(64Kワード×4ビット構成)を用い、ACRTC及び3個のシステム周辺LSIを組合せた従来のボードに比較して、27%に小型化できた。

表4 動作モードと応用範囲

モード	アクセスモード	メモリ個数	表示色数	最高ビデオ信号周波数(MHz)	画面構成例	
0	シングルアクセス	1	白黒	33.0	640×400, 640×480	
1			4	16.5	640×200, 480×240	
2		16	8.25	320×200, 320×240		
3		2	4	33.0	640×400, 640×480	
4			16	16.5	640×200, 480×240	
5	4	16	33.0	640×400, 640×480		
6	デュアルアクセス	1	白黒	16.5	640×200, 480×240	
7			4	8.25	320×200, 320×240	
8		2	白黒	33.0	640×400, 640×480	
9			4	16.5	640×200, 480×240	
A			16	8.25	320×200, 320×240	
B		4	4	33.0	640×400, 640×480	
C			16	16.5	640×200, 480×240	
D			4	33.0	640×400, 640×480	
E		2メモリサイクル	1	4	33.0	640×400, 640×480
F				16	16.5	640×200, 480×240
		2	16	33.0	640×400, 640×480	

表5 描画性能

(単位: 画素/秒)

算出例 コマンド	ACRTC 最高性能 (メモリサイクル: 204ns)	640×400ドット画面への適用例 (メモリサイクル: 795ns)		
		描画優先	表示優先	
			シングルアクセス	デュアルアクセス
直線、多角形	2451K	629K	189K	409K
円、円弧	1225K	314K	94K	314K
コピー	1634K	419K	126K	273K
塗りつぶし	545K	140K	42K	130K

5.2 応用範囲

MIVACは16種の動作モードを有する。表4は、それぞれの動作モードで適用可能な応用例を示す。例えば、シングルアクセス・モードで4個のメモリを用いれば(モード5)、640×400ドット、16色表示の応用に適用できる。2メモリサイクル脱出しモードを用いればメモリは2個で良い(モードF)。メモリ1個の最小構成(モード0, 1, 2, 6, 7, D, E)でも、640×400ドットで白黒表示、あるいは320×200ドットで16色表示といった応用が可能である。動作モードの選択により、幅広い応用分野に適用できる。

5.3 描画処理性能

640×400ドットの画面の例では、1画面周期の約70%が表示期間で残りの30%が帰線期間である。表5は、各コマンドの描画性能を示す。単位は1秒間の描画画素数である。ACRTCは、高速のメモリと組合せれば、最高9.8MHzでの動作が可能である。この場合の1メモリサイクルは204nsである。640×400ドットの画面への実際の適用例としては、安価な低速メモリとスタティックカラム・モードの適用を想定し、1メモリサイクルが795nsの場合を示した。シングルアクセス・モードで表示優先にすると、描画優先の場合に対し30%に性能低下する。これに対してデュアルアクセス・モードでは、表示期間中にも描画アクセスを確保でき、性能低下の度合いは小さくなる。直線のように描画アクセスが密に発生するコマンドでは、描画優先の場合の65%に低下する。円や塗りつぶしの場合は、描画アクセスに空きが有るため表示優先にしても性能低下はほとんどない。

6. むすび

以上、グラフィックス・プロセッサとシステム周辺LSIからなる超小型グラフィックス・システム用チップセットについて述べた。スタティックカラム・モードのダイナミックRAMを用いる新たなフレームバ

ツファ制御方式により、少ないメモリ個数で済ませることができる。1チップのシステム周辺LSIは、高速、高駆動能力かつ低消費電力を特徴とするHi-Bi CMOS技術を適用して開発した。メモリ個数、表示色数、及びメモリアクセス方式、の組合せから成る16通りの動作モードがプログラマブルに選択でき、最高33MHzのビデオ信号周波数まで対応できる。このチップセットを用いることにより、グラフィックス制御回路を名刺大のボード上に実装でき、従来のボードに比較して面積で27%に小型化した。コスト・パフォーマンスの高いグラフィックス・システムを容易に構築できる。

グラフィックス・システムの高性能化、低価格化のニーズはますます強くなっている。今後、更にプロセッサの高性能化を図ると共に、システムニーズに合わせたLSI化を推進する必要があると考えている。

最後に、本研究に当り、有益なご助言を頂いた日立製作所・日立研究所増田郁朗氏、同高崎工場井口慎介氏、同武蔵工場島田舜二氏に謝意を表します。

【参考文献】

- 1) 小口：“1ドットを800nsで描画できるラスタ走査CRT用グラフィック・コントローラLSI”，日経エレクトロニクス，No.275，pp.186-209(1981)
- 2) K.Katsura, et al.：“VLSI for High Performance Graphic Control Utilizing Multiprocessor Architecture” IEEE Trans. on ED, Vol.ED-32, No.11, pp.2232-2237(1985)
- 3) 御法川，ほか：“座標で描画位置を指定でき、塗りつぶしやコピーなど豊富なコマンドを持つCRTコントローラ”，日経エレクトロニクス，No.343，pp.221-254(1984)
- 4) M.Asal, et al.：“The Texas Instruments 34010 Graphics System Processor”，IEEE CG&A, Vol.6, No.10, pp.24-39(1986)
- 5) 鈴木：“マルチウィンドウ制御をハードウェア化したグラフィックス・コントローラLSI”，日経エレクトロニクス，No.395，pp.221-250(1986)
- 6) 小口，ほか：“ μ PD7220後継のグラフィックス・コントローラLSI、コピーや塗りつぶし機能を強化”，日経エレクトロニクス，No.415，pp.133-160(1987)
- 7) 増田，ほか：“バイポーラCMOS複合による高速論理回路”，電子通信学会論文誌，Vol.J67-C, No.12, pp.999-1005(1984)