

デジタルPLLを内蔵するCD用DSP-LSI

森島 守人 星 十郎 土戸 利昭 *伏木 達郎 *藤原 一伸 **畑 雅恭

ヤマハ(株) 電子デバイス事業部 半導体技術部 システム設計課
静岡県 磐田郡 豊岡村 松ノ木島203

*ヤマハ(株)AV機器事業部
静岡県 浜松市 中沢町10-1

**名古屋工業大学
名古屋市 昭和区 御器所町

あらまし CDプレーヤー用DSPで用いられるPLLは音質に影響の大きい回路である。これを高性能かつ安定に動作させるためにDPLL(デジタルPLL)を開発した。今回開発したDPLLは位相を数表現したことでアナログPLLと同様の設計手法を応用でき安定なPLLを開発できた。100MHz周波数シンセサイザーを開発し動作周波数を向上させた。デジタル回路であることを応用しCD用PLLでは困難であった周波数比較回路を強力に行ないキャプチャレンジを広くすることができた。この結果、8.6MHzの中心周波数、-1500、+890kHzのキャプチャレンジのDPLLを実現できた。

和文キーワード DPLL、周波数シンセサイザ、CDプレーヤ、LSI、デジタルVCO

DSP-LSI for CD-Player Using DigitalPLL

Morito Morishima, Jyuurou Hoshi, Toshiaki Tuchido, Tatsuo Fushiki, Kazunobu Fujiwara, Masayasu Hata**

YAMAHA corp. LSI design Department.
203 Matsunokijima toyooka-mura Iwata-gun Shizuoka-ken

YAMAHA corp. AV Div.*
10-1 Nakazawacyo Hamamatsu-shi Shizuoka-ken

Nagoya Institute of Technology**
Gokiso-cyo Syouwa-ku Nagoya-shi

Abstract PLL is one of the key technologies of high fidelity CD-Player. This paper describes high performance implementation of PLL for CD-Player using digital processing technique. (DPLL) The architecture is similar with analog PLL, but full digital processing. This will not any compatible with analog PLL design theory, but also very stable. In addition, DPLL adapts a high frequency synthesizer(100MHz) and powerful frequency comparison circuit to wider capture-range. the capture-rang of DPLL is between $F_0-1500\text{kHz}$ and $F_0+890\text{kHz}$, where, F_0 is center frequency, 8.6MHz.

英文 key words DPLL, Frequency Synthesizer, CD-player, LSI, DigitalVCO

1 まえがき

CD (Compact Disc) プレーヤーのキーデバイスである専用DSPはコストダウン・高性能・高信頼性の要求が非常に強い。CDの光学ピックアップから読み出されるEFM (Eight-Fourteen-Modulation) 信号をデジタル信号として再生させるためのPLL回路はCDプレーヤーの性能を決定付ける一つの要素であり重要な回路である。

今回我々は、このEFM信号再生回路のDPLL (Digital PLL) を開発した。従来、この回路はアナログPLLで構成されていることが多かった。このため、部品点数の増大と、VCOの調整によって、安定した高性能PLLの実現が困難であった。また、DPLLの試みは他にもあったが⁽¹⁾、アナログPLLに比べ、十分な性能が得られなかった。我々は、DPLLを構成するにあたり、100MHz周波数シンセサイザーを開発し、位相分解能を向上させた。

また、新しい構成の位相比較器を開発し、アナログPLLの特性を応用できた。さらに、強力な周波数比較器を構成し、CD用PLLのキャプチャレンジを広げることができた。これらの技術より、従来よりも安定かつ高性能なPLLを実現することができた。

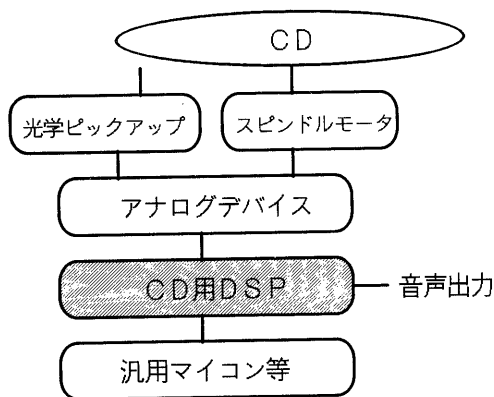


図1. CDプレーヤーの構成図

2 CDプレーヤーの全体構成

図1はCDプレーヤーの構成図である⁽²⁾。CDプレーヤーの電気系はCD用DSPデバイスとアナログデバイスと汎用1チップマイコンで構成されている。DSPでデジタル制御信号を発生させ、アナログデバイスがその制御信号を変換し、ピックアップ・スピンドルモーター等を駆動している。また、これらのシステムのコントロールは、汎用マイコンで行なっている。

図2はCD用DSPの構成図である。光学ピックアップから読み出されるEFM信号はディスクから再生されるワウフラ成分を含んだシリアルデータである。この信号はスライスレベルコントローラでデジタル化され、PLLによってデータのビット・クロックが再生される。このクロックは、シリアルデータを処理し音声データまで復調・訂正するために利用される。このため、PLLの性能が音声の再生までの時間と音質に影響を与える。

このデバイスは他に光学ピックアップをコントロールする回路、ディスクのスピンドルモーターを制御する回路、ピックアップを移動させるフィード制御回路、指定された再生時間をサーチする回路、1bitDACを構成するための3次ノイズシェーパー等が含まれる。

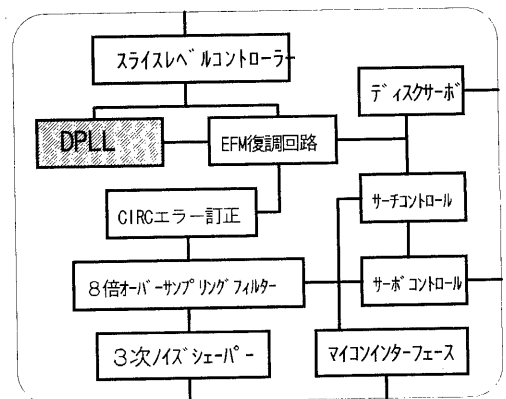


図2. CD用DSPの構成

3 PLL要求仕様

PLLはCDのワウフラを吸収し、かつ、PLLが再生するクロックのジッタを小さくしなければ、再生音データのビット誤りの原因となり、最終的な音の品位に影響が出る。

また、CDはCLV（Constant Line Velocity, 線速度一定）で記録されているため、ディスクの内周・外周で回転数が異なる。このため、再生位置を大きく移動させた場合、EFM信号が中心周波数に対してずれてしまう。このためにPLLが周波数に追従するまで正しい音声データは再生されない。したがって、PLLのキャプチャレンジと応答スピードが重要視される。

これらのことから、従来PLLは次のような仕様が要求されていた。

CDプレーヤー動作モード	通常速	倍速
再生クロック 中心周波数	4.32MHz	8.64MHz
キャプチャレンジ	±130KHz	±260KHz
ロックレンジ	±430KHz	±860KHz
閉ループゼロクロス周波数	30KHz	40~60KHz
再生クロック・ジッタ	20ns	10ns

4 DPLL構成

今回開発したDPLLの基本的な構成を述べる(3)。

DCO・PC

DPLLを実現するためのDCO（デジタル制御発振器）とPC（位相比較器）の構成を図3に、動作タイムチャートを図4に示す。DCOの入力が2Mの時、DCOを $-M$ ~ M までカウントさせる。この時カウント数を位相情報として表現させる。最大カウント値・ M が位相 π であるので、DCO出力数に π/M を乗ずれば位相情報に変換できる。DCOが'0'のとき位相差0[rad]と表現できるので、入力信号のエッジ等でこのDCO値をラッチすれば、DCO発振と入力信号の位相差（PC出力）が得られる。即ち、位相をDCOのカウント数で表現させ位相差を直接、数（digital）で得ることができる。

ここで、現実の動作周波数を決定するのは、DCOカウンターである。現状のLSIプロセスを用いれば、8bit、100MHz程度のカウントは実現可能である。この様にして得られたDigital位相比較出力をDigital LPF(Loop Filter)によって処理すれば、安定なDPLLが構成できる。

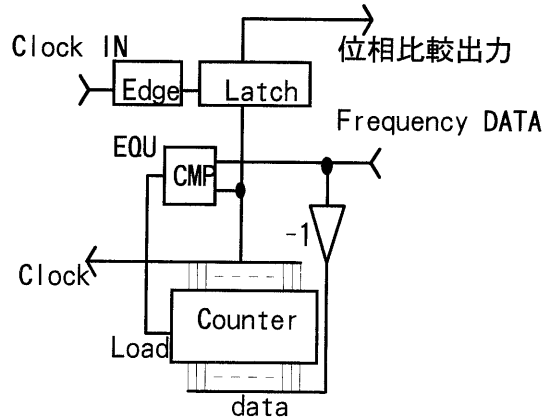


図3. DCOとPCのブロック図

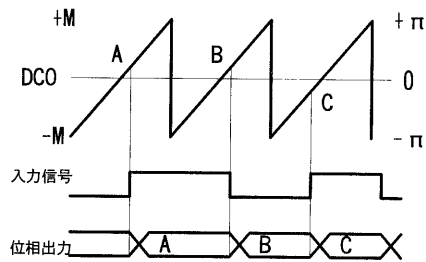


図4. DCOとPCのタイミングチャート

LPF (Loop Filter)

アナログPLLでは一般にラグリード型のLPFが用いられている。完全積分型は性能が期待できるがアナログでは扱いが困難である。DPLLではロジック回路でこれを安定に動作するようにDSP回路を工夫し採用することができた。

LPFのデータ語長が大きくなければ、ロックレンジを決定するDCゲインと、応答速度を決定する高周波特性を両立出来ない。しかし、乗算器を用いる一般のDSPではデータ語長に反比例して、演算速度が低下する。これではループ内の位相遅れを生じ安定な動作を保証できなくなる。

そこで、図5に示す係数感度の低いDigital LPFを採用した。完全積分型LPFなので、ロック・キャプチャレンジはDCO、LPFのデータ語長で決定される。PLLの安定性を保証するため、ゲイン余裕を乗算器A0で制御する。オクターブ単位のゲイン調整で十分であるので、6dB程度のコントロールが可能である。したがって、A0・A1とも乗算器はBit Shiftで実現できる。また、ディ

レーを通らない加算器は1つであり、これがLPFの遅延を決定している。この構成を用いれば、高速演算が可能であり、回路規模はさほど大きくならない。

全体の構成

以上のことより、DCO、PC、LPFを組合せ、基本的なDPLLを構成できる。その結果、図5のようなシグナルフローグラフが設計できる。fsでサンプリングしているのはLPFの動作できる周波数に落とすためである。θ1のスペクトルはCDの場合、fsに比べ十分低いので、折り返しの影響は少ない。

特性解析

これらのことから、次式が導かれる。

$$H_0(z) = K_p \frac{1 - z^{-1}}{s} f_s \left(A_0 + \frac{A_1}{1 - z^{-1}} \right) K_f \frac{1}{1 - z^{-1}} \quad (1)$$

LPFの特性は現在のアナログPLLに近い f_{LF} (完全積分形LPFのゲインの変化する周波数) となるように $A_0 A_1$ を次のように設定している。厳密には6 dB単位での設定になるため、アナログPLLにくらべ、多少ゲインが低い。LPFのサンプリング周波数は、アナログの時定数より十分大きな周波数で演算可能な4.23MHzとしている。

サーチ中 (高速応答)

$$A_0 = 2^{-5} \quad A_1 = 2^{-10} \quad f_{LF} = 21.6 \text{ kHz}$$

プレイ中 (定常特性)

$$A_0 = 2^{-5} \quad A_1 = 2^{-16} \quad f_{LF} = 338 \text{ Hz}$$

この値を代入し、周波数応答を計算すると次のようになる。図6はLPF特性 (高速応答と定常特性)、図7は開ループ特性と閉ループ特性である。(1)式でも分かるように、サンプリングが2系統で行なわれている。サンプル・ホールド特性の影響で、DCゲインの折返しが0 dBを超えることはなく、システムは安定である (図8)。これらの結果か

ら分かるように、本手法はアナログPLLでの周波数応答特性を模倣できる事が分かる。

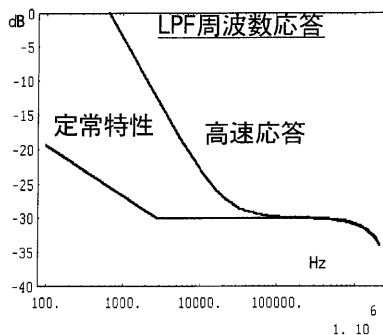


図6

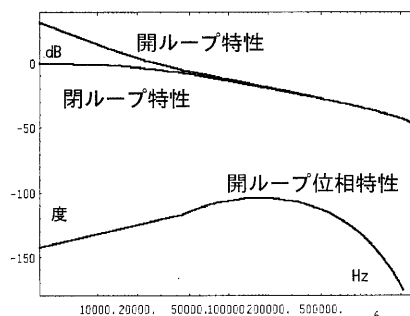


図7

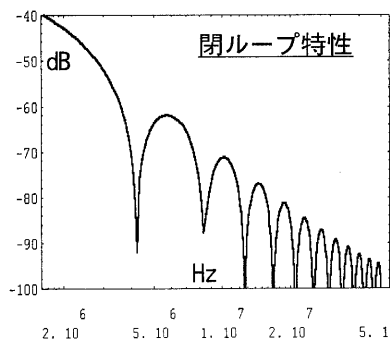


図8

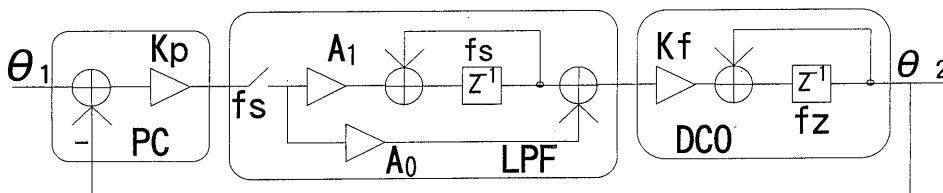


図5 DPLL Signal Flow

5 CD用DPLL回路

以上が基本的なDPLLの構成である。これをCDのシステムに合わせるため次のような点を施した。

EFM信号は単一の周波数ではなく、CDの特性に合わせた変調が施されている。このため、データによってはキャリア以外のスペクトルがPLLに影響を及ぼす。特に、無録音状態などの固定データ・パターンのときに、キャリア近傍にあるキャプチャレンジ内のスペクトルにロックしてしまう。これを、サイドロックと呼ぶ。先に述べたように今回のDPLLはキャプチャレンジが広く取れるがCDに利用する場合、このサイドロックを防がなくてはならない。

これを防ぐために、CD用のDPLLでは、FC（周波数比較回路）を位相比较器とは別に設けた。サイドロックを起さぬよう全ての周波数帯域で検証するのは困難であったので、実際のLSI回路では、キャプチャレンジを中心周波数の15%程度で抑えている。この範囲ではサイドロックを起さず、問題無く動作する。従来アナログPLLでは安定にこの値を出すのは困難であった。

CDではこの他に、動作モード（通常再生・サーチ状態・起動時）に応じてPCやFCの動作を切り替えて、安定かつ高速に動作させている。

PLL再生クロックジッタは20/10nS程度必要であるので、周波数分解能として、10nS程度必要である。そこで、DCO・PCを動作させるために、100MHz程度の周波数が必要になる。これをLSI外部から供給するのは民生では困難である。クリスタルを利用した通倍器でLSI内部で発振させる必要がある。これが、周波数シンセサイザである。

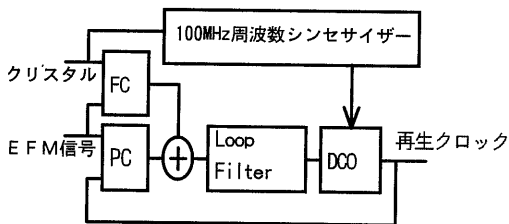


図9. CD用DPLLの構成

6 100MHz周波数シンセサイザ

100MHzの周波数を安定に発振させるのは、従来のリングオシレータでは極めて困難である。リングオシレータ等を応用したVCOはループの利得で発振周波数が決まる。今回のデバイスはデジタル用のプロセスを利用するため、CmosTrの能力は大きく変動する。そして、Trの能力がそのまま発振周波数に影響する。したがって、Trの能力に依らないVCOを設計しなくてはならない。

そこで、今回は、比較的、LSI内部での変動が少ないMosTrのゲート容量と定電流回路でコントロールすることを試みている。すなわち、Trのスイッチング時間よりも、定電流源とゲート容量による充放電時間の方が大きければ、周波数はこの電流が支配的になる。そこで、Opampと外付けの高精度抵抗とカレント・ミラー回路で実現した。図10がその回路である。VCO出力を6分周して測定したのが図11である。

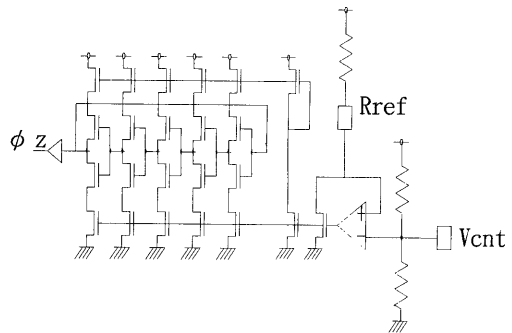


図10. VCO構成図

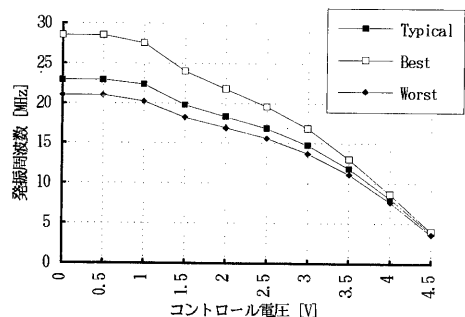


図11. VCO特性

7 評価結果

実際にデバイスを開発し特性を評価した。実際に開発したDPLLブロックの写真を図12に示す。使用プロセスは1 μ m、一層メタルで、大きさは約1.1 \times 1.8[mm]である。

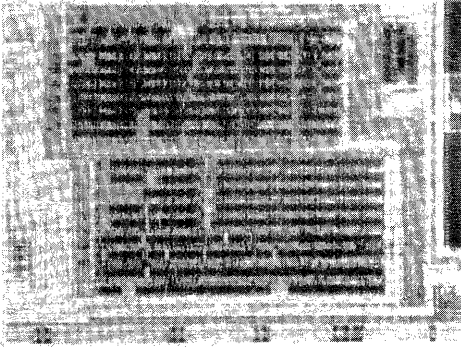


図12. DPLLチップ写真

実際の応答過程をモニターするのはLSIの内部デジタル信号を測定する必要があり困難である。そこで、LSIと同じロジックデータと、CDプレーヤーから吸い上げたデータを用いてロジックシミュレーションを行ない応答波系を求めたのが図13である。この図中で細かいノイズ波形は、ビットスキューをしているため上位ビットと下位ビットの時間遅れが生じビットの変化点でのノイズである。このグラフから分かるように、おおよそ600 μ sで応答している。



図13. DPLL応答波形

次に、EFM信号を発生させる機器を用いて、EFM信号のジッタ量とエラー訂正回路で計算されるエラーレートをDPLLとアナログPLLについて測定した(図14)。DPLLがアナログより優れているのは、中域のPLL・閉ループゲインが小さいためである。中低域を固定し高域のみのゲインを可変させてもさほどエラーレートに変化はない。

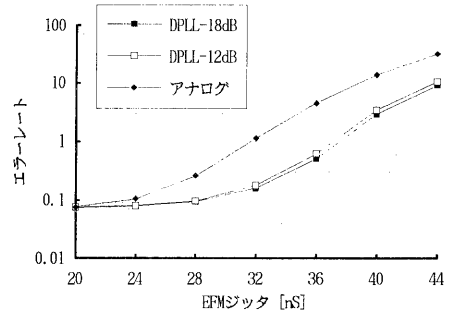


図14. ジッタ特性

完全積分形を採用したDPLLは中域のゲインを落してもロックレンジには影響はない。一方、応答スピードは周波数比較器がアナログより強力であるため、引き込み時間に影響は現われない。

図15は、CDプレーヤーの各動作モードでのPLLの応答時間を測定したものである。この応答時間はPLLが動作し始めてから、引き込み、安定に再生して、かつ、エラーが観測されなくなるまでの時間である。アナログと比べて応答時間が長いほど差が出るのは、周波数比較器に依るところが大きいと思われる。

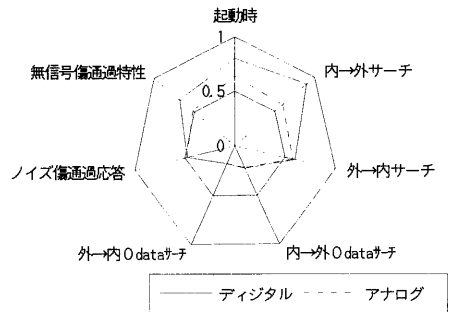


図15. 応答スピード

次の表はキャプチャレンジを測定した結果である。D C O内でリミットをかけている値が設計動作範囲である。この値がキャプチャレンジの値として測定できた。この値は、周波数シンセサイザーが安定に動作している範囲（温度、電圧、プロセス変動）で安定に再現する。

Monolithic PLL IC's" IEEE J.Solid-State Circuits, Vol.23, No2, April 1988

(7) K.Ware, H.Lee, C.Sodini, "A 200MHz CMOS Phase-Locked Loop with Dual Phase Detectors", ISSCC89

モード	動作範囲	測定値	キャプチャレンジ	
	MHz	MHz	KHz	%
通常再生	3.695	3.6	660	-15.42
	5.08	4.9	680	15.69
倍速再生	7.1303	7.1	-1540	-17.8
	9.6768	9.5	890	10.3

8 まとめ

今回、新しいD C Oと位相比較回路を実現し、デジタル信号処理技術を応用できるD P L Lを開発できた。これによって、V C Oの無調整が可能になり、部品点数も激減した。このため、C Dプレーヤーの安定性・信頼性を向上させることができた。また、アナログでは実現不可能な広いキャプチャーレンジも実現できた。今後、さらなる動作範囲の拡大も狙える。

本方式は、マスタークロックの周波数を分周して行なうため十分に高いクロックが必要である。これを得るために今回は周波数シンセサイザーを用いた。これをいかに安定に設計するかがD P L Lの信頼性を決定付ける。

以上、再生クロックの10数倍程度の発振周波数が得られれば、本手法を用いてD P L Lを開発できると思われる。

参考文献

- (1) 畑 ほか、" P L L制御回路設計事例集"、トリケップス WS 68
- (2) 中島、小川、" コンパクトディスク読本"、オーム社(1982)
- (3) 森島、星、伏木、藤原、畑、" 位相を数表現したD P L Lの開発"、1992秋信学全大C-447
- (4) 畑、" デジタル位相同期ループ"、電子情報通信学会誌('86-9)
- (5) 畑、古川、" P L L-I Cの使い方"、秋葉出版(1986)
- (6) K. Kato, T. Sase, H. Sato, I. Ikushima, S. Kojima, "A Low-Power 128-MHz VCO for