

密行列専用計算機 GENERAL-1 の開発

清木 泰、福重俊幸、泰地真弘人、牧野淳一郎、小河正基、戎崎俊一
(東京大学教養学部)

要旨

係数行列が密である n 元連立一次方程式を高速に解くための専用計算機について述べる。密行列を解く際にはガウスの消去法が通常使われる。ガウスの消去法の演算量は、行列の大きさ n の 3 乗に比例する。そのため、大規模密行列を解くためには、高い計算能力が要求される。ガウスの消去法において、 n^3 のオーダーの演算量を要するのは前進消去の制限三項演算または内積演算のみである。本論文では、この内積演算のみを専用計算機で解き、残りの演算を既存の汎用機で行なうシステムについて論ずる。現在、この密行列専用計算機の試作機 GENERAL-1 を製作中である。GENERAL-1 のピーク性能は 80Mflops (倍精度計算時) であり、 $n = 1000$ の連立 1 次方程式を約 20 秒で解ける。

A special-purpose computer for solving a dense matrix based on the Gaussian elimination algorithm: GENERAL-1

Yasushi Seiki, Toshiyuki Fukushige, Makoto Taiji,
Junichiro Makino, Masaki Ogawa, and Toshikazu Ebisuzaki
College of Arts and Sciences, University of Tokyo

Abstract

We describe a special-purpose computer for solving a set of linear equations. We usually use Gaussian elimination algorithm to solve a dense matrix. In this method the number of operations to solve the matrix is proportional to a cube of the matrix size. Therefore, we require a large amount of computational power for large-scale problems. However, the calculations are dominated by sum-of-products operations in the forward eliminations. In the paper, we propose a system that consists of a special-purpose computer and a host computer. The special-purpose computer does only sum-of-products operations, and the host computer does all the other operations. We are developing an experimental machine of GENERAL-1 (Gaussian Elimination method parallel machine). It will have a peak performance of 80Mflops and will solve a matrix of $n = 1000$ in 20 seconds.

1 はじめに

差分法・有限要素法・境界要素法 [5][6] などの数値シミュレーションを行なう際に、連立1次方程式を解く必要が生ずる。よって連立1次方程式を速やかに解く手段への需要は大きい。 A を係数行列、 \vec{x} を解ベクトル、 \vec{b} を定数項ベクトルとすると、 n 元連立1次方程式は、行列とベクトルを用いて次の様に表せる。

$$A\vec{x} = \vec{b} \quad (1)$$

式 (1) を直接解法で解く場合に、最も演算量が少ないのはガウスの消去法である。本論文では、係数行列が密行列である連立1次方程式をガウスの消去法系統のアルゴリズムを用いて高速に解くための専用計算機について論ずる。

係数行列 A をガウスの消去法で解くことは、 A を LU 分解する、すなわち、 A を下三角行列 L と上三角行列 U の積

$$A = LU \quad (2)$$

と表すことと等価である [1][4]。ガウスの消去法は、前進消去と後退代入の2つのステップからなる。前進消去は、式 (1) を

$$U\vec{x} = L^{-1}\vec{b} \quad (3)$$

の様子上三角行列の方程式に変形する。後退代入では、式 (3) より解を x_n から順に求める。ガウスの消去法のプログラムの詳細については、参考文献 [1] を参照されたい。以後、 a_{ij}, l_{ij}, u_{ij} は、行列 A, L, U の i 行 j 列の要素とする。

ガウスの消去法に必要な演算回数を見積ると、前進消去の制限三項演算（または内積演算）

$$a_{i,j} = a_{i,j} - l_{i,k} \times u_{k,j} \quad (4)$$

が3重ループの中にはいっており、 n^3 のオーダーの計算量を必要とする。これに対し、後退代入などの他の部分の演算回数は n^2 の計算量で充分である。 n が大きいと、式 (4) の部分に他の演算よりもはるかに多い回数の演算が必要となる。そこで、この部分のみを高速に実行する専用計算機を作ることにした [7][8]。図1は専用計算機を用いた直接解法計算システム概念図である。

式 (4) の演算は k, i, j についての3重ループとなっている。この添字の順番を任意に入れ

換えたガウスの消去法が可能であって [1][3][4]、それぞれ、専用計算機化した場合の計算機構造が異なってくる。

以下まず、2章では3重ループの順序を入れ換えた種々のガウスの消去法を比較して、専用計算機に適した解法を示す。3章では、専用計算機を用いたガウスの消去法のアルゴリズムを示す。4章では、専用計算機のハードウェアについて論ずる。5章では、システムのパフォーマンスについて評価する。最後に6章で、密行列専用計算機の将来像について触れる。

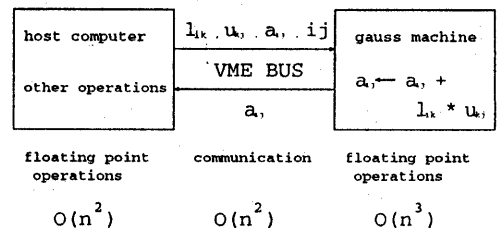


図1: 専用計算機とホストを併用する計算システム

2 ガウスの消去法と専用計算機

前章で述べたように、内積演算の3重ループの添字の順序を入れ換えられる。この添字の入れ換えにより6通りの解法が原理的に可能である。これらをループの入れ子の順（外側から）に応じて、 ijk 型、 ikj 型、 \dots 、 kji 型と名づける。しかし、このうち、 i ループが最も外側になる解法 (ikj 型と ijk 型) は部分軸選択ができないので、ここでは考慮しないことにする。また、 kij 型と kji 型には本質的な違いはない。従って、ガウスの消去法は kji 型、 jki 型、 jik 型の3種類に分けられる。以下これらについて、専用計算機化した場合の計算機アーキテクチャとその得失を論ずる。計算機アーキテクチャを論じる観点からは、次のものが挙げられる。

- 演算器で行なう計算の種類。専用計算機内のデータの流れを決定する。

- メモリの役割・容量の大きさ。専用計算機上の行列要素用メモリ・列ベクトル用メモリをそれぞれ行列メモリ・列ベクトルメモリと呼ぶことにする。行列メモリの果たす役割が行列メモリの必要容量を決める。
- 並列化可能性。高速な計算システムを構築するための重要な要素である。特に行列メモリの分割可能性が問題となる。
- 演算の専用 LSI 化。計算の高速化のためのもう一つのアプローチである。LSI 化した場合には複数の演算器を一つの LSI に実装することができる。特に、入出力ポートを演算器数に応じて増やすことは困難なので、入出力を増やさずにできるだけたくさんの演算器を効率よく使う方法が重要となる [7]。

2.1 kji 型ガウスの消去法

図 2 に kji 型ガウスの消去法の専用計算機アーキテクチャのブロック図を示す。以後示すブロック図は全て、制御部（インターフェイス、カウンタ等）を省略している。

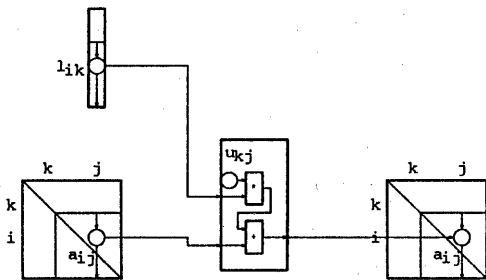


図 2: kji 型専用機のブロック図

(a) 演算器 kji 型ガウスの消去法では、3 重ループの最も内側が i ループである。式 (4) の演算中の添字を i についてのみ表すと次のようになる。

$$a_i = a_i - l_i \times u \quad (5)$$

つまり、 u_{kj} は定数扱いができる。これより、演算器は制限三項演算を行なうことになる。

(b) メモリ u_{kj} は演算器内のレジスタに入れる。行列メモリには、第 k 段目の前進消去

を受ける a_{ij} を収納する。列ベクトルメモリには l_{ik} を入れる。

ボードには係数行列 A の大きさにほぼ等しい行列メモリを乗せる必要がある。また、行列メモリでは、計算中は毎クロックごとに読みだしと書き込みが行なわれる。行列メモリは奇数番号列と偶数番号列に分け、各サイクルで読みだし・書き込みを切替えることによりインターリーブも可能である。

(c) 並列化 kji 型については、 j について並列化した場合に行列メモリは列単位に分割される。行列メモリの分割可能性は、大規模並列化のための重要な要素である。

(d) LSI 化 演算器と列ベクトルメモリをカスタム IC 化して専用 LSI にする場合、 kji 型では、多段同時消去のためのハードウェアを LSI に実装するのがよい。多段同時消去は複数の k に対して式 (3) の制限三項演算を行なうもので、たとえば、2 段同時消去は次の様に表される。

$$a_{i,j} = a_{i,j} - l_{i,k} \times u_{k,j} - l_{i,k+1} \times u_{k+1,j} \quad (6)$$

m 段同時消去にした場合には乗算器と加算器それぞれ m 個を 1 つの LSI に実装する。このとき入出力ポートは入力ポート、出力ポートがそれぞれ 1 つだけで済む。

2.2 jki 型ガウスの消去法

図 3 に jki 型ガウスの消去法の専用計算機のブロック図を示す。

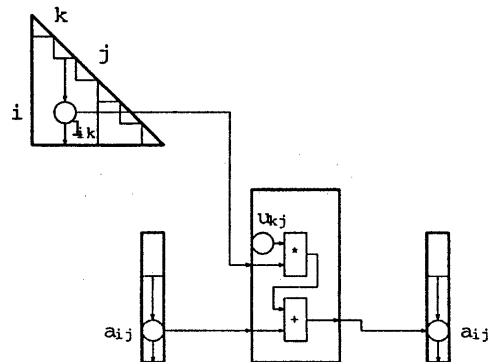


図 3: jki 型専用機のブロック図

(a) 演算器 jki 型ガウスの消去法では、 kji 型と同じく、3重ループの最も内側が i ループである。よって、演算器は制限三項演算を行なう。

(b) メモリ jki 型の場合は、行列メモリに l_{ik} を、列ベクトルメモリに a_{ij} を入れる。

jki 型では、行列メモリは A の半分の容量でよい。行列メモリに収納するのが下三角行列である L だからである。 a_{ij} を収納する列ベクトルメモリは2つ用意しておく。 k が変わるときに、2つの列ベクトルメモリの役割を交代させる。

(c) 並列化 jki 型については、 k について同時化した場合に、行列メモリが列単位に分割される。しかし、これは多段同時消去にあたるので、大規模並列化に向いていない。

(d) LSI化 専用 LSI 化する場合には、 j についての並列化を実現したものが適当である。この場合の入力ポートは1つとなる。出力ポートは、毎クロック用には必要ない。

なお、多段同時化した専用 LSI は、 jki 型の場合には適当でない。入力ポートが、同時化した段数に応じて増えるからである。

2.3 jik 型ガウスの消去法

図4に jik 型ガウスの消去法の専用計算機のブロック図を示す。

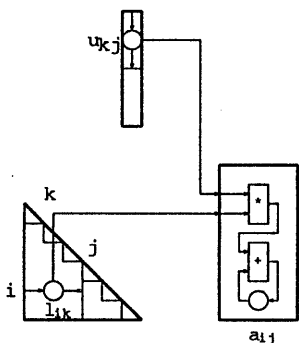


図4: jik 型専用機のブロック図

(a) 演算器 jik 型ガウスの消去法では、最も内側のループが k である。式(4)の添字を k についてのみ表すと次のようになる。

$$a = a - l_k \times u_k \quad (7)$$

他の型とは異なり、演算器は内積演算を行なう。毎クロックごとに計算結果を演算器の外に流す必要はない。よって、データの流れが単純になる。

(b) メモリ 前進消去を受ける a_{ij} が演算器内のレジスタに入る。行列メモリには l_{ik} が、列ベクトルメモリには u_{kj} が収納される。 jki 型と同様に、行列メモリは A の半分でよい。

(c) 並列化 jik 型については、 i について並列化した場合に、行列メモリが行単位に分割される。

(d) LSI化 専用 LSI 化する場合には、 j についての並列化を実現したものが適当である。 jki 型と同様に入力ポート1つを要する。

3 GENERAL-1 を用いた jik 型ガウスの消去法

今回試作する密行列専用計算機 GENERAL-1 では、 jik 型ガウスの消去法を採用した。試作機のつくりやすさの観点からも、大規模並列化の観点からも優れているからである。その利点をまとめると以下の様になる。

1. jik 型の試作機では、内積演算を行なうだけなので、データの流れが単純である。メモリに毎クロックごとに結果を書き込みをする必要がない。
2. 行列メモリには L を収納するので A の半分でよい。
3. 大規模並列化をする場合でも、 j, i についての並列化は容易である。
4. 専用 LSI には入力ポート1つですむ。専用 LSI を用いて j, i について自由に並列化ができる。 jki 型の場合も専用 LSI では入力ポート1つですむが、この場合には k についての同時化が困難になる。

GENERAL-1 では、 j について4つ並列化を行なう。 jik 型ガウスの消去法のアルゴリズムのうち、専用計算機で行なう演算を取り出すと次の様になる。

$$a_{i,j} = a_{i,j} - \sum_{k=1}^{\min(i-1, j-1)} l_{i,k} \times u_{k,j} \quad (8)$$

$$a_{i,j+1} = a_{i,j+1} - \sum_{k=1}^{\min(i-1,j-1)} l_{i,k} \times u_{k,j+1} \quad (9)$$

$$a_{i,j+2} = a_{i,j+2} - \sum_{k=1}^{\min(i-1,j-1)} l_{i,k} \times u_{k,j+2} \quad (10)$$

$$a_{i,j+3} = a_{i,j+3} - \sum_{k=1}^{\min(i-1,j-1)} l_{i,k} \times u_{k,j+3} \quad (11)$$

式(8)~(11)以外の演算は全てホストコンピュータにて行なう。

j について4つ並列化した jik 型ガウスの消去法では、前進消去の最も外側のループである j の値が4ずつ変化する。従って、前進消去は行列 A の4列ずつについてまとめて行なわれる。

j ループの中での第 $j \sim j+3$ 列の前進消去は、 L の第 $j-1$ 列以前から受ける前進消去を行なうステージと、第 $j \sim j+3$ 列内部で行なわれる前進消去を行なうステージに分けられる。

第 $j-1$ 段目以前から受ける前進消去を行なうステージでは、 i ループの中で、

1. $a_{i,j} \sim a_{i,j+3}$ をホストから GENERAL-1 に送る。
2. GENERAL-1 にて $a_{i,j} \sim a_{i,j+3}$ の前進消去(8)~(11)を行なう。
3. $a_{i,j} \sim a_{i,j+3}$ を GENERAL-1 からホストに送る。
4. ($i < j$ なら) $u_{i,j} \sim u_{i,j+3}$ をホストから GENERAL-1 に送る。

を行なう。 i は2~ n まで動く。

第 $j \sim j+3$ 列内部で行なわれる前進消去を行なうステージでは、ホストで、部分軸選択・ L の第 $j \sim j+3$ 列の計算・第 $j \sim j+2$ 段目の前進消去をおこなう。このステージで、 L の第 $j \sim j+3$ 列がホストから GENERAL-1 に送られる。

後退代入はホストで処理する。

4 GENERAL-1 のハードウェア

GENERAL-1 は、 jik 型ガウスの消去法のアルゴリズムで最も計算量が多い内積演算を高速に実行する専用計算機である。図5は GENERAL-1 のブロック図である。GENERAL-1 は、内積演算を行なう演算部、 $l_{i,k}$ を収納する行列メモリ部、 $u_{k,j}$ を収納する列ベクトルメモリ部、制御部(VMEバスとのインターフェイス部も含む)から構成される。なお、GENERAL-1 は倍精度計算と単精度計算のどちらもできる。

4.1 演算部

演算部は4つの浮動小数点演算器(FPU)からなる。FPUにはTI社のSN74ACT8847-30GAを用いる。このFPUはIEEE-754標準に準拠した倍精度/単精度の乗算器アキュムレータを持っている。このFPUにはデータ幅32ビットの入力ポートが2つある。この入力ポートを、1つは列ベクトルメモリからのデータに、もう1つは4つのFPUで共有している行列メモリからのデータに割り当てる。FPUが計算を開始すると、毎クロックごとに2つの入力ポートから浮動小数点数を読み込み、かけ合わせてその積を足し込む。計算終了後、FPU内のレジスターに保持されたこの内積演算の結果をホストが回収する。

4.2 行列メモリ部

行列メモリ部には $l_{i,k}$ が収納される。行列メモリ部は1メガワード(32メガビット)のメモリー空間を持ち、4つのFPUに同じデータ $l_{i,k}$ を送る。このメモリは全てSRAMで構成されている。

4.3 列ベクトルメモリ部

4つの列ベクトルメモリはそれぞれ $u_{k,j}$ 、 $u_{k,j+1}$ 、 $u_{k,j+2}$ 、 $u_{k,j+3}$ を収納する。これらは4つのSRAMモジュールで構成されており、それぞれ独立に各FPUにデータを送る。

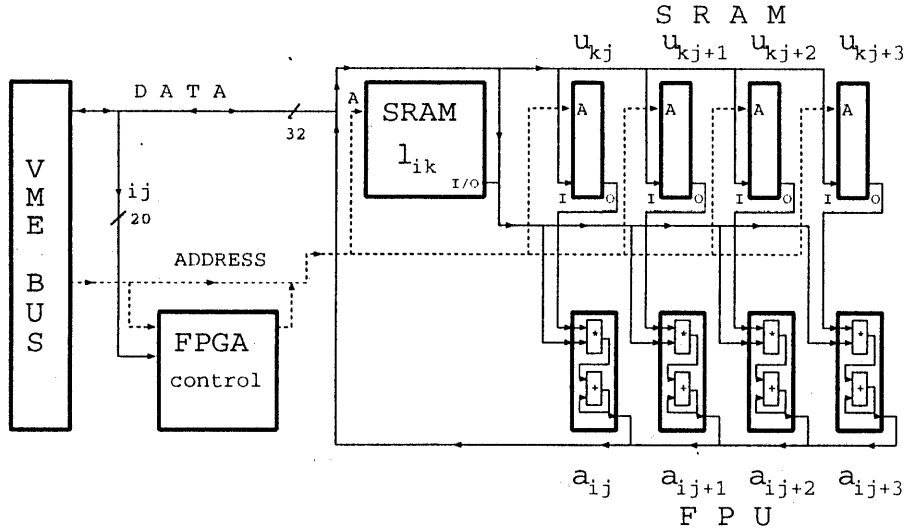


図 5: GENERAL-1 のブロック図

4.4 制御部

全体の制御のほとんどは、Xilinx 社の FPGA の XC4005-5PG156C 内に実装した回路が担う。FPGA では、VME バスとのインターフェイスと、ボード内の制御を行なう。VME バスのデータ幅は 32 ビットであるので、倍精度浮動小数点の場合はデータを 2 回に分けて送受信する。ボード内の制御は、すべてホストからの指令に基づいている。制御内容は、行列メモリ部と列ベクトルメモリ部への書き込み/読みだし命令、FPU 部への命令、ボード内バスの制御である。

4.5 パッケージ

今回製作するボードは、 $40\text{cm} \times 23.5\text{cm}$ のユニバーサルボード上に、5 個の LSI、106 個の IC、19 個のその他の部品をのせたものである。配線はラッピングで行なった。クロックの周波数は最高で 20MHz を予定している。これは SRAM のアクセスタイム等により定まる。

5 GENERAL-1 システム性能の評価

5.1 GENERAL-1 のピーク性能

GENERAL-1 のクロック周波数を 20MHz として評価する。今回用いた FPU は、浮動小数点数の内積演算 1 回（浮動小数点演算 2 回）を行なうのに、1 クロック（単精度）/ 2 クロック（倍精度）かかる。つまり、1 つの FPU で 1 秒間に 40Mflops（単精度）/ 20Mflops（倍精度）の性能が得られる。ボード上には 4 つの FPU があり、並列に計算を行なうから、GENERAL-1 のピーク性能は、160Mflops（単精度計算時）/ 80Mflops（倍精度計算時）となる。

5.2 全システムの実効性能

以下、倍精度計算として見積もる。ホストと GENERAL-1 を合わせた全システムとしての性能は、GENERAL-1 の性能、ホストの性能、VME バスの性能に依存する。また、GENERAL-1 とホストでの計算量の比などが n に依存するため、解くべき連立方程式の規模 n も全システムの性能に影響を与える。

ここでは、ホスト計算機で1演算に要する時間を t_{host} 、1ワードの転送に要する時間を t_{comm} 、GENERAL-1で1演算に要する時間を t_{g1} とする。

ホストでの全演算時間を T_{host} 、ホストとGENERAL-1の全通信時間を T_{comm} 、GENERAL-1での全演算時間を T_{g1} とすると、全所要時間 T は次のように表せる。

$$T = T_{\text{host}} + T_{\text{comm}} + T_{g1} \quad (12)$$

今 n は充分大きいとし、 n に関する最高次の項のみ考える。ホストが行なう浮動小数点演算回数は $7n^2/2$ 、VMEバスの通信語数は $17n^2/2$ 、専用計算機が行なう浮動小数点演算回数は $2n^3/3$ であるので、 T_{host} 、 T_{comm} 、 T_{g1} はそれぞれ次のように表せる。

$$T_{\text{host}} = \frac{7n^2}{2} t_{\text{host}} \quad (13)$$

$$T_{\text{comm}} = \frac{17n^2}{2} t_{\text{comm}} \quad (14)$$

$$T_{g1} = \frac{2n^3}{3} t_{g1} \quad (15)$$

今ホストの性能を1Mflops、VMEバスの性能を1Mwords/sec、GENERAL-1のシステムクロックを20MHzとすると、 $t_{\text{host}} = 1 \times 10^{-6}$ sec、 $t_{\text{comm}} = 1 \times 10^{-6}$ sec、 $t_{g1} = 1.25 \times 10^{-8}$ secとなる。これらの値を代入すると、例えば、 $n = 1000$ の場合の全所要時間 T は、20秒程度になる。このときの全システムの実効性能は、33Mflops程度となる。

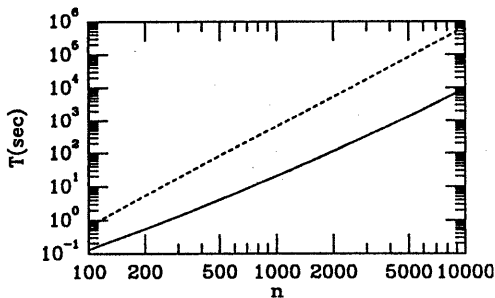


図6: 計算時間の予測

図6は倍精度計算時の計算時間の予測である。ホストのみで計算を行なった場合(点線)

と、ホストとGENERAL-1(実線)を併用した場合の両方を示す。行列メモリに L が収まる範囲 ($n < 1024$) なら、 n が大きいほど実効性能は良くなる。

ここで、 T に対する T_{g1} の割合を全システムの効率 c とする。

$$c = \frac{T_{g1}}{T} \quad (16)$$

図7中の実線は、式(12)~(16)を用いて n に対する c を求めたものである。点線は次の式で表される c^* を示す。

$$c^* = \frac{T_{g1} + T_{\text{comm}}}{T} \quad (17)$$

つまり、図7において、実線より下・実線と点

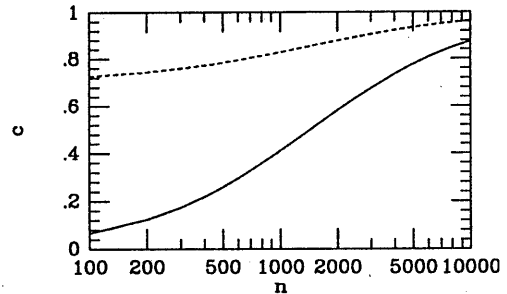


図7: T_{g1} , T_{comm} , T_{host} の割合

線の間・点線より下は、それぞれ、 $T_{g1} \cdot T_{\text{comm}} \cdot T_{\text{host}}$ の割合を示す。 n が大きくなるにつれ、 T_{g1} が支配的になる。

6 密行列専用計算機の将来像

今回の試作機では、 $n = 1000$ 程度の密行列を10Mflops~100Mflopsのオーダーの演算速度で解くシステムの構築を目指した。さらにシステムの向上をめざすには以下の点に留意する必要がある。

行列メモリ より大きな規模の行列を解く場合には、専用計算機に搭載する行列メモリの容量を、 n^2 に比例して増やす必要がある。

通信速度 行列の大きさを変えずに性能を上げるためには、ホストと専用計算機の間通信速度を高めることは必須である。既に今

のシステムにおいて、ホストの演算時間と専用計算機の演算時間が同程度になっているからである。

内積演算の高速化 内積演算の高速化自体は容易に実現できる。その手段は、内積演算用の専用 LSI によるクロックサイクルの高速化と、内積演算の高並列化である。

専用 LSI 現在の技術を用いれば、今回の GENERAL-1 の FPU 部と列ベクトルメモリ部をすべて 1 つの専用 LSI に入れることは難しいことではない。図 8 は GENERAL-1 を専用 LSI に実装した場合の概念図である。この

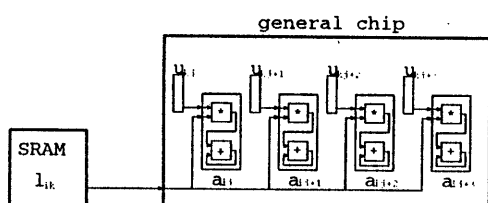


図 8: 専用 LSI の概念図

専用 LSI のデータの入力ポートは 1 つでよい。計算の際には、このポートから行列メモリ部からのデータを読み込む。LSI への入力バンド幅が小さいことは、スーパーコンピュータや並列計算機に比べて有利な点である。

並列化 また、内積演算 (8) は、 j や i について容易に並列化できる。 i についての並列化は、行列メモリ部を分割することができる。よって、複数のボードを用いたシステムを構築することも容易となる。

以上の様なシステムの性能向上をはかれば、1Gflops~100Gflops のオーダーの演算速度をもつ低コストなシステムの構築が可能である。このシステムにより、今まで出来なかったような大規模密行列の計算に新たな展望が開けるであろう。

7 まとめ

本論文では係数行列が密である n 元連立一次方程式を高速に解くための専用計算機について論じた。

直接解法のなかでは最も演算量が少なく済むガウスの消去法について、その演算量の

殆んどを占める前進消去の内積演算 (または、制限三項演算) のみを専用計算機で行なうことにした。そして、3種類のガウスの消去法を比較し、最も専用計算機に適した解法として、 jik 型ガウスの消去法を採用した。 jik 型の専用計算機は内積演算を行なうので、計算機アーキテクチャも簡単であり、また、大規模並列化・専用 LSI 化にも適している。

現在、試作機 GENERAL-1 を製作中である。GENERAL-1 はピーク性能で 80Mflops (倍精度計算時)、実効性能も 40Mflops 程度は得られる ($n = 1000$ の時)。

GENERAL システムは容易に高速化が可能であり、将来においては大規模密行列の計算が現実のものになるとと思われる。

参考文献

- [1] 長谷川秀彦: 密行列を係数とする連立 1 次方程式の解法 (1): 図書館情報大学研究報告 6(1), (1987).
- [2] 長谷川秀彦: 密行列を係数とする連立 1 次方程式の解法 (2): 図書館情報大学研究報告 7(2), (1988).
- [3] 日本物理学会: スーパーコンピュータ 第 4 章: 培風館 (1985).
- [4] 小国 力、村田健郎、三好俊郎、ドンガラ, J, J、長谷川秀彦: 行列計算ソフトウェア 第 6 章: 丸善 (1991)
- [5] 登坂宣好、大西和栄: 偏微分方程式の数値シミュレーション: 東大出版会 (1991)
- [6] 村田健郎、小国 力、三好俊郎、小柳義夫: 工学における数値シミュレーション: 丸善 (1988, 1990)
- [7] 杉本大一郎: 専用計算機によるシミュレーション: 朝倉書店 (1994)
- [8] Makino, J., Kokubo, E., & Taiji, M. *Publ. Astron. Soc. Jpn.* 45, 349-360 (1993).