

OEICによる並列処理

金子悟士 酒居敬一 阿江 忠
広島大学工学部第二類(電気系)

広島大学集積化システム研究センターでは、光インターコネクションを内蔵した集積回路(OEIC)の試作を行っている。OEICの今後の進歩にしたいがい、いろいろな応用が考えられるが、並列処理はひとつの候補である。本稿では、当面期待できそうなOEICを基にして、MCMによる並列処理の実現方向を論じる。

Parallel Processing using OEIC

Satoshi Kaneko, Keiichi Sakai, Tadashi Ae
Faculty of Engineering, Hiroshima University

A new OEIC is recently developed in Research Center for Integrated System, Hiroshima University. Parallel processing is a perspective application for OEICs, and we discuss an MCM realization using OEICs, where a fundamental OEIC is supposed to include a small number of multiprocessors connected with each other by optical buses.

1 はじめに

光インターコネクションのコンピュータシステムへの適用については

- a) 筐体間
- b) ボード間
- c) チップ間
- d) チップ内

の順に進んでいる。a), b) について、すでに実用化がなされているのは周知の通りである。c) についてもいろいろ研究されており、最近では、MCM技術のひとつとして、再認識されている [1]。

d) も OEIC として、結構古くから注目されてきたが、その実現性と効果の点で、研究の進歩が鈍った時期のあることも否めない。しかしながら、集積回路の微細化が、 $1\mu\text{m}$ を切るようになってから、メタル配線の遅延が非常に増大し、光インターコネクションの重要性が再び認識されるに至っている [2]。

このような背景のもと、広島大学集積化システム研究センターでは、光インターコネクションを内蔵した集積回路(OEIC)の試作を行っている。OEICの今後の進歩にしたいがい、いろいろな応用が考えられるが、並列処理はひとつの候補である。本稿では、当面期待できそうなOEICを基にして、MCMによる並列処理の実現方向を論じる。

2 光バスと OEIC

2.1 光インターコネクションの形態

光インターコネクションの形態には、

- 1) 自由空間における光伝送
- 2) 空間を限定した光伝送

の2種類に分けられる。ICは平面回路であるから、この面に垂直な光伝送を実現しようとする、図1のような構成は、イメージプロセッシングなどにはよく登場し [3]、具体的な試作も行われている [4]。また、3次元共有メモリもこのような構成で実現される [5]。しかし、自由空間による光伝送は、試作段階であり、実用化にはまだ時間のかかるものと言わざるを得ない。

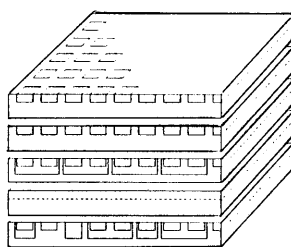


図1:垂直光伝送

一方、空間を限定した伝送方式は、(光ファイバーで周知のように)、管体間やボード間ではすでに実用化されており、チップ間、チップ内での検討に移っているのが実情である [6,7]。

2.2 OEICにおける光インターコネクション

OEICにおける光インターコネクションは、微細加工技術が進むと、非常に重要となる。具体的には、集積回路の微細化が、 $1\mu\text{m}$ を切るようになると、メタル配線の遅延が非常に増大し、光インターコネクションが優位になる [2]。それは、図2に示すように、 $1\mu\text{m}$ 以上のデザインルールではメタル配線の遅延を支配するのは(配線のための)メタルと基盤の間の容量であり、配線どおしの容量は無視することができた。

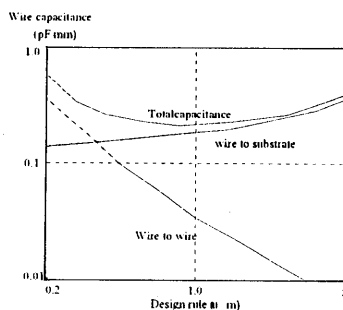


図2:デザインルールと容量の関係

しかし、 $1\mu\text{m}$ 以下になると、この比率が逆転し、時定数としてはメタル配線間が逆に支配的になる。このような、状況から、チップ内に光インターコネクションを導入するという方向がクローズアップされている [2]。

2.3 OEIC における光バス

光インターコネクションの基本は光バスと考えるのが、適当であろう [8]。光バス自体は、チップ外のインターコネクションとなりうるが、ここでは、チップ内、すなわち、OEIC における光バスを想定する。この光バスは、チップ上に導波路をつくることで、実現される。最近、広島大学集積化システム研究センターで試作された例を図 3 に示す。

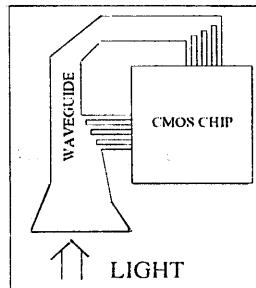


図 3: 試作 OEIC (テスト用)

3 OEIC における光インターコネクション基本回路

OEIC における光インターコネクションの基本回路は、図 4 のように、光バスにより実現される。バス上の衝突回避をどのように行うかという問題については、

- 1) 入力側で制御
- 2) 出力側で制御

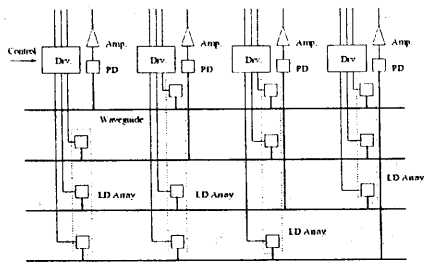
の 2 通りの方法がある。

(「入力」、「出力」という表現はバスから見たものである。)

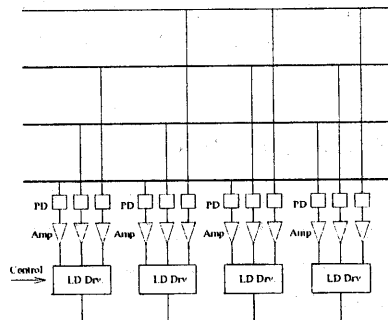
光バスでも、1)2) の 2 通りがありうるが、現在のところ、導波路での分岐による減衰がけっこう大きいという問題がある (出力側制御の場合、入力側は制御しないから、ブロードキャストになる。図 3 は、別の意味で、ブロードキャストを実現しているが、この実測結果などを参考にしている。)

光スイッチの研究も行われているが、現状ではまだ導入は無理であるため、スイッチ (制御を含む) 部分は電子的に行う。そのため、光導波路の入力側で電子-光変換 (EO 変換)、出力側では光-電子変換 (OE 変換) を必要とする。

図 4 に、2 つの方式の概略を示す。1) の方式では、光バスへの入力のところで制御し、いったんバスに入った光は分岐をすることなく、出力端に到達する。(光導波路は距離や曲がりの影響は小さい [8]。) 2) は入力側では制御せず、ブロードキャストし、出力側で複数の入力の衝突回避を行う。



(1) 入力側制御



(2) 出力側制御

図4 制御の2方式

この光バスの入力側で制御する方式を一般的に描くと、図5のようになる。その結果、システム的には、スイッチマトリクスが実現できる。図6に4×4の例を示す。同様にして、出力側制御の方式も、スイッチマトリクスとして表現すると、同じ図6のように描かれる。

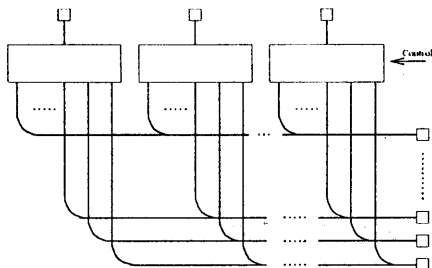


図5:入力側制御 (一般的な場合)

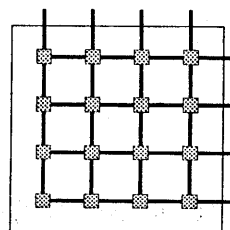


図6:スイッチマトリクス (4×4の場合)

4 並列性増加の一方法

OEICによる方法も、通常のIC同様、シングルチップ上に実現できるプロセッサ数には限界がある。シングルチップ上のプロセッサ数を n とするとき、バスを2次元化すれば、 n^2 の並列度を実現することができる [1,7]。

2次元バスは、1次元バスを線状に描くとき、図7のように、文字どおり2次元の面状になる。しかしながら、1次元バスからスイッチマトリクスを実現した時点で、すでに、図6のように2次元の面構造をしているため、 $n^2 \times n^2$ のスイッチマトリクスは必然的に3次元構造になる。

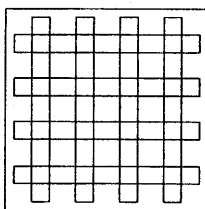


図7:2次元バス

本稿で提案する、 $n^2 \times n^2$ のスイッチマトリクスを示したのが図8である。図8の2つの立方体の接触部分は光バスの端点どうしの結合($n \times n$ 個)になるが、この部分はマイクロレンズとグレーティングを想定し、光-電子の変換は用いない。したがって、2つの立方体のうち、入力側は入力側制御、出力側は出力側制御のそれぞれ方式を用いる方法が考えられるが、両方とも入力制御による実現も十分考えられる。

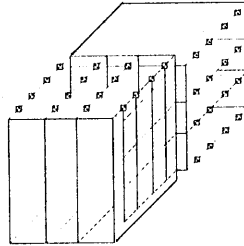


図8: $n^2 \times n^2$ のスイッチマトリクス

具体的な試作では、OEIC シングルチップでは、当面、 $n=4$ ないし8というところであろう(金属配線による例でも、 $n=4$ が試作されている[9])。したがって、当面期待される並列度は16ないし64ということになるが、 $n=16$ ぐらいが実現されれば、 $n^2=256$ となり、かなりの並列性の実現が見込めることになる。

図8はMCM実現の一方法になっている。MCMにおけるインターコネクションについても、金属と光の両面から研究がなされている。本稿では、基本回路がOEICにより実現されるという前提に立ち、その自然な延長としてMCMを構成する。光バスの端点とおしの接触を、前述のように、マイクロレンズとグレーティングにより行うもので、機構的な調整を必要とする以外、インターコネクションのために特別なものは用意しなくて済むのが特徴である。

5 性能予測

図8に示した3次元構造の $n^2 \times n^2$ のスイッチマトリクスは、一般的には再帰型ネットワークに相当するが[10]、見方を変えれば、2段の多段ネットワークでもある。

事実、スイッチボックス数は、 $N \times N$ のスイッチマトリクスに対し、

多段ネットワークの場合： $(N/k) \log_k N$

再帰型ネットワーク(2段)の場合： $2\sqrt{N}$

であるから、2段の再帰型ネットワークは $k=\sqrt{N}$ の2段ネットワークの実現に相当している。

再帰型ネットワークは、3次元以上になるとスイッチボックス数は、次元数と同じ段数の多段ネットワークと比べ、急速に少なくなる反面、ホットスポットも急激に増大する。

スイッチマトリクスの典型的な応用例としては、マルチプロセッサに共有メモリを接続する場合があげられる。かつて、再帰型ネットワークを使用する共有メモリを検討したことがある[10]。そのシミュレーション例を図9に示す。本稿で提案するMCM構造を2次元の再帰型ネットワークにとどめているのは、

- 1) 3次元(3段)以上の構成は物理的に複雑、
- 2) ホットスポット増大による性能低下、

という2つの理由にもとづいている。

もっとも、多次元(多段)構造も比較的容易に実現可能な場合も存在する。(図10は2次元再帰型ネットワークを3つ使った例である。)

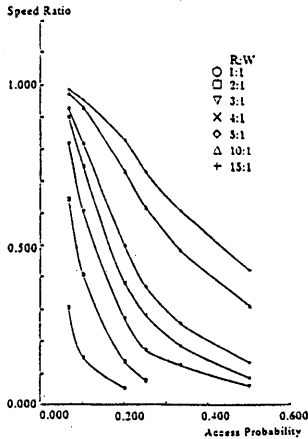


図9:速度比

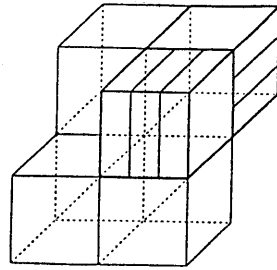


図10:3次元(3段)構造

6 むすび

OEICをベースに並列処理を実現する方法を考察した。

- 1) OEICによる基本回路の製作も、SPICEシミュレーション、パターン設計、試作、テストのサイクルを繰り返し、実用化に到達する。このため、多大な努力を必要としている。

このとき、光導波路以外に電子的には、電子-光変換回路およびスイッチマトリクス制御回路が必要である。前者にはパワーと増幅度の問題があり、後者にはオーバーヘッドの問題がある。

- 2) OEIC完成後に、初めて、本稿で議論したようなMCMによる並列処理の実現が可能となる。したがって、本稿のMCM構成は時期尚早の感はあるが、将来へ向けての一提案としたいと考えている。

本稿の内容については、U-OEIC研究会の方々、とりわけ、広瀬全考委員長、岩田穆委員(ともに広島大学教授)に負うところが大きく、謝意を表したい。

文献

- [1] T.Ae, Optoelectronics-Devices Techn., Vol.9, p.15(1994)
- [2] A.Iwata, Optoelectronics-Devices Techn., Vol.9, p.39(1994)
- [3] 藤田聡他, 電子情報通信学会論文誌, Vol.J71-D, No.3, p.463(1988)
- [4] M.Ishikawa, Optoelectronics-Devices Techn., Vol.9, p.29(1994)
- [5] M.Koyanagi et al., IEEE J.SSC, Vol.25, No1, p.109(1990)
- [6] 広瀬全考, 電子情報通信学会誌, Vol.75, No4, p.407(1992)
- [7] 林巖雄, 阿江忠, 小柳光正, 電子情報通信学会誌, Vol.75.No.9, p.951(1992)
- [8] T.DoI et al., Extended Abstracts ss dm'95, p.1075(1995)
- [9] NIKKEI MICRODEVICES, 1994年9月号, p.121
- [10] T.AE et al., Proc.Int.WPDRTS, p.159(1993)