

超並列計算機用プロセッサ結合網 SRT

ネットワーク特性と故障回避アーキテクチャ

井口 寧 堀口 進

北陸先端科学技術大学院大学 情報科学研究科

〒923-12 石川県能美郡辰口町旭台1丁目1番地

TEL: 0761-51-1265

e-mail: inoguchi@jaist.ac.jp, hori@jaist.ac.jp

あらまし

超並列システムに適合する結合網には、ノード当りのリンク数が少数であることや実装性、耐故障性などの要件が求められている。近年、多数のプロセッサを1枚のウェーハ上に集積するWSI技術が注目されている。超並列システムをWSIにより実装する場合には、故障プロセッサの救済が不可欠である。

先に提案した超並列計算機のためのプロセッサ結合網 Shifted Recursive Torus (SRT) は、ノード当りのリンク数を固定した、階層構造を有する結合網である。SRT は、1次元で定義され、2次元結合網及び3次元結合網への拡張が容易である。

本論文では、SRT に関する平均通信距離及び最大直径などのネットワーク特性について議論する。また、1次元 SRT、2次元 SRT の故障回避アーキテクチャを提案し、その有効性について述べる。

キーワード 相互結合網、トーラス結合、コーダリング、パレルシフト網、フォールトトレラント、WSI

Shifted Recursive Torus Interconnection for Massively Parallel Computers

Interconnection Feature and Fault-Tolerant Architecture

Yasushi Inoguchi, Susumu Horiguchi

Japan Advanced Institute of Science and Technology, School of Information Science

Tatsunokuchi, Ishikawa 923-12. Japan

TEL: +81-761-51-1265

e-mail: inoguchi@jaist.ac.jp, hori@jaist.ac.jp

Abstract

An interconnection networks for massively parallel computers requires the network features such as limited number of links, easy extendability and fault-tolerance. Wafer Scale Integration (WSI) has been attracted as a technology to implement a number of processing elements (PEs) on a silicon wafer. An interconnection network in WSI must has fault-tolerance architecture to recover fault PEs.

Shifted Recursive Torus (SRT) was proposed by authors as an interconnection network suitable for massively parallel computers. The SRT has advantages such as the fixed number of links a node, a hierarchical structure and an excellent scalability.

This paper shows a definition of 1D-SRT and an extension of 1D-SRT into 2D-SRT. We discuss the network feature of 2D-SRT by comparing the average distance and diameter of SRT. We also proposed a reconfigurable scheme of SRT on WSI implementation.

key words Interconnection Network, Torus Network, Chordal Ring, Barrel Shifter, Fault-Tolerant, WSI

1 はじめに

近年のコンピュータの高速処理への要求に対する1つの解決方法として多数のマイクロプロセッサ(MPU)を用いた並列処理があげられる。並列処理を行なう場合、ノードとなるプロセッサ要素(PE)間通信が処理能力全体を規定する重要な要素なるため、様々な特徴を持つ相互結合網が提案されている。

結合網を実装性の観点から考えると、結合網自身が1次元または2次元で定義される結合網ならば、実装時の配線が簡単になる。1次元の結合網として、Barrel Shifter [1], Chordal Ring [2], Illiac Network [1] が提案されている。Barrel Shifter は平均通信距離が $\log_2 N/2$ と小さいが、ノード当りの結合リンク数が $2\log_2 N - 1$ であり、ノード数の増加に伴い結合リンク数が非常に大きくなる。Chordal Ring は、ノード当りの結合リンク数が3と小さいが、バイパスリンクの長さを平均通信距離が最短となるように選んだ場合でも、平均通信距離は \sqrt{N} と比較的大きい。また、Iliac Network は、Chordal Ring の一種とみなすことができる。2次元の結合網としては、格子結合、トーラス結合を始めとして、MANDALA 網 [3], RDT [4] などがある。この中で MANDALA 網は階層的な構造を持ち、平均通信距離が小さいという特徴を持つが、結合網の直径は小さくない。RDT は階層的な構造を持ち、小さい直径と良好な通信性能を持つ。

一方、1枚のウェーハ上に多数のPEを搭載するウェーハスケールインテグレーション(WSI)が注目されている。もし、WSIにより超並列システムが構築できるならば、相互結合網が全てチップ内部で配線可能となるので、クロック等の遅延が少なくなり、システムの高速度化、小電力化、小型化が可能となる。しかしながら、ウェーハ上に発生する欠陥は、現在の集積技術では避けられない問題である。このため、WSI技術により超並列システムを構築するならば、欠陥を避けてPEを再構成する必要があり、欠陥の回避が可能な相互結合網を採用する必要がある。

以上をまとめると、数百万のPEを結合する大規模超並列システムに適合する結合網には

- ノード当りのリンク数が少数で固定数、もしくは増加の度合が極めて僅かであること
- 実装上、配線が簡単であること
- 耐故障性(欠陥PEの回避が可能であること)

などの要件が求められる。先に提案した Shifted Recursive Torus (SRT)[5] は、再構成可能なメッシュ/トーラス結合網に、通信性能を向上させるための再構成可能なバイパスリンクを付加することにより構成される。1次元SRT(1D-SRT) は、リング結合にバイパスリンクを付加することに

より直径および平均通信距離を短縮する。各ノードには、リング結合のために2本、バイパスリンクのために、2本の合計4本のリンクが接続される。1D-SRTを2次元に拡張すると、2次元SRT(2D-SRT)が構成できる。2D-SRTは、各ノードは8本の結合リンクを持つ。結合リンク数は固定であり、ノード数が大きくなっても増えることはない。SRTは欠陥PEの回避が簡単な機構で実現でき、WSIによる実装が容易である。

本論文では、まず1次元SRTの構成法を述べ、2次元に拡張する。次に1次元、2次元のSRTについて通信性能を検討する。第5章で欠陥回避方法について述べる。

2 1次元SRT

2.1 構成原理

1次元SRTはリング結合網を基本とする。通信性能向上のため、遠隔ノードと直接接続されるリンクを、各ノードのリンク数が一定となるように、リング結合網に重ね合わせる。遠隔ノードを結ぶリンクをバイパスリンクと呼ぶ。

ノード数 $N(N=2^n)$ から成るリング結合網上で、あるノードを番号0とし、ノード0を起点として他のノードを昇順に番号付ける。

定義1 (基本リング) 基本リングは、ノードが1次元直鎖状に並べられており、ノード (m) は隣接する左右のノード $(m \pm 1 \text{ mod } N)$ と結合されている。直鎖の両端は互いに結合される。(従ってノード0の隣接ノードは1と $N-1$ である。) 基本リングを構成する結合リンクをレベル0のリンクと呼ぶ。□

リング結合網の直径および平均通信距離を短縮するために、基本リングにバイパスリンクを付加し、上位リングを構成する。

定義2 (上位リング) 基本リングから、ノード番号が

$$n_i = 2^i \cdot i + 2^{i-1} \quad (1)$$

(i は $0 \leq i < N/2^i$ の整数)

となるノード n_i を取り出す。このノード群をレベル i のノードと呼ぶ。レベル i のノードをレベル i のバイパスリンクによって左右の同じレベル数のノード $(n_i \pm 2^i \text{ mod } N)$ に接続と接続しサブリングを構成する。レベル i 以上のノードから成るサブリングを上位リングと呼ぶ。□

このように上位リングを構成すると、結合網のどのノードも、基本リングを構成する2つのリンクと上位リングを構成する2つのリンクの合計4つのリンクを持つ。但しノード0、 $N/2$ は上位リンクを持たず、またノード $\frac{1}{4}N, \frac{3}{4}N$

に接続される上位リンクは1つである。レベルの違うノードは互いに素なので、1つのノードに2つ以上の別の次数が割り当てられることはない。

定理 1 レベルが異なるサブリングのノードは互いに素である。

従ってどのノードの結合リンク数も4より多くはならない。4つの結合リンクのうち、2つは基本リングを構成するものであり、もう2つは上位リングを構成するものである。

系 1 ノード 0 及び $N/2$ は上位リンクを持たない。

以上より、基本型 1次元 SRT (1D-SRT) が定義できる。

定義 3 (基本型 1D-SRT) 1D-SRTを形成するためには、基本リングに定義 2に従い、レベル 1 から l_{max} までの全体的上位リングを付加する。 l_{max} は、ノード数 $N = 2^n$ から成る基本型 1D-SRT の最大のレベルであり、

$$l_{max} = \log_2 N - 1 = n - 1 \quad (2)$$

である。 □

補題 1 (ノードのレベル) ノード m のレベル $l(m)$ は、 $m \bmod 2^l > 0$ を満たす最小の l 。但し $l(0) = l(N/2) = 0$ とする。

このように決定された 32 ノードから成る 1D-SRT の結合の様子を図 1 に示す。

基本型 1D-SRT では、ノード 0 及び $N/2$ はリンクを 2 本、ノード $\frac{1}{4}N$ 及び $\frac{3}{4}N$ はリンクを 3 本しか持たない。そこで、ノード 0 及び $\frac{1}{2}N$ に上位リングを割り当てた 1次元 Long Span 型 SRT、また、ノード $0, \frac{1}{4}N, \frac{1}{2}N, \frac{3}{4}N$ に上位リングを割り当てた 1次元 Short Span 型 SRT が定義できる。

定義 4 (1次元 Long Span 型 SRT) 1次元 Long Span 型 SRT (LS-1D-SRT) を形成するためには、1D-SRT にノード 0 と $N/2$ を結ぶレベル l_{max} のリンクを付加する。 □

定義 5 (1次元 Short Span 型 SRT) 1次元 Short Span 型 SRT (SS-1D-SRT) を形成するためには、基本型 1D-SRT からノード $\frac{1}{4}N$ と $\frac{3}{4}N$ を結ぶレベル l_{max} のリンクを除去し、ノード $0, \frac{1}{4}N, \frac{1}{2}N, \frac{3}{4}N$ を環状に結ぶレベル $l_{max} - 1$ の上位リングを付加する。 □

図 1 を基にした LS-1D-SRT, SS-1D-SRT の構成を図 2 に示す。LS-1D-SRT は、ノード $0, \frac{1}{2}N$ 付近の長距離通信能力の向上が期待できる。また、SS-1D-SRT はトータルのリンク数が多いため、ネットワーク全体の通信能力の向上が期待できる。

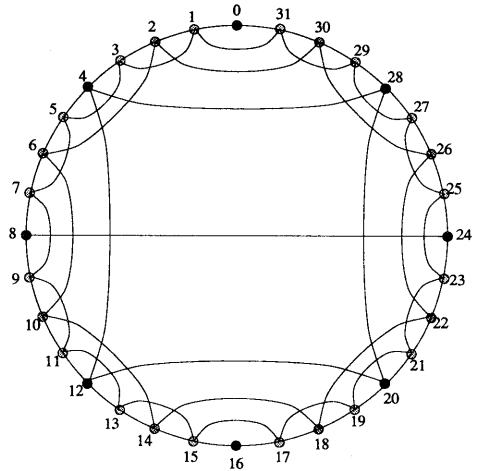


図 1: 32 ノードから成る基本型 1D-SRT

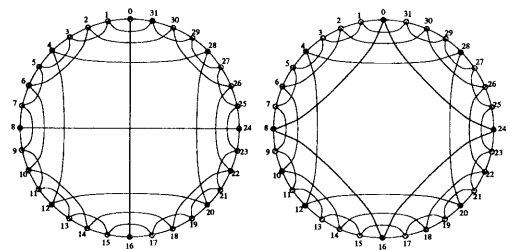


図 2: (a)LS-1D-SRT (b)SS-1D-SRT

2.2 配線密度

実際に SRT を用いてマルチプロセッサシステムを構成する際、配線数が問題となる。同じ方向の配線が多数重なると、基盤に占める配線の面積が大きくなり、面積の利用効率が低下する。

1D-SRT を直鎖状に配置した場合、問題となるのはレベルの違う配線の数である。レベルが同一の配線は重なることはない。図 3 に直鎖状に配置した様子を示す。

定理 2 直鎖型に配置した基本型 1D-SRT が必要とする配線幅は、 $2l_{max} + 1$ 本である。

証明 レベル 0 からレベル l_{max} の配線が $l_{max} + 1$ 本、更にリングを形成しているため、ノード 0 とノード $N - 1$ を結ぶ配線が、レベル 0 からレベル $l_{max} - 1$ までの l_{max} 本である。従って、1D-SRT を直鎖状に構成するために必要な配線幅は、 $2l_{max} + 1$ となる。 □

系 2 直鎖型に配置した LS-1D-SRT が必要とする配線幅は、 $2l_{max} + 2$ 本である。

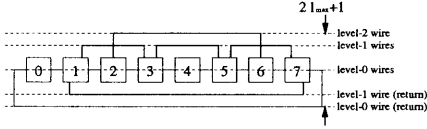


図 3: 8 ノードから成る直鎖配置 1D-SRT

系 3 直鎖型に配置した SS -1D-SRT が必要とする配線幅は, $2l_{max} + 2$ 本である.

いずれの場合も, $l_{max} = \log_2 N - 1$ なので, 1D-SRT に必要な配線幅は $\mathcal{O}(\log_2 N)$ である.

3 2D-SRT

3.1 2次元 SRT への拡張

本章では, 1D-SRT を 2次元に拡張し, 2D-SRT を構成する. 2D-SRT は $N \times N (N = 2^n)$ のノードから成る. 最初に, 1D-SRT の基本リングに相当するものとして, 基本トラスを定義する.

定義 6 (基本トラス) ノードを格子状に置き, ノードアドレスを左上から順に与え (x, y) と記述する. ノード (x, y) は, 隣接するノード $(x \pm 1 \bmod N, y \pm 1 \bmod N)$ と接続される. □

1D-SRT のサブリングと同様に, バイパスリンクを付加しサブトラスを構成する. 2D-SRT は横方向に直線状に配置した 1D-SRT を縦方向に積み重ねることにより構成される. 積み重ねる 1D-SRT の原点ノード (ノード 0) をどのように配置するかにより, 複数のタイプの 2D-SRT が定義できる. 最初に 2D-SRT の一般形について定義する.

定義 7 (2D-SRT の一般形) (x_i, y_i) をレベル i のノードアドレスとする. に上位レベルを割り当てる. レベル i のノード (x_i, y_i) は次のように定義される.

$$x_i = 2^i \cdot i + 2^{i-1} - s \cdot y_i \quad (3)$$

(i は $0 \leq i < N/2^i$ の任意の整数)

s は横方向のシフト幅である. シフト幅 s は以下の条件を満たす必要がある.

1. 原点ノードが各行・列に 1 つだけ存在すること
2. 転置関係にある式が定義できること
(即ち, $y_i = 2^i \cdot i + 2^{i-1} - s' \cdot x_i$ の様な式が得られること)

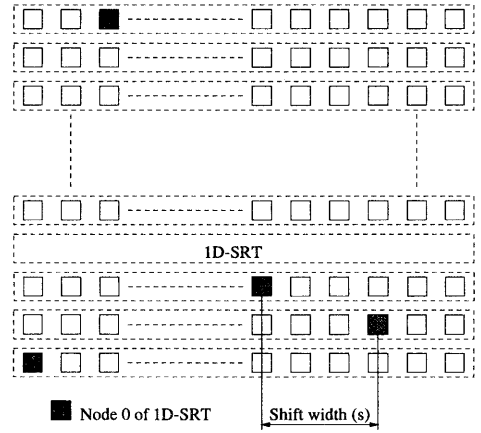


図 4: 2D-SRT の一般形

ノード (x_i, y_i) はレベル i リンクにより, 上下左右の 4 ノード $(x_i \pm 2^i \bmod N, y_i \pm 2^i \bmod N)$ と接続される. □

図 4 に 2D-SRT の一般形を示す.

上位レベルのノードを接続するために, バイパスリンクが付加される. レベル i のノードを接続することにより, レベルの 1 トラスが得られる. レベル i のノード (x_i, y_i) は, 2^i のスパンを持つ縦横のバイパスリンクを用いて, 同じレベルのノード $(x_i \pm 2^i \bmod N, y_i \pm 2^i \bmod N)$ と接続される.

3.2 千鳥型 2D-SRT

各レベルの通信特性を考えると, レベルが低いノードは近距離の通信に適し, レベルが高いノードは遠距離の通信に適している. 従って, 全体の通信性能を向上するためには, レベルが高いノードを平面内に均等に配置することが有効と考えられる. そこで, 千鳥型 2D-SRT を定義する.

定義 8 (千鳥型 2D-SRT) 基本トラス上のノード (x_i, y_i) に上位レベルを割り当てる. レベル i のノードアドレスは, 以下の各式のいずれかを用いて定義できる.

$$x_i = 2^i \cdot i + 2^{i-1} + y_i \left(2^{\lceil l_{max}/2 \rceil} + 1 \right) \quad (4)$$

$$x_i = 2^i \cdot i + 2^{i-1} - y_i \left(2^{\lceil l_{max}/2 \rceil} - 1 \right) \quad (5)$$

$$x_i = 2^i \cdot i + 2^{i-1} + y_i \left(2^{\lfloor l_{max}/2 \rfloor} - 1 \right) \quad (6)$$

$$x_i = 2^i \cdot i + 2^{i-1} - y_i \left(2^{\lfloor l_{max}/2 \rfloor} + 1 \right) \quad (7)$$

(i は $0 \leq i < N/2^i$ の任意の整数)

レベル i のノードは 2^i のスパンを持つバイパスリンクにより, 縦横方向の同じレベルのノード $(x_i \pm 2^i \bmod N, y_i \pm$

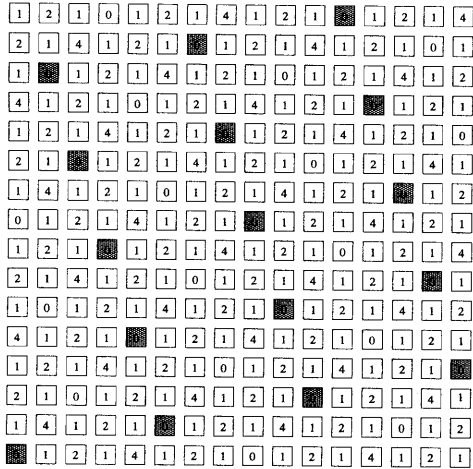


図 5: 16×16 ノードから成る千鳥型 2D-SRT のレベル配置

$2^l \bmod N$) と接続され、レベル l のトーラスを構成する。口

式 (4) から式 (7) により定義された SRT は、x 方向に関して 1D-SRT を形成することは明らかであるが、それぞれ転置関係にある式が定義できるので、y 方向に関して 1D-SRT を形成する。式 (4) と式 (5)、式 (6) と式 (7) は転置の関係、式 (4) と式 (7)、式 (5) と式 (6) は対称の関係となる。図 5 に千鳥型 2D-SRT のレベル配置を示す。

2D-SRT は、ベースとする 1D-SRT として基本型 1D-SRT、1D-LS-SRT、1D-SS-SRT の 3 つをとることできる。

4 結合網の特性

これまでに議論した 1D-SRT、千鳥型 2D-SRT について平均通信距離、最大直径を計算した。表 1 に、1D-SRT、2D-SRT のノード数に対する平均通信距離を示す。1D-SRT は、ノード数が 2 倍になると平均通信距離がおおよそ 1.2 ~ 1.3 倍になることが分る。ノード数が少ない場合、ノード数の増加に対し平均通信距離の増加が大きいが、ノード数が増えると次第に平均通信距離の伸びが減少してゆく傾向がある。また、1D-SRT、LS-1D-SRT、SS-1D-SRT の差について、ノード数が少ないと SS-1D-SRT の平均通信距離が短縮されるが、ノード数の増加にともない、3 方式の差は縮まり殆ど差がなくなる。

2D-SRT では、ノード数が 4 倍になると平均通信距離がおおよそ 1.3 倍になる。1D-SRT と同様、ノード数が増えると次第に平均通信距離の伸びが減少してゆく傾向がある。またノード数が大きいと、基本型、Long Span 型、Short Span 型の差が少なくなる。

# of node	256	1k	4k	64k
1D-SRT	7.03	11.46	17.72	
LS-1D-SRT	6.91	11.34	17.62	
SS-1D-SRT	6.79	11.23	17.50	
2D-SRT(千)	3.58	4.80	6.28	10.05
LS-2D-SRT(千)	3.44	4.67	6.10	9.51
SS-2D-SRT(千)	3.49	4.72	6.12	9.51
RDT(2,4,1)		5.58	6.67	8.95
HyperCube	4.00	5.00	6.00	8.00
XedCube		4.03		

表 1: 平均通信距離

# of node	256	1k	4k	64k
1D-SRT	17/4	25/4	41/4	
LS-1D-SRT	13/4	21/4	33/4	
SS-1D-SRT	12/4	20/4	30/4	
2D-SRT(千)	6/8	8/8	11/8	16/8
LS-2D-SRT(千)	6/8	7/8	9/8	14/8
SS-2D-SRT(千)	6/8	8/8	10/8	15/8
RDT(2,4,1)	7/8	8/8	10/8	12/8
2D Torus	16/4	32/4	64/4	256/4
Hypercube	8/8	10/10	12/12	16/16
Xed Cube	5/8	6/10	7/12	9/16

表 2: 最大直径/1 ノード当りの結合数

表 2 に、1D-SRT、2D-SRT のノード数に対する最大直径を示す。1D-SRT、2D-SRT 共に Short Span 型 SRT が最大直径の短縮に有効である。クロス・キューブに比べると、ノード数が 64k node の時、千鳥型 LS-2D-SRT は結合数が半分であるが、最大直径は 2 倍よりも小さく、結合数当りの通信性能は良好であると言える。

5 SRT の故障回避

5.1 1D-SRT の再構成アーキテクチャ

図 6 (a) に再構成可能な 1D-SRT のアーキテクチャを示す。直鎖上に並べられた N 個の PE が中央部に置かれ、これを挟むように両端に 1 つまたは複数のスペア PE が置かれる。中央部の PE と両端のスペア PE は同等の機能を有する。各 PE は使用中の状態と未使用の状態の 2 つの状態をとることができる。故障 PE は未使用の状態にされ、隣接する PE によって故障 PE の機能が代替される。代替を

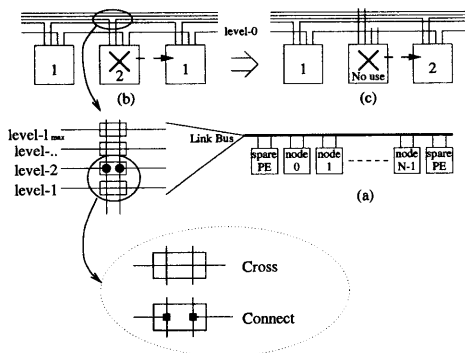


図 6: Reconfigurable 1D-SRT

繰り返し行うことをシフトと呼び、シフトにより故障 PE を回避する。

シフトを行なうために、各ノードはレベル 0 からレベル l_{maz} までのリンクを束ねたリンクバスに、スイッチ束を介して接続される。スイッチ束中には level-1 から level- l_{maz} までの l_{maz} 個のスイッチがある。リンクバスには level-0 のリンクも含まれるが、level-0 のスイッチはスイッチ束とは独立して扱う。各スイッチは Cross モードと Connect モードの 2 つの状態をとることができ、スイッチ束中のスイッチは、0 または 1 つのスイッチだけが Connect モードをとり、他のスイッチは Cross モードにセットされる。一方、level-0 のスイッチは、スイッチ束の状態に拘束されずに 2 つの状態をとることができる。

故障 PE の機能を補うために、横方向 (図では右方向) にシフトするが、このためには、まず故障 PE を切離し、次にノードのレベルを再定義する。故障 PE の切離しは、level-0 のスイッチ及びスイッチ束の全スイッチを Cross モードにすることにより行なわれる。次に、シフトによりノードのレベルの再定義を行なう。故障 PE の機能を隣接する PE で代替するために、隣接 PE のレベルが故障 PE のレベルにセットされる。同様に、代替 PE に隣接する PE のレベルは代替 PE が保持していたレベルにセットされる。この手続きを再帰的に行なうことにより、レベルの再定義が行なわれる。レベルの再定義前のレベル l の PE の状態は、スイッチ束のうちレベル l のスイッチのみが Connect モードになっている (図 6 (b))。レベルの再定義後、この PE がレベル k にセットされるとすると、スイッチ束のレベル l のスイッチは Cross モードにセットされ、代わってレベル k のスイッチが Connect モードにセットされる (図 6 (c), level 1 \Rightarrow 2)。

5.2 2D-SRT の再構成アーキテクチャ

図 7 に再構成可能な 2D-SRT のアーキテクチャを示す。中心部に $N \times N$ のコア PE を置き、スペア PE がコア PE の周囲に配置される。PE と PE の間にはリンクバス、故障回避に使用される補償リンクバス、及びリンクバスを切り替える 3 モードスイッチが置かれる。1D-SRT の場合は横方向だけのシフトにより故障を回避したが、2D-SRT は縦横の両方向のシフトが考えられる。上下左右どちらの方向にシフトするかを決定するアルゴリズムは、WSI 全体の歩留まりに大きく影響し、いくつかの方法が考えられるが、Kung らはグラフ理論を用いた方法 [6]、Numata らはローカル情報のみを用いた方法 [7] を提案している。本章ではシフトの方向の決定については議論せず、シフトが可能となるアーキテクチャについて論ずる。

最初に図に示すような横 (右) 方向のシフトについて考える。横方向のリンクバスは 1D-SRT と同様にシフト可能である。縦方向のリンクバスは、図 7 に示すような、3 モードスイッチを用いてシフトされる。このスイッチは、上下と左右の結線をスルーにする状態と、上-右、左-下をつなぐ状態、及び上-左、右-下をつなぐ状態の、3 つのモードをとることができる。縦方向のリンクバスのシフトを可能とするために、横方向に補償リンクバス (図中の破線) を置く。

右シフトは 3 ステップの動作により成し遂げられる。ステップ 1 では、故障 PE の縦横方向のリンクバスに接続する全スイッチ束のスイッチ及び level-0 スwitch を Cross モードにし、故障 PE の切離しを行なう。ステップ 2 では、補償リンクバス及び 3 モードスイッチを用いて、縦方向のリンクバスの経路を曲げる。ステップ 3 では、レベルの再定義を行なう。1D-SRT の再構成と同様に、ノードのレベルが $l \rightarrow k$ に再定義される場合、縦横両方向のリンクバスに接続するスイッチ束のレベル l のスイッチが Connect モードから Cross モードに変更され、代わってレベル k のスイッチが Cross モードから Connect モードにセットされる (図中破線円)。縦方向にシフトする場合も同様の手続きによりシフト可能である。これらの手続きにより、故障 PE は上下左右どの方向にもシフトでき、故障の回避が可能である。

6 まとめ

本報告では、ノード当りのリンク数が固定、配線方向が縦横のみ、拡張性に優れる、などの特徴を持つ超並列システム用プロセッサ結合網 SRT のネットワーク特性と故障回避アーキテクチャについて議論した。SRT は 1 次元、2 次元で構成でき、それぞれ基本型、Long Span 型、Short Span 型が定義できる。これらについて平均通信距離、最大直径を検討したところ、1D-SRT ではノード数が 2 倍に

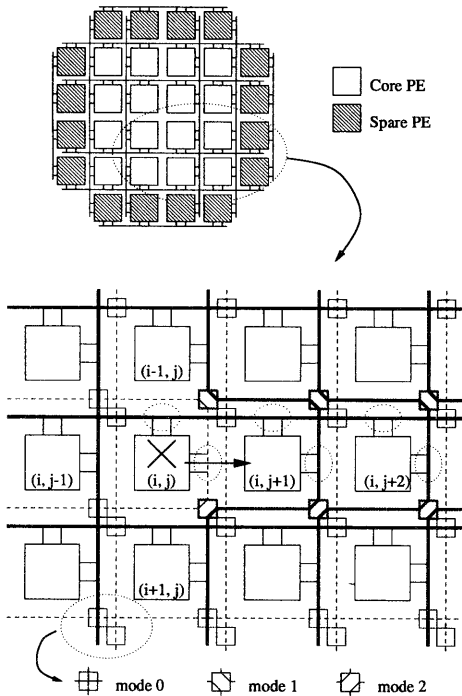


図 7: Reconfigurable 2D-SRT

なると平均通信距離が約 1.3 倍, 2D-SRT ではノード数が 4 倍になると平均通信距離が約 1.3 倍となることが分った. また, Short Span 型 SRT は, 平均通信距離の短縮にはあまり寄与しないが, 最大直径の短縮には有効である. 次に SRT の故障回避方法について考察し, スイッチ束を用いた 1D-SRT の再構成アーキテクチャ, 及び補償リンクバスを用いた 2D-SRT の再構成アーキテクチャを提案した.

今後の課題として, 複数ある経路からパケット衝突を避けて経路選択を行なう動的ルーティング, 及び 3 次元への拡張などがある.

謝辞 本研究の一部は科学研究費補助金を用いて行なわれた. 関係各位に感謝する.

参考文献

- [1] Hwang K., Briggs F.A.: "Computer Architecture and Parallel Processing" pp. 339-342, 345-350 McGraw-Hill (1985)
- [2] Arden B.W., Lee H.: "Analysis of Chordal Ring Networks", IEEE Trans. Computers, Vol.C-30, No.4, pp.91-295 (1981)

- [3] 加納 卓也, 広田 勝久, 藤本 茂訓, Andrew Flavell, 高橋 義造: "階層構造をもつ分散メモリ型超並列計算機 MANDALA の設計" 情報処理学報 ARC-95-11 (Aug. 1992)
- [4] 楊 愚魯, 天野 英晴, 柴村 英智, 末吉 敏則: "超並列計算機に向き結合網:RDT" 信学論 (D-I) Vol. J78-D-I No.2 pp.118-128 (Feb. 1995)
- [5] 井口 寧, 堀口 進: "超並列計算機向きプロセッサ結合網 SRT" 信学技報 CPSY95-69 (Oct. 1995)
- [6] Kung S. Y., Jean S. N. and Chan C. W.: "Fault-Tolerant Array Processors Using Single-Track Switches" IEEE Trans. Computers, 38, 4 (Apr. 1989)
- [7] 沼田 一成, 堀口 進 "格子結合型マルチプロセッサシステムの WSI 構成法" 信学論 (D-I) Vol. J77-D-I No.2 pp.121-129 (Feb. 1994)