

実時間可変構造パイプライン計算機 における画像変換

長谷川 誠

静岡大学情報学部情報科学科

〒432 浜松市城北3-5-1,

Phone: (053)-478-1465, e-mail: hasegawa@cs.inf.shizuoka.ac.jp

あらまし

超高速メディア・プロセッサを低コストで実現するためにどのような方法が取りうるかについて述べる。デジタル・カメラをを例題として可変構造パイプライン計算機に具備すべき機能の検討を行いその有効性の検証を行う。

キーワード デジタル・カメラ, パイプライン, VLSIアーキテクチャ, 再構成マシン, 超並列

Unconventional High-speed Media Processor for Digital Still Camera

Makoto HASEGAWA

Dep. of Computer Science, Fac. of Information

Shizuoka University

3-5-1 Johoku, Hamamatsu, Shizuoka, 432, Japan

Phone: (053)-478-1465, e-mail: hasegawa@cs.inf.shizuoka.ac.jp

Abstract

We propose an ultra high speed media processor based on Functional-pipe, which capable of making the digital still camera more effective.

key words

digital still camera, pipeline, VLSI architecture, reconfigurable machine, massively parallel

1. まえがき

現時点における半導体プロセスを用いて1cm角のシリコン・チップの上にトランジスタを敷き詰めるならば、1億個以上のTrをその上に形成するのもさほど困難なことではない。しかし、現実に存在するVLSIプロセッサは同一面積では数百万Tr程度の集積度であり、双方の狭間には一桁を越えるギャップが存在する。

現在のVLSI計算機アーキテクチャはこの膨大なトランジスタを有効に活用することには必ずしも成功してはいない。性能向上の主要因はクロック周波数の向上であり、この方向が今後とも順調に推移するか否かは、必ずしも樂觀を許さない。ウエファ・スケール・インテグレーションの利用可能性を考えると、膨大な数のトランジスタをうまく活かし高い柔軟性を有するアーキテクチャが強く求められている。

このような、チップ上の多数なトランジスタを有効に活用して性能向上を目指した方式として、実時間可変構造パイプライン計算機が存在する。たとえトランジスタを少々無駄遣いしてでも、パイプラインピッチの極小化によってスループットの向上を図り、規則的なレイアウトを貫くことによって一定面積の中により多くのトランジスタを詰め込むことを狙う。

本稿では、デジタルカメラで必要になる画像処理を例題にとりつつ、どのようにすれば実時間可変構造パイプライン計算機を効率的に実現でき、かつその適用範囲を広げることができるかの検討を主題とする。もちろん動画像の処理も念頭にはあるが、明示的に提示することはない。

まず、実時間可変構造パイプライン計算機の簡単な説明を示し、次にその演算のパイプラインピッチを極小化する方策について検討する。その次に、現在のデジタル・カメラの大きな問題点である、被写体の輝度の分布が大きいときに対応しきれない問題(少し輝度の高い環境に対しては簡単に白飛びが発生してしまう)に対する一つの解決策を、本方式をベースにして示す。

最後に、画像処理の多くが被写体の輝度に対してリニアではない環境で実行されている状態に鑑み、そのような状況の問題点について示し、本方式のように膨大な計算パワーがごく低コストで実現できるならばシンプルな(しかし、ハードウェア要求量は大きい)解決策の存在することを示す。

2. 実時間可変構造パイプライン計算機

パイプラインピッチを短縮するために、ビット加算器の出力の桁上げ信号は通常のように同一加算ステージ内での桁上げ加算の完了を待つのではなく、後続の演算ステージ

の上位ビットへ桁上げ信号を送り付けてしまい、そこで演算ステージ一段経過毎に1bitずつ桁上げの解消を行っている。単一データに対してこのような方式をとることは、さしたる意味があるとは思えないが、演算対象がストリーム型のマルチメディアデータであるならば、この方式は大きな意味を持つことになる。なにしろ、各ステージの演算時間は1bit加算時間にまで短縮することが可能なのである。

また、各演算ステージの演算機能は加算に固定したのではなく、この各演算ステージに外部から与える制御信号によって実時間で再定義可能なものとする(HASE83, EBA89, KUWA90, EBA93)。

本方式は、ある視点から見るとSumとCarryとのペアによって一つの数を表示しているという意味においてSD表現による演算方式(AVIZ61, HWAN79)と類似した一つのヴァリエーションと解することも可能である。[HASE83]の時点ではまだ理解が足りなかったため両者をまったくの別ものとして扱っていたが、双方に共通した特性(長所・短所)も存在する。

SD演算と比較するならば、符号化が正負対称でないことから来る表現領域の問題に関しては正当派SD表現に劣り、各演算ステージ毎に正規化を行うための調整演算用付加ステージを必要としない点ですぐれる。この調整演算用付加ステージが不要としていることは、各演算ステージの構成ハードウェア量の点で有利になるのみならず、パイプラインピッチの極小化の点で大きな優位性を持つことになる。

この方式において、性能向上の一つの源泉は、パイプライン・ピッチの極限までの時間短縮である。そこで、まず最初に、全ての基本となる加算器の構成法に立ち戻ってどのような方法を探りうるかの検討を行う。

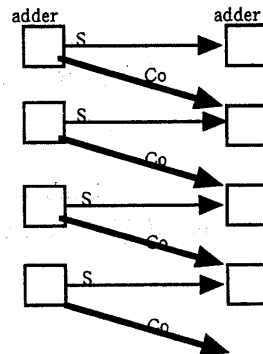


図1: 実時間可変構造パイプライン計算機の演算ステージ

全加算器への外部からの入力を A および B とし、下位

桁からの桁上げ信号を C_i とする。この加算器から外部へ出力される信号は和(S)と桁上げ(C_o)との2つであり、これら相互間の関係は、表1に示すように真理値表の形で表現することができる。

表1：全加算器の真理値表

A	B	C_i	S	C_o
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

この真理表から桁上げ(C_o)を求めると、

$$\begin{aligned} C_o &= \bar{A} B C_i + A \bar{B} C_i + A B \bar{C}_i + A B C_i \\ &= (\bar{A} + A) B C_i + A (B + \bar{B}) C_i + A B (\bar{C}_i + C_i) \\ &= AB + BC_i + AC_i \end{aligned}$$

この式から桁上げ生成論理回路を構成すると次の図のようになる。

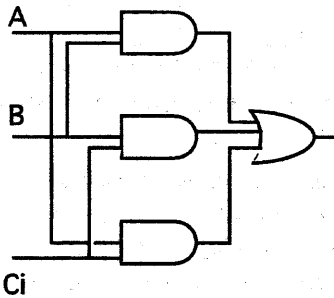


図2：桁上げ出力生成論理回路

これをパイプライン化するにはパイプラインレジスタの挿入が必要なわけだが、それによってパイプライン・ピッチが長くなるようではつまらない。そこで、扱いにくさはあるものの、論理段数を増加させない点と低ハードウェア要求量とに大きな利点を有する極性保存ラッチを使ってパイプライン化した回路を構成すると次のようになる。

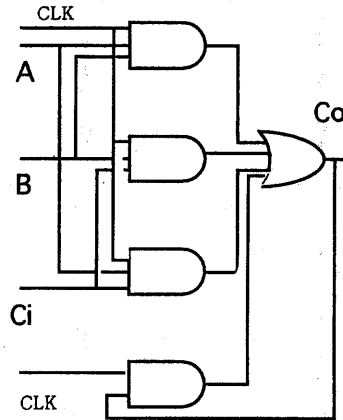


図3：極性保存ラッチによる桁上げ出力のパイプライン化

このようにして、桁上げ出力に関してはパイプラインレジスタ込みでも論理段数2段の実現が可能である。

これと同様に和(S)についての表現を真理値表から求めると

$$S = \bar{A} \bar{B} C_i + A \bar{B} \bar{C}_i + \bar{A} B \bar{C}_i + A B C_i$$

これを元にして、桁上げ出力信号の場合とまったく同様の手順で、論理段数2段の実現を得ることができる。

このようにして実現された本方式の演算能力は、 0.5μ プロセスを前提とした場合でさえ2,288,000MOPSを越えることになる[HASE96a]。また、その時の各演算ステージのハードウェア量は16bit演算時において200gate以下である。また、特性長の改善の3乗に比例して性能が改善されるのも大きな魅力である。現在のVLSIプロセッサのようにクロック周波数向上に性能改善の多くを頼っているものとは異なり、このことは将来の性能向上に関しても長期間にわたって大いに期待できることを意味しているからである。

3. デジタル・カメラの輝度範囲の改善

現在のデジタル・カメラを使用している大きな不満のひとつは、被写体の輝度範囲が広い場合に対応し切れない点である。特に、高輝度側においてはすぐに明度表現が飽和してしまい、簡単に白飛びを起こしてしまう。

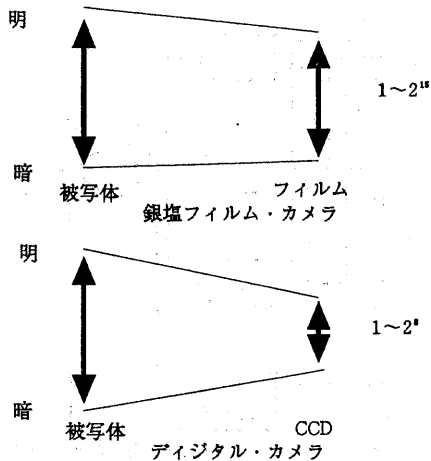


図4: 銀塩カメラとデジタル・カメラとの表現域の差異

これは、変化率の低下ではなく完全な飽和なので、撮影後に画像処理ソフトウェアによっていささかなりとも情報を回復する試みも成功しない場合がまずほとんどである。プロフェッショナルならばそれなりの回避テクニックを身につけているものであろうが、私のような素人にとっては大変に使いにくい。

こうしたことが起きる原因は、撮像部に用いられている CCDにある。これそのものが、ある一定量以上の入射光量に対して完全に飽和してしまうためである。CCDの光量変化対応範囲は $1 \sim 2^8$ にしか過ぎない。これに対して、銀塩フィルムは $1 \sim 2^{14}$ 程度の対応域を有する。変動に対応する許容量が全くもって異なるのである。

このデジタルカメラの入射光量許容量を改善するために、一例として次のような方策を考える。

一枚の撮影のためのシャッター時間をたとえば100分割して、時間軸上に並んだ100枚の素材画像を取得する。この素材画像を元にしてデジタル的に加工合成して最終的な1枚の写真を得ることにする。

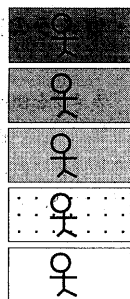


図5: 画像シーケンス

このようにすると、少なくとも入射光量上限の許容量は100倍に改善されることになる。

問題は、この方策を選択したときのハードウェア要求量の増大と処理能力要求量の増大にどのように対処するのかという点である。まず、画像バッファに使うためのメモリの要求量は処理能力が十分でない場合には100倍になる。これは、1枚の画像の処理が完了する前に次の素材画像がやってくる場合には実時間処理は不可能であるから、いったん画像バッファに全部の素材画像を記録しておかなければならない。これに対して、画像処理プロセッサの能力が十分であれば、用逸すべきバッファは画像処理アルゴリズムの要求するもののみで十分である。そうしたことも含めて、最低限でもプロセッサの処理能力も100倍にならないといけない。ところが、現時点でのデジタルカメラのほとんどが動作速度の点で明らかに不十分なのを我慢しながら使っているのが実情であることを考えると、これを実行に移すためには、超高性能で低コストのプロセッサが登場しない限り絵に描いた餅にしか過ぎない。また、画面解像度の向上とともにより高い処理能力を要求されることになる。

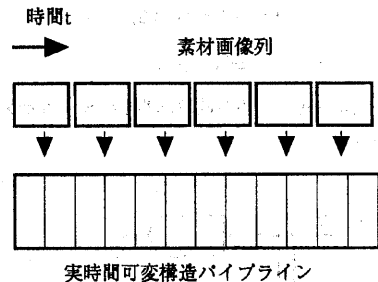


図6: 多数の素材画像列からの最終画像の合成

また、最終的な1枚の画像を合成するに当たって多数の素材画像を利用できるとなれば、単にデータを累算すだけだけではなく、もっと高度な処理を施したくなってくる。実は、素材画像を取得するに当たって一定時間間隔でサンプリングする必然性が存在するわけでもない。処理が複雑になることを覚悟するならば、露光時間の異なる素材画像を取得することは何でもない。

たとえば、露光時間が短くCCDのノイズが目立つ低輝度の領域については、雑音除去のためのフィルタリング操作をあらかじめ行っておき、それを露光時間の長い素材画像と合成するようなことも、プロセッサの処理性能さえ間に合うのならば、特段に難しいことというわけではない。

最初からストリーム型データの処理を意識している実時間可変構造パイプラインでは、こうした要求に対して比較

的容易に対処することができる。

突き詰めていうならば、カメラの電子化ではなく、最初からデジタル画像処理マシンとしてカメラをとらえなおそうということである。

4. γ 補正のキャンセル

CRTディスプレイによって表示することを想定した画像においては、CRTの γ 特性を補正するために送り出し側で逆 γ 変換をかけておくのが一般的である。デジタル・カメラの場合もその例に漏れない。

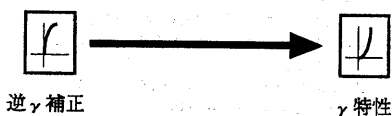


図7：通常は逆 γ 補正処理が施されている

非常に一般的に実施され通常は確かに便利な逆 γ 補正であるが、逆 γ 変換を施された領域で画像加工を行うこととなると途端に厄介な問題を引き起こす。たとえば、逆 γ 補正領域で輪郭強調を行うと、明暗の大きい部分に強い輪郭強調が掛かり明暗の小さい部分に対してはあまり輪郭強調が掛からないという問題を引き起こす。局所情報のみに基づいた輪郭強調アルゴリズムであると、画像中にリングングを引き起こしてしまうことさえある。このことに対して無頓着であると、画像がいかにTVくさい雰囲気になってしまうことになる。

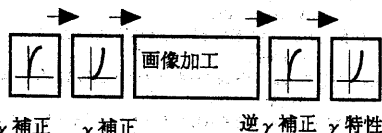


図8：画像加工の前後では逆 γ 補正の解消と回復が必要

この問題に対するもっとも正当な解決方法は、画像加工を行う場合には必ず輝度に対して線形な状態で処理を行うことである。しかしながら、逆 γ 補正の掛かっているデータから補正を外し、画像加工を行い、その結果に再び逆 γ 補正を施してCRT表示部へ送り出すとなると、加工処理の前後では指数関数による変換が必要となる。残念ながら、現在のコンピュータにとって指数関数は必ずしもコストの小さな処理ではない。

そこで、実時間可変構造パイプライン計算機を使ってこ

の問題に対してどのように対処できるかを検討してみることにしよう。本方式の特性を考慮して、以下に示すような漸化式の形に持ち込む方針で臨む、

$$f(g(h(x))) \dots$$

γ 補正および逆 γ 補正はそれぞれ、

$$g(x) = \exp(\gamma x) \quad \text{および} \\ h(x) = \exp(x/\gamma)$$

として表現される。ここで、CRT固有の γ の値は2.2~2.5程度であるが、通常は $\gamma=2.2$ を使うことが多い。まず、指数関数をべき級数展開して、

$$\exp(x) = 1 + x/1! + x^2/2! + x^3/3! + \dots$$

となる。画像データの輝度値は0~1に正規化して扱っても特に問題の生ずることはないから、この級数はさほど多くない項数を採用するだけでもかなり良好な近似値が得られることを期待してよい。多項式

$$p(x) = a_n x^n + a_{n-1} x^{n-1} + \dots + a_1 x + a_0$$

は組立て除法の形に変形することができて

$$p(x) = (((a_n x + a_{n-1})x + a_{n-2})x + \dots + a_1)x + a_0$$

と表現することができる。指数関数の場合は

$$p(x) = (((1/n! \cdot x + 1/(n-1)!))x + \dots + 1)x + a_0$$

となる。したがって、次のような漸化式の計算へ持ち込むことが可能となった。

[指数関数計算のアルゴリズム]

最初、 $p_0 = 1/n!$ とする。その後は、漸化式の演算

$$p_k = p_{k-1} \cdot x + 1/(n-k)! \quad (k=1,2,\dots,n)$$

を繰り返す。当然ながら、定係数を構成する階乗部分は事前に計算しておいて定数テーブルに収納しておくことができる。

これを、可変構造パイプライン計算機の上にマッピングすると次のような形になる

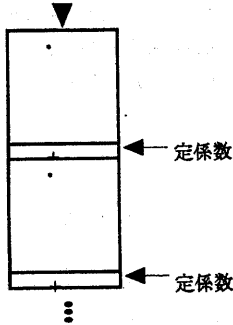


図9：指数関数の構成例

このように、乗算部と加算部のペアを必要な回数だけ繰り返すシンプルな構造ととして実現できる。演算性能は、スルーputがビット加算時間相当の一定時間、通過遅延は $(n+1)K$ 時間 (K は計算項数, n はビット長) に比例する。実現に必要なハードウェア量は $(n+1)nK$ に比例する。

ここで示した以外にも、画像の縮小・拡大オペレーションや、それに更に回転操作を加えたアフィン変換なども、同じようにして扱うことができる。また、こうした変換操作の前後に本来は必須であるプレ・フィルタやポスト・フィルタの実現においても同様である。

レンズの色収差を演算によって補正することがある程度可能になれば、レンズの設計は容易になり、効果な組合せレンズに頼ることなく高性能なカメラを実現することが可能となるはずである。ガラスレンズに比べれば精度の劣る射出成型されたプラスチックレンズの歪みを個体対応で補正することなども可能である。

ピントずれに対しても十分な演算能力さえあれば補正できる。さらに、撮影時の手ブレに対してさえも、スーパーコンピュータ並みの処理能力を投入する意思があるならば、ある程度までは補正することが原理的には可能なのである。

5. 結論

動画像を扱うにしても静止画像を扱うにしても、ストリーム型のマルチメディア・データに対しては低コストで実現できる超高速メディア・プロセッサが本質的な重要性を持つことになる。従来の延長ではない全く新しい応用を考えるならば、こうしたメディア・プロセッサが利用できるか否かが実現可能性を決定的に左右することになる。

実時間可変構造パイプライン計算機はもちろん万能ではないが、少なくとも幾つかの領域でそのような要望に応えることができる可能性を見せている。

謝辞

この研究の最初の理解者であった佐藤利三郎東北大学教授と重井芳治東北大学教授に深く感謝します。著者在学時に議論の相手を努めて下さった東北大学重井研・佐藤研・木村研の皆さんにお礼申し上げます。

参考文献

- [AMAN95] 天野英晴: FPGAとそのインパクト, bit Vol.27-10, pp.11-21 (Oct. 1995).
- [AMA96] 天野英晴: 並列コンピュータ, 昭晃堂(1996).
- [AVIZ61] A. Avizienis: "Signed-Digit Number Representations for Fast Parallel Arithmetic", IRE Trans. Elec. Computer, EC10-9 (Sept. 1961)
- [ENOM96] 榎本忠義: CMOS集積回路, 培風館(1996).
- [EBAT89] 江端, 久輪津, 角丸: 可変論理回路の構成について, 電子情報通信学会論文誌A, J72-A.2(1989).
- [KUWA90] 久輪津, 江端: 可変論理回路の自動合成, 電子情報通信学会論文誌A, J73-A.7(1990).
- [EBAT93] 江端, 倉谷, 吉岡, 久輪津: 可変論理回路における冗長性の影響について, 電子情報通信学会論文誌A, J76-A.2(1993).
- [ETO89] 江藤阿知業: テレビジョン信号のデジタル回路, コロナ社(1989).
- [FORS77] G.E. Forsythe et al.: Computer methods for mathematical computations, Prentice-Hall(1977).
- [FUKI84] 吹枝敬彦: 画像のデジタル信号処理/増補版, 日刊工業新聞社(1984)
- [FUKI88] 吹枝敬彦: TV画像の多次元信号処理, 日刊工業新聞社(1988).
- [HAMM77] R.W. Hamming: Digital Filters, Prentice-Hall(1977).
- [HARA91] 原島博(監修): 画像情報工学, オーム社(1991).
- [HASE82] M. Hasegawa: An Interconnection Scheme for Computing Systems. Doctoral dissertation, Dep. Info. Sci., Tohoku Univ. (Jan. 1982).
- [HASE83] 長谷川, 重井: "偶数パイプ", 電子通信学会電子計算機研究会技術報告EC83-42(1983).
- [HASE95] 長谷川誠: 実時間可変構造パイプライン計算機, 情報処理学会計算機アーキテクチャ研究会資料(1995).
- [HOCK81] R.W. Hockney and C.R. Jesshope: Parallel computers, Adam Hilger Ltd. (1981).
- [HORI95] 堀口進: ウェーブ規模超集積コンピュータの自律再構成方式に関する研究, 平成6年科研費研究成果報告書(1995)
- [HWAN79] Kai Hwang: Computer Arithmetic, John Wiley(1979).
- [KANAN80] 金井, 長谷川, 中村, 重井: "フィード・フォワード計算機の構造", 電子通信学会電子計算機研究会技術報告EASE(1980).
- [KUNI96] 国枝博昭: 集積回路設計入門, コロナ社(1996).
- [MEAD80] C. Mead and L. Conway: Introduction to VLSI systems, Addison-Wesley (1980).
- [MITS94] 身次茂: FPGAの現状と将来, 情報処理Vol.35-6, pp.505-510(Jun. 1994).
- [NAKA95] 中沢喜三郎: 計算機アーキテクチャと構成方式, 朝倉書店(1995).
- [NUMA94] 沼島弘: FPGAを利用したアーキテクチャとシステム設計, 情報処理Vol.35-6, pp.511-518 (Jun. 1994).
- [OKUG87] 奥川健史: LSIによる論理設計, 共立出版(1987).
- [IONO94] 小野定康・太田直久: スーパーシグナルプロセッシング, 昭晃堂(1994).
- [OPPE75] A.V. Oppenheim & R.W. Schaffer: Digital Signal Processing, Prentice-Hall(1975).
- [ROSE76] A. Rosenfeld: Digital Picture Processing, Academic Press(1976).
- [SHIG80] 重井, 長谷川, 中村: "Feed Forward 計算機の提案", 情報処理学会第21回全国大会2J5 (1980).
- [TOMI96] 富田真治: 並列コンピュータ工学, 昭晃堂(1996).
- [YASU91] 安田浩(編著): マルチメディア符号化の国際標準, 丸善(1991).
- [WEST85] N.H.E. Weste & K. Eshraghian: Principles of CMOS VLSI Design: A system Perspective, Addison-Wesley(1985).