

DIMMnet-2 低遅延通信機構の実装と評価

宮部 保雄[†] 北村 聡[†] 濱田 芳博^{†††}
宮代 具隆[†] 伊澤 徹[†] 田邊 昇^{††}
中條 拓伯^{†††} 天野 英晴[†]

DIMMnet-2 は、DIMM スロットに装着するタイプの PC クラスタ向けネットワークインタフェースである。汎用 PC に標準的に搭載されているメモリバスを用いることで、PCI-X などのバスを用いるネットワークよりシステムの構築コストを低く押さえることができる。また、メモリバスはホスト CPU から低レイテンシでアクセスできる特長を持っている。本論文では、DIMMnet-2 ネットワークコントローラ上にメモリバスの特長を生かした低レイテンシで通信を行うことのできる通信機構を実装し、評価を行った。その結果、対向接続されたノード間での最小レイテンシが $1.89\mu\text{s}$ となり、InfiniBand と QsNET II に比べ低いレイテンシでデータを転送することが可能であることが示された。

Implementation and Evaluation of the Mechanisms for Low Latency Communication on DIMMnet-2

YASUO MIYABE,[†] AKIRA KITAMURA,[†] YOSHIHIRO HAMADA,^{†††}
TOMOTAKA MIYASIRO,[†] TETSU IZAWA,[†] NOBORU TANABE,^{††}
HIRONORI NAKAJO^{†††} and HIDEHARU AMANO[†]

DIMMnet-2 is a network interface for PC cluster, plugged into a DIMM slot. Connecting network interface into commonly used memory bus reduces the cost of building PC cluster compared with using expensive machines with recent high performance I/O bus like PCI-X. Moreover, low latency communication from the host CPU can be achieved. In this paper, implementation of the mechanisms for low latency communication on DIMMnet-2 by making the best use of the memory slot is shown. Its latency for data transfer is lower than those of InfiniBand or QsNET II.

1. はじめに

近年、Personal Computer (PC) 市場の著しい発展による量産効果によって、高性能な CPU を搭載した PC が安価に入手可能になった。これにより、従来のスーパーコンピュータと比較し、価格対性能比の面で有利な多数の汎用 PC を相互に接続して並列処理を行う PC クラスタシステムが、企業や研究機関などで広く使われるようになってきた。

PC クラスタには、高バンド幅かつ低レイテンシなネットワークが求められる。そのため PC クラスタでは、Gigabit Ethernet などの汎用ネットワークだけ

でなく、PC クラスタ向けに汎用ネットワークに比べレイテンシが小さくなるように設計された Myrinet¹⁾、Quadrics Network(QsNET)²⁾、InfiniBand³⁾ などの専用ネットワークも用いられている。

これら PC クラスタ向けネットワークのネットワークインタフェースは、通常ホスト PC の PCI-X バスや PCI-Express バスに接続される。しかし、PCI-X バスをサポートするマザーボードは主にサーバ用途のものであり、一般の PC で使われるものより高価であるため、ノード単価の上昇を招く。PCI-Express についても、一般の PC で用いられるマザーボードではネットワークインタフェースを装着できるスロットとしては、 $\times 1$ や $\times 2$ といった PC クラスタ用の I/O バスとしてはバンド幅が十分でない低速な規格しかサポートされていない。

また、近年ホスト CPU、メモリ、インターコネクットの性能の向上に伴い、ホスト CPU からネットワークインタフェースまでのアクセスレイテンシがシステム

[†] 慶應義塾大学

Keio University

^{††} (株) 東芝 研究開発センター

Corporate Research and Development Center, Toshiba

^{†††} 東京農工大学

Tokyo University of Agriculture and Technology

の性能に大きな影響を与えつつある。

こうした背景から我々は、PC の DIMM スロットに着目し、ここにネットワークインタフェースを装着する手法を提唱している。メモリバスのバンド幅は、ムーアの法則に追従して進歩しており、将来的にも高いバンド幅を期待できる。さらに、メモリバスはホスト CPU から PCI-X バスなどよりも低遅延でアクセスが可能である特長をもっている。

本論文では、既に稼働に成功している DIMMnet-1⁴⁾⁵⁾ の経験に基づいて、新たに開発を行っている DIMMnet-2⁶⁾ に実装した低遅延通信機構について述べ、その通信レイテンシの評価を示す。

以下、第 2 章で DIMMnet-2 の概要について述べる。第 3 章で低遅延通信機構の設計と実装について述べる。第 4 章でその評価について述べ、既存の PC クラスタ向けネットワークとの比較を行う。最後に第 5 章で本論文をまとめる。

2. DIMMnet-2

DIMMnet-2 は DIMM スロット装着型ネットワークインタフェースの二世目として、東京農工大学、及び新情報処理開発機構によって開発された DIMMnet-1 の経験に基づいて開発が行われている。DIMMnet-2 が用いる DIMM スロットは DDR SDRAM スロットである。

2.1 メモリバスを用いることによる利点

現在、PC クラスタ向けネットワークのリンクバンド幅は数 Gbps のものが主流になっているが、従来の PCI バスの転送性能ではネットワークの性能を十分に利用できない。そのため、一般に高性能な PC クラスタを構築する場合、高速な PCI-X バスや PCI-Express バスを搭載するサーバ機を利用する。しかし、サーバ機は、ノード単価が汎用 PC に比べて高いため、システム構築のコストを押し上げてしまう。一方、メモリバスは将来的にも高いバンド幅を期待でき、すべての PC が搭載しているため、メモリバスをネットワークインタフェースの装着口とする DIMMnet-2 は PC クラスタのノードに安価な汎用 PC を利用して低コストで PC クラスタを構築可能であると考えられる。

また、メモリバスは CPU と密に接続されているため CPU から低レイテンシでアクセス可能であるという特長を持っている。PC クラスタに用いられるネットワークの中で通信レイテンシが特に低いものとして PCI-X バスに接続される QsNET II が挙げられるが、8Byte のデータをリモートノードに転送する処理のうち、ホストのチップセットの遅延が全体の 3/4 以上を

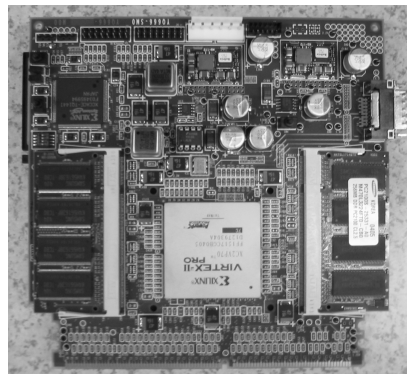


図 1 DIMMnet-2 試作基板

占めている⁷⁾。メモリバスを使う DIMMnet-2 は、ホストのチップセットの遅延を小さく押さえられるので、既存の PC クラスタ向けネットワークよりも低レイテンシな通信を実現できると考えられる。

2.2 DIMMnet-2 試作基板

現在、DIMMnet-2 ネットワークインタフェースコントローラの機能検証、論理検証を目的とした DIMMnet-2 試作基板が完成している。

図 1 に試作基板の外観を示す。試作基板は、Xilinx 社の FPGA、Virtex-II Pro XC2VP70-7FF1517C を搭載しており、ネットワークインタフェースコントローラはこの FPGA 上に実装する。また、この FPGA が持つ高速シリアル I/O インタフェースである RocketIO トランシーバを利用して、DIMMnet-2 を InfiniBand スイッチ (4X 10Gbps) に接続する。

試作基板には、200pin DDR SO-DIMM を 2 枚搭載する。このメモリは通信用のバッファに使用するほか、ホスト PC のデータ記憶領域としても使用される。現在、搭載している SO-DIMM の 1 枚の容量は 256MByte であるが、将来的にはホスト PC のメモリスロット 1 本当たりに搭載可能な最大メモリ容量以上の SO-DIMM を搭載し大規模な分散共有メモリシステムを構築することを視野に入れている。

コントローラに FPGA を用いるため、本試作基板は高い動作周波数での稼働が困難である。そのため、本試作基板を装着するメモリスロットの規格は PC-1600 を対象とし、FPGA は 100MHz で動作させる。

2.3 DIMMnet-2 ネットワークインタフェースコントローラ

図 2 に DIMMnet-2 ネットワークインタフェースコントローラのブロック図を示す。コントローラは、送信パケットの生成や受信パケットの解析といった通信

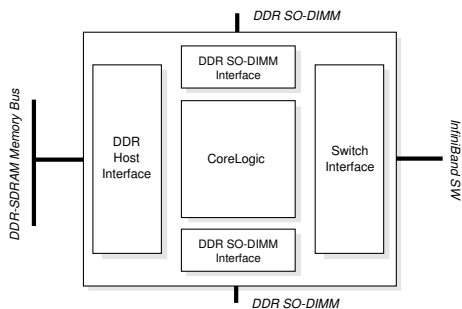


図 2 DIMMnet-2 ネットワークインタフェースコントローラのブロック図

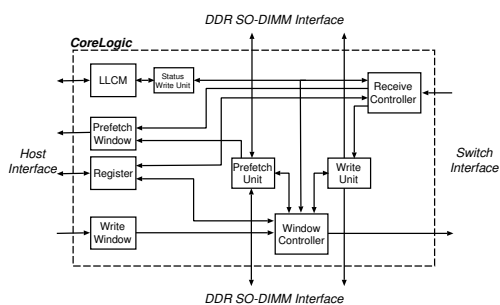


図 3 CoreLogic 部の構成

処理等を担う CoreLogic 部を中心に、ホスト CPU と CoreLogic 間、CoreLogic と DIMMnet-2 基板上の SO-DIMM 間で 64bit DDR データと 128bit SDR データの変換を行う DDR Host Interface 部と DDR SO-DIMM Interface 部、そして、InfiniBand スイッチとのインタフェースとなる Switch Interface (SWIF) 部からなる。

CoreLogic 内部の構成を、図 3 に示す。このうち Write Window、Prefetch Window、LLCM、Register がホスト CPU から直接アクセス可能なモジュールである。

- Write Window: ホストから書き込み専用のバッファ
- Prefetch Window: ホストから読み込み専用のバッファ
- LLCM: 汎用的に用いられるホストから読み書き可能なバッファ
- Register: DIMMnet-2 制御レジスタ
- Prefetch Unit: SO-DIMM からのデータ読み出し制御部
- Write Unit: SO-DIMM へのデータ書き込み制御部
- Receive Controller: 受信パケット処理部
- Window Controller: 制御コマンド解釈、送信パケット生成部
- Status Write Unit: パケット受信ステータス書き込み処理部

Write Window と Prefetch Window は 512Byte を単位としてユーザアドレス空間にマップされる。

Write Window は、Pentium Pro 以降の IA32 アーキテクチャプロセッサで利用可能な MTRR(Memory Type Range Register) を Write Combining と設定する。これによりキャッシュを汚さずに高い書き込みバンド幅を得る。Prefetch Window は、メモリからの読み出しがバーストアクセスで行われる Write Back 領域に設定し、DIMMnet-2 とキャッシュの状態の整合は、ユーザプロセスがキャッシュをライン単位で無効化する CLFLUSH 命令を実行することでとる⁶⁾。

試作基板では、1 つの DIMMnet-2 基板上で 2 プロセスまでの動作をサポートし、各プロセスごとに Write Window 2 つ、Prefetch Window 4 つ、LLCM を 32KByte 確保する。

ユーザプロセスから基板上の SO-DIMM へのアクセスは、Prefetch Window と Write Window を介して間接的に行う。この方式では、SO-DIMM の領域はホストの MMU の物理 - 仮想アドレスの管理対象外となり、ユーザプロセスは SO-DIMM の物理アドレスを直接指定して各種の動作要求を DIMMnet-2 に行うことになる。従って、コントローラ内部にアドレス変換用の TLB を内蔵する必要はなく、SO-DIMM への直接アクセスを許す DIMMnet-1 に比べコントローラの構造を簡潔にすることができる。

Prefetch Unit と Write Unit はそれぞれ SO-DIMM からのデータ読み出し、SO-DIMM へのデータ書き込みを制御するモジュールである。これらモジュールは、連続した領域に対する読み書き以外に、等間隔アクセスやリストアクセスといった不連続な領域に対する読み書きをサポートする⁸⁾。この機能により SO-DIMM に対する不連続なアクセスに対しても高いバンド幅を提供でき、不連続なデータをまとめて Window に格納することによってキャッシュヒット率やメモリバスの利用効率を向上させることができる。

3. 低遅延通信機構

3.1 DIMMnet-2 におけるプロセス間通信

DIMMnet-2 におけるプロセス間通信は、表 1 に示すように、SO-DIMM、Write Window、Prefetch Window、LLCM 間で行われる。

SO-DIMM が送信データの読み取り場所、または受信データの格納先となる場合、DIMMnet-2 は連続したデータの転送以外に等間隔に並んだデータなどの不連続なデータを転送することが可能である。

DIMMnet-2 のシステム内のプロセスは、ユーザプ

表 1 プロセス間通信のパターン

ローカルプロセス	転送方向	リモートプロセス
SO-DIMM Write Window		SO-DIMM Prefetch Window LLCM
SO-DIMM Prefetch Window		SO-DIMM

ローカルプロセス：通信を起動したプロセス
リモートプロセス：ローカルプロセスの通信相手

プロセスからは 14bit の Process ID(PID) で、DIMMnet-2 からは Local ID(LID) と Window ID(WID) の組み合わせで識別される。LID とは、InfiniBand ネットワークにおいて各 DIMMnet-2 基板に割り当てられる識別子であり、WID は 1 つの DIMMnet-2 基板を利用するプロセス郡内での識別子である。

プロセスは、特定のコマンドを Register に書き込むことで通信要求を行う。この時、ユーザプロセスはノードの特権プロセスが生成する PID と LID,WID の対応テーブルを通信相手の PID で引き、得られた通信相手の LID と WID を DIMMnet-2 に通知する。

通信要求は Window Controller で処理される。Window Controller は、送信するパケットのヘッダを作成し、64bit のデータと 2bit の識別子を合わせた 66bit を 1 つの単位 (line) として SWIF に転送する。また、必要に応じて SO-DIMM や Write Window から送信するデータを読み取り、ヘッダと同様に SWIF に転送する。SWIF は転送されたデータを InfiniBand のパケットにカプセル化し、ネットワークに送出する。このとき Window Controller はパケットヘッダに PGID(Process Group ID) と呼ばれる識別子を付加する。PGID は、同一の並列処理に参加しているプロセス郡 (プロセスグループ) に固有の ID であり、特権プロセスによってコントローラに設定され、ユーザプロセスからは操作することはできない。

受信側の SWIF は、受信したパケットから DIMMnet-2 のパケットを取り出し、Receive Controller に line 単位でパケットを転送する。Receive Controller は、受け取ったパケットのヘッダに付加された PGID をチェックし、異なる PGID からのパケットを破棄する。この機構により、他プロセスグループに所属するプロセスからの自プロセスグループに属する SO-DIMM 領域などへの不正なアクセスを防ぐことができる。

Receive Controller は、受け取ったパケットの種類に応じて SO-DIMM、Prefetch Window へのデータ書き込み処理、または Window Controller への返答パケットの生成要求を行う。SO-DIMM へのデータの書き込みには Write Unit を用いるが、Prefetch Window への書

き込みには、起動コストを低く抑えた専用のモジュールを用いる。これにより、Prefetch Window への細粒度通信を低遅延で行うことができるようになっている。

パケットヘッダの特定のフラグが有効である場合、パケットの受信処理が完了すると、LLCM 上に形成されたリングバッファに受信したパケットの種類や送信元 LID などの情報が書き込まれ、Register に記憶されている Write ポインタがインクリメントされる。ユーザプロセスは、この値をポーリングすることでパケットの到着・処理完了を検出することができる。

3.2 BOTF 通信

Write Window に書き込まれたデータにプロテクション情報を付加し、パケットとしてネットワークに送出する処理を BOTF(Block On The Fly)⁵⁾ と呼んでいる。

DMA コントローラの設定が不要で、設定情報を元にしたパケットを生成する時間がほとんど不要なため、BOTF は少ないクロック数でネットワークにパケットを送出することが可能である。また、BOTF ではパケットの送信先などの情報が、通信の起動要求を DIMMnet-2 に行う前に、既に Write Window に書かれているため、通信の起動時、ユーザプロセスが DIMMnet-2 の Register に書き込む情報が少なくてすむ。DIMMnet-2 コントローラに対する通常のコマンドは、64bit×2 の長さを持っているが BOTF に限っては 64bit の命令を 1 つ Register に書き込むだけで通信を起動することができる。

以上と DIMMnet-2 が持つ CPU からのアクセスレイテンシが低いという特性により BOTF によるデータ送信によるオーバーヘッドを低く抑えることができると期待できる。

一回の BOTF で送信できる最大データサイズは、1 つの Window Window のサイズからパケットヘッダのサイズを引いたものであり、496Byte である。ただし、送信するパケットのヘッダを操作することで送出した複数のパケットを受信側において 1 つの大きなパケットとして処理させることも可能である。

BOTF は、ユーザプロセスが自由にパケットヘッダを作成することができるが、プロセスグループ間の干渉を防ぐキーとなる PGID と、パケットサイズを示すフィールドの値は、パケットをネットワークに送出する前に DIMMnet-2 ネットワークコントローラによって強制的に正しい値に書き換えられる。

4. 評価

5m の InfiniBand ケーブルによって対向接続された 2 ノード、2 つの DIMMnet-2 基板間で BOTF による

表 2 評価環境

CPU	Pentium4 2.6GHz
Chipset	VIA VT8751A
Memory	PC-1600 DDR-SDRAM 512MByte ×1 DIMMnet-2 ×1
OS	RedHat8 (Node0: Kernel 2.4.27 / Node1: 2.4.18-14)
gcc	3.3.5 (-O3 -march=pentium4 -msse2)

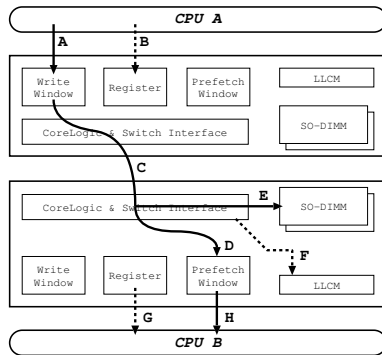


図 4 測定範囲

Ping-Pong 転送を行い、そのラウンドトリップタイム (RTT) から BOTF による通信のレイテンシを計測した。

4.1 測定方法

評価に用いた環境を表 2 に示す。

BOTF で送信するパケットは、DIMMnet-2 で最も基本的な受信したデータを Prefetch Window または SO-DIMM に連続して書き込む種類のものを用い、転送するデータサイズを 16Byte 単位で増減させた。また、送信するデータは DIMMnet-2 の実用において何らかの計算を行った結果を直ちにネットワークに送出する状況を想定し、計測前に予めキャッシュに入れておいたものを利用した。

レイテンシは、送信側ユーザプロセスが Write Window にパケットデータを書き込み始めた時点 (図 4 の A の処理) から、以下の 3 時点までを測定した。

- 送信したデータが受信側の Prefetch Window に書き込まれたのを、受信側ユーザプロセスが検出するまで。これは図 4 の、A B (BOTF Kick) C D F (受信ステータス書き込み) G (受信ステータス書き込み検出) の処理に掛かる時間に相当する。
- 送信したデータが受信側の SO-DIMM に書き込まれたのを、受信側ユーザプロセスが検出するまで。これは A B C E F G の処理に掛かる時間に相当する。
- Prefetch Window に受信したデータを受信側のユーザプロセスが読み取り終わるまで。(a) の処

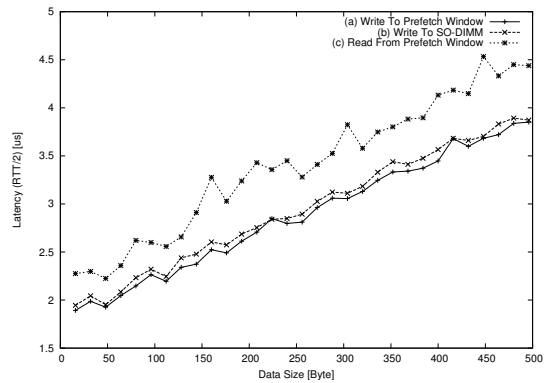


図 5 BOTF のレイテンシ

理に加え、H の処理に掛かる時間が追加される。CLFLUSH 命令によるキャッシュラインの無効化は、データ受信前にあらかじめ行っておく。

4.2 測定結果と考察

図 5 に、測定結果を示す。最小のレイテンシを記録したのは、16Byte のデータを転送する際で、その値は (a) の時点までで 1.89 μ s、(b) の時点までで 1.95 μ s、(c) の時点までで 2.28 μ s となった。

DIMMnet-1 で同様の測定を行った結果⁴⁾ の 2 倍近いレイテンシとなったが、これは SWIF を InfiniBand スイッチに接続可能としたことによるハードオーバーヘッド増加、AOTF Mini-OTF 受信部 LLCM という通信経路が未実装であること、ソフト面でのチューニング不足によるものと考えられる。

(a) に比べ (b) の方がレイテンシが大きい理由は、SO-DIMM へのデータ書き込みに用いられる Write Unit の起動コストが大きいためである。

RTL シミュレーションにより DIMMnet-2 ネットワークインタフェースコントローラは、BOTF による 16Byte のデータの転送処理命令が Host Interface に到達してから 0.33 μ s 後に送信処理を完了でき、16Byte のデータを Prefetch Window に書き込むパケットが SWIF に到着してから 0.46 μ s 後に受信ステータス書き込みを終えることができることが分かっている。これらより、(a) のうちホストの処理によるレイテンシは 1.1 μ s 以下であるとみなすことができる。

本論文執筆時点では InfiniBand スイッチを介した転送による評価はできなかったが、InfiniBand スイッチを介してデータの送受信を行った場合、スイッチの遅延 0.39 μ s⁹⁾ が全体の遅延に加わることになる。また、評価に用いたコントローラの SWIF は再送機構が未実装である。再送機能を実装することで遅延が 0.1 ~ 0.2 μ s ほど増える見通しである。

さて、(a) の場合は転送先が 1 プロセスに割り当てられた 4 枚の Prefetch Window のいずれかもしくは LLCM という制約が発生するが、(a)(c) の処理は InfiniBand の RDMA や QsNET II の ARMCI¹⁰ ライブラリの put 処理と “ユーザプロセスが指定した領域のデータを、リモートノードのプロセスが直接アクセス可能な位置に転送する” という点で同等である。そこでこれらの最小レイテンシと (a)(c) のレイテンシを比較する。

PCI-Express に装着された InfiniBand の VAPI レベルの最小レイテンシは $3.8\mu\text{s}$ であり¹¹、DIMMnet-2 の (a)(c) の処理の方がより低いレイテンシで処理を行うことができる。この結果は、DIMMnet-2 がホスト CPU から低レイテンシでアクセスできることに加え、Register に書き込む BOTF の起動に必要なコマンドのサイズを短縮したこと、そして遅延の小さい Prefetch Window への書き込み専用モジュールを設けたことなどによると思われる。

一方、QsNET II の最小レイテンシは $2.45\mu\text{s}$ であり⁷、スイッチの遅延を含めると (a) の処理では DIMMnet-2 は QsNET II に勝っているが、(c) の処理ではわずかに劣る。しかし、QsNET II のネットワークコントローラ Elan4 は DIMMnet-2 の 2 倍の 200MHz で動作しており、また現在の DIMMnet-2 は PC-1600 と低速な規格のメモリスロットを用いていることを考えると、ASIC 化等により DIMMnet-2 の動作周波数の向上と、高速なメモリスロットに対応することができれば、リモートプロセスから直接アクセス可能な任意の領域へのデータ転送を DIMMnet-2 は QsNET II よりも低いレイテンシで行うことが可能になるとと思われる。

5. ま と め

本論文は、DIMMnet-2 上に搭載したメモリバスの特長を生かした低いレイテンシで通信を行うことのできる通信機構の実装とその通信レイテンシの評価を行った。その結果、16Byte データ転送にかかるレイテンシを InfiniBand や QsNET II と比較し低く抑えることができることが示された。

今後は、スイッチを介したプロセス間通信の基本性能を測定していくのと同時に、メッセージ通信ライブラリ等のミドルウェアの整備を行う予定である。

謝辞 本研究は総務省戦略的情報通信研究開発推進制度の一環として行われたものである。DIMMnet-2 の開発に関する議論、開発にご参加頂いている (株) 日立 IT の今城氏、岩田氏、上嶋氏、慶應義塾大学の西助手、渡邊氏、大塚氏に感謝致します。

参 考 文 献

- 1) Nanette J. Boden, Denny Cohen, Robert E. Felderman, Alan E. Kulawik, Charles L. Seitz, Jakov N. Seizovic and Wen-King Su: Myrinet - A gigabit per second local area network, *IEEE Micro*, Vol. 15, No. 1, pp. 29-36 (1995).
- 2) Fabrizio Petrini, Wu-chun Fang, Adolfo Hoisie, Salvador Coll and Eitan Frachtenberg: The Quadrics Network: High-Performance Clustering Technology, *IEEE Micro*, Vol. 22, No. 1, pp. 46-57 (2002).
- 3) InfiniBand Trade Association: <http://www.infinibandta.org/>.
- 4) 田邊 昇, 濱田 芳博, 山本 淳二, 今城 英樹, 中條 拓伯, 工藤 知宏, 天野 英晴: DIMM スロット搭載型ネットワークインタフェース DIMMnet-1 とその低遅延通信機構 AOTF, 情報処理学会論文誌ハイパフォーマンスコンピューティングシステム, Vol. 44, No. SIG1(HPS 6), pp. 10-23 (2003).
- 5) 田邊 昇, 山本 淳二, 濱田 芳博, 中條 拓伯, 工藤 知宏, 天野 英晴: DIMM スロット搭載型ネットワークインタフェース DIMMnet-1 とその高バンド幅通信機構 BOTF, 情報処理学会論文誌, Vol. 43, No. 04, pp. 866-878 (2002).
- 6) 田邊 昇, 濱田 芳博, 三橋 彰浩, 中條 拓伯, 天野 英晴: メモリスロット装着型ネットワークインタフェース DIMMnet-2 の構想, 情報処理学会アーキテクチャ研究会, Vol. 2003-ARC-152, pp. 61-66 (2003).
- 7) David Addison, Jon Beecroft, David Hewson, Moray McLaren and Duncan Roweth: QsNet II: Performance Evaluation, <http://www.quadrics.com/> (2003).
- 8) 田邊 昇, 箱崎 博孝, 安藤 宏, 土肥 康孝, 中條 拓伯, 宮代 具隆, 北村 聡, 天野 英晴: メモリモジュール上での等間隔アクセス連続化の効果, *HOKKE-2005*, pp. 139-144 (2005).
- 9) 濱田 芳博, 荒木 健志, 西 宏章, 田邊 昇, 天野 英晴, 中條 拓伯: bDais: DIMMnet-1/InfiniBand 間ルータの評価, 情報処理学会アーキテクチャ研究会 (2004).
- 10) Nieplocha, J. and Carpenter, B.: ARMCI: A Portable Remote Memory Copy Library for Distributed Array Libraries and Compiler Run-Time Systems, *Proceedings of the 11 IPPS/SPDP'99 Workshops Held in Conjunction with the 13th International Parallel Processing Symposium and 10th Symposium on Parallel and Distributed Processing*, London, UK, Springer-Verlag, pp. 533-546 (1999).
- 11) Jiuxing Liu, Mamidala A., Vishnu A. and Panda D.K.: Evaluating InfiniBand Performance with PCI Express, *IEEE Micro*, Vol. 25, No. 1, pp. 20-29 (2005).