

## マルチコンテキストスクラビングによる順序回路実装

安藤 駆† 渡邊 実† 渡邊 誠也†

岡山大学大学院自然科学研究科†

## 1. はじめに

福島第一原子力発電所では津波による全電源喪失により、原子炉のメルトダウンが起きた。燃料デブリ付近の放射線強度は人間が 30 秒程で致死量の放射線をあびることになる 1000 SV/h と想定されている。従って、原子炉建屋内部の調査や燃料デブリの取り出しにロボットを活用することが期待されている。しかし、ロボットの制御を行う集積回路は放射線に脆弱であり、福島第一原子力発電所の廃炉作業では頻繁に交換する必要がある。

集積回路に放射線が入射すると、入射した放射線量に応じてトランジスタの特性が劣化していき、最終的には恒久故障に至る。また、メモリやレジスタに記憶されている情報が一時的に破壊されるシングルイベントが発生する。我々は、プログラマブルデバイスを用いれば回路が変更できるため故障箇所を回避した運用が可能になり、耐放射線性能が改善できると考えている。そして、耐放射線プログラマブルデバイスとして光再構成型ゲートアレイを研究している。本稿では恒久故障およびシングルイベントから高速に復旧可能で順序回路の実装が可能なマルチコンテキストスクラビングの実証試験結果について報告する。

## 2. スクラビング処理

FPGA (Field Programmable Gate Array)や光再構成型ゲートアレイのようなプログラマブルデバイスでは、コンフィギュレーションメモリ上で生じるソフトウェアを訂正するために、定期的に正しい情報でコンフィギュレーションメモリを更新するスクラビング処理が用いられる。外部メモリから回路情報を読み出し、スクラビング処理を行うブラインドスクラビングを FPGA に適用すると 1 回の訂正に数百ミリ秒の時間が必要となる。一方で、光再構成型ゲートアレイでは光による高速スクラビングが可能で、これま

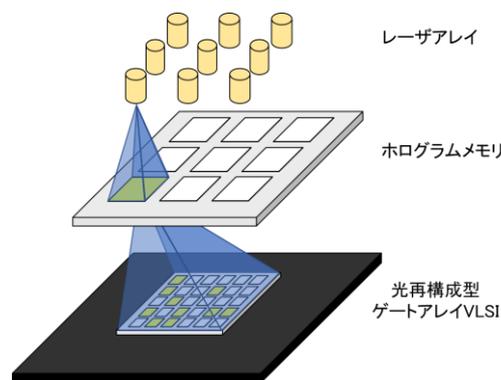


図1 光再構成型ゲートアレイの概要

でに数百ナノ秒でのブラインドスクラビングに成功している。

## 3. マルチコンテキストスクラビング処理

従来のスクラビング処理では、単一の回路情報をコンフィギュレーションメモリに書き込んできた。そのため、ソフトウェアには対処できるものの、恒久故障には対応できなかった。そこで我々はコンフィギュレーションメモリに複数の回路情報を順番に書き込むマルチコンテキストスクラビング [1]を提案している。このマルチコンテキストスクラビングでは、同機能で別ハードウェアリソースを使用する回路情報を複数用意することで恒久故障からの復旧が可能になる。

## 4. 光再構成型ゲートアレイ

我々が開発を進める光再構成型ゲートアレイは図1に示すように、レーザーアレイ、ホログラムメモリ、光再構成型ゲートアレイ VLSI から構成される。レーザーアレイはホログラムメモリから回路情報を読み出すためのアドレッシングに使用される。レーザーアレイの各レーザとホログラムメモリの各記憶領域は 1 対 1 対応している。所望のホログラムメモリに対応したレーザを点灯させることで回路情報となる回折パターンが生成される。回折パターンは明点と暗点の 2 値のパターンであり、光再構成型ゲートアレイ VLSI 上に実装されたフォトダイオードにより読み取られる。光再構成型ゲートアレイ VLSI はアイランドスタイルのゲートアレイ構造を採用し

A sequential circuit implementation using a multi-context scrubbing operation

Kakeru Ando†, Minoru Watanabe†, Nobuya Watanabe†  
Graduate School of Natural Science and Technology, Okayama University†

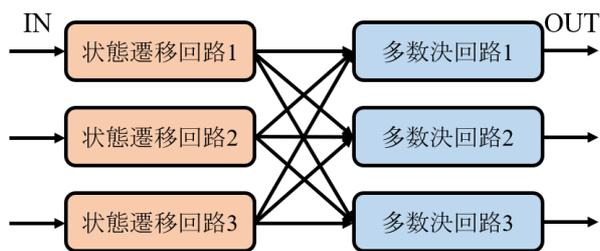


図2 3重冗長化回路

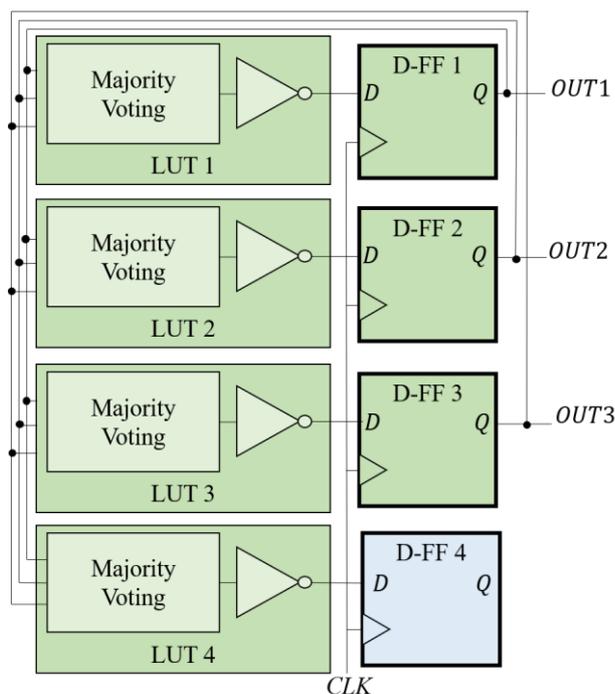


図3 3重化1bitカウンタの概要

ており、内部に論理関数を実装する論理ブロック、配線方向を決定するスイッチングマトリクス、信号の入出力を行う I/O ブロックを含む。論理ブロックには任意の論理回路を実現できる LUT (Look Up Table), D-FF が含まれる。これまでにレーザーアレイとホログラムメモリは 1 Grad のトータルドーズ耐性[2]が、光再構成型ゲートアレイ VLSI は 1.15 Grad のトータルドーズ耐性[3]が実証されている。

5. マルチコンテキストスクラビングによる  
3重化1bitカウンタの構成実験

本研究ではマルチコンテキストスクラビングにより図2のブロック図に示す3重化1bitカウンタを実装した。本実装には異なるリソースを活用する4つのコンテキストパターンを用意した。3重冗長化回路は3つのモジュールの内1つのモジュールの恒久故障まで許容することができる。3重化1bitカウンタの詳細実装図を図3に示す。3重化1bitカウンタは、4つのLUTとD-FFを使

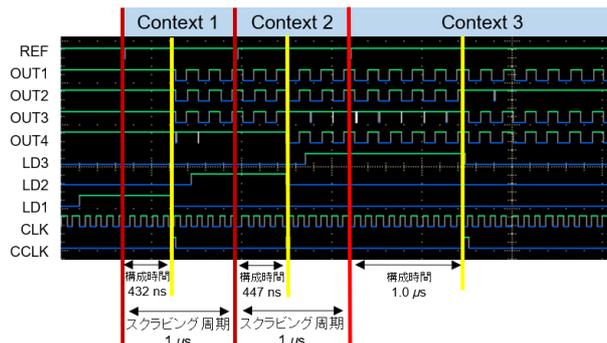


図4 3重化1bitカウンタの構成結果

用した。各 LUT には多数決回路とカウンタのためのインバータ機能が含まれる。4つのLUTの出力はD-FFに接続されCLKに同期して動作する。D-FF 1~3は出力を行うが、D-FF 4は出力をせず状態のみを保存する。

図4に3重化1bitカウンタの構成結果を示す。スクラビング周期は1μsとしてマルチコンテキストスクラビングに成功した。

おわりに

マルチコンテキストスクラビングにより順序回路の実装、3重化1bitカウンタの実装を行い、正常に動作することを確認した。

【参考文献】

- [1] Yusuke Takaki, Minoru Watanabe, "Optical Multi-Context Blind Scrubbing for Field Programmable Gate Arrays," IEEE Photonics Journal volume 12, Number 6, December 2020.
- [2] Junya Ishido, Minoru Watanabe, Akifumi Ogiwara, "Optically reconfigurable gate array with a 1 Grad total-ionizing-dose tolerant holographic memory," IEEE Photonics Conference (IPC), October, 2021.
- [3] Takumi Fujimori, Minoru Watanabe, "A 1.15 Grad total-ionizing-dose tolerance parallel operation optically reconfigurable gate array VLSI," IEEE International Workshop on Metrology for Aerospace, Torino, Italy, June, 2019.