

# 低電圧環境における同期式回路と非同期式回路の比較

坂本昂<sup>†1</sup> 今井雅<sup>†1</sup>

VLSI 製造技術の進歩に伴って微細化や高集積化が進んでおり、より高性能な回路設計が可能になっている。一方、回路の低消費エネルギー化が課題の一つである。消費エネルギーは電圧の二乗に比例するため、供給電圧を下げるのが有効である。グローバルクロック信号を用いない非同期式回路は遅延変動に対し耐性が高く、同期式回路よりも低電圧な環境での動作が期待される。本研究では、いくつかのベンチマーク回路に対して、同期式回路、非同期式回路をそれぞれ設計し、HSPICE を用いたシミュレーションにより動作限界電圧を評価する。供給電圧に合わせた入出力のスループット変動方式や、正常動作の確認方式を明らかにする。

## Comparison of Synchronous Circuits and Asynchronous Circuits under Low Voltage Environment

MAO SAKAMOTO<sup>†1</sup> MASASHI IMAI<sup>†1</sup>

With the progress of VLSI manufacturing technology, miniaturization and high integration are progressing, and higher performance circuit design is possible. On the other hand, reducing the energy consumption of circuits is one of the issues. Since energy consumption is proportional to the square of the voltage, it is effective to lower the supply voltage. Asynchronous circuits that do not use global clock signals are highly tolerant to delay variations, and are expected to operate in a lower voltage environment than synchronous circuits. In this research, synchronous and asynchronous circuits are designed for some benchmark circuits, and the operating limit voltage is evaluated by simulation using HSPICE. We will clarify how to change the input and output throughput depending on the supply voltage and how to check the normal operation.

### 1. はじめに

近年、VLSI 技術の進化に伴って微細化・高集積化が進んでおり、より高性能な回路設計が可能になっている。一方、回路の低消費エネルギー化が課題の一つである。消費エネルギーは電圧の2乗に比例するため、供給電圧を下げるのが有効である。グローバルクロックを用いない非同期式回路は遅延変動に対し耐性が高く、同期式回路よりも低電圧な環境での動作が期待される。

同期式回路はグローバルクロックを用い、設定したクロックサイクル内に処理を終わらせるように設計する。内部のクロックが一齐に、かつ常に動作するため、消費電力が大きいという問題やクロックスキューの発生、電磁放射といったデメリットがある。より大規模な回路を高周波数で動作させるようになると深刻な問題となるため、明らかな性能限界が存在する。

非同期式回路はグローバルクロック信号を使用せず、ローカルな要求-応答ハンドシェイクプロトコルによる実行制御となる。非同期式回路は電源電圧変動や温度変動等の環境変化に強く、設計時に設定した遅延モデルの範囲内であれば遅延変動が起きても正しく動作する。電磁放射に関しては、グローバルクロックがないためピーク電流が極小となり、電磁放射も極端に小さい。消費電力に関しては、必要な時に必要な箇所だけが動作するため無駄な消費電力が抑えられる。クロックゲーティングが不要であり、クロ

ックスキューの問題も自ずと考えなくて良くなる。大規模な回路では回路設計が難しいという欠点もある。

非同期式回路の設計では遅延モデルを選択する。大きく分けると無界(Unbounded)遅延モデル、有界(Bounded)遅延モデルがある。無界遅延モデルについて、DI(Delay Insensitive)モデルは素子と配線に上限はあるが上限が未知の遅延が存在すると仮定する。SI(Speed Independent)モデルは素子に有限であるが上限が未知の遅延が存在すると仮定する。QDI(Quasi Delay Insensitive)モデルはDIモデルに等時分岐(分岐先の信号遷移は同時)の仮定を加えたものである[1]。SDI(Scalable Delay Insensitive)モデルは、DIモデルに対し、任意の回路要素間の遅延変動率の相対値には上限・下限が存在すると仮定するものであり、遅延情報を活かした回路の最適化を行うことができる[2]。無界遅延モデルは遅延変動が激しくても正しく動作する一方、現実的では無い遅延にも対応しているため回路規模が大きくなりやすく、完了信号生成・休止相などにより遅くなりやすい。有界遅延モデルでは、遅延の上限・下限は既知であると仮定する。有界遅延モデルは同期式回路と同様の組み合わせ回路(データパス)を利用可能であり、回路要素の遅延変動の違いを考慮したマージン設定が可能である。一方、遅延制約を満たす配置配線、タイミング検証が必要である。

非同期式回路は要求信号 req と応答信号 ack のハンドシェイクプロトコルに基づいて動作する。主なものとして以下の2つの方式がある。4相式(4 cycle signaling)は req

<sup>†1</sup> 弘前大学  
Hirosaki University

(High) → ack (High) → req (Low) → ack (Low) の 4 回の信号変化で完結するものであり、休止相が必要である。2 相式 (2 cycle signaling) は req → ack の 2 回の信号変化で完結するものであり、休止相が不要であるが制御回路の設計が困難である。

タイミング付加方式は以下の 2 つがある。東データ方式は 1 ビットのストローブ信号を付加するもので遅延素子を使用する。このストローブ信号の遅延は常に組み合わせ回路のクリティカルパスの遅延よりも大きくなるように設計する。同期式回路と同じ組み合わせ回路を利用可能であるが最大遅延で動作する。他には符号化データパス方式がある。

本研究では、ISCAS89 ベンチマーク内の 9 種類のベンチマーク回路 s27, s382, s400, s641, s713, s820, s1423, s1488, s1494 について、同期式回路、非同期式回路を設計して HSPICE を用いたシミュレーションにより動作限界電圧を評価する。供給電圧に合わせて入出力のスループットを低下させた評価も行う。また、回路の正常動作の確認方式を明らかにし、動作限界電圧を評価する。また、評価する非同期式回路について、ハンドシェイクプロトコルは 4 相式とし、タイミング付加方式は東データ方式をとり、入出力の要求-応答ハンドシェイクにより実現されるローカルタイミング信号は、非同期式回路の基本的な構成の一つである Muller's Pipeline 構成をとる。まずは基本的で簡単な Muller's Pipeline 構成から非同期式回路の評価を始める。東データ方式の Matched Delay は SDI モデルに基づき設定する。

## 2. 動作限界電圧の評価方法

評価するベンチマーク回路の構成を図 1~3 に示す。

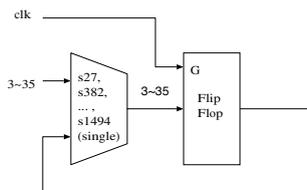


図 1 1 線同期式 FF

Figure1 Synchronous single-wire FF.

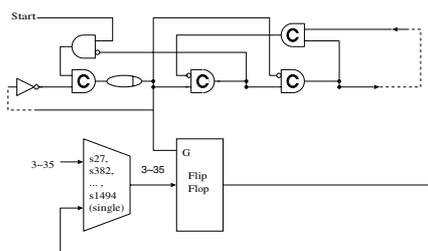


図 2 1 線非同期式 FF

Figure2 Asynchronous single-wire FF.

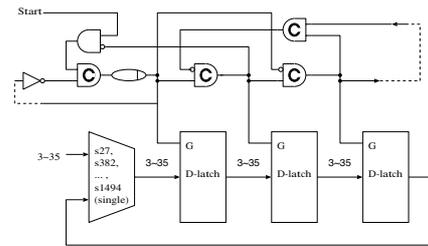


図 3 1 線非同期式 Latch 回路

Figure3 Asynchronous single-wire latch.

ベンチマーク回路それぞれにおいて同期式回路 FF を図 1 の通り実装する。そして、図 2 のようにグローバルクロックをローカルなハンドシェイクによるクロックに置き換えたものを 1 線非同期式 FF として実装する。組み合わせ回路が同じでグローバルクロックを用いるかローカルなハンドシェイクによるクロックを用いるかで動作限界電圧がどのように変化するかを評価し、同期式回路と非同期式回路の動作限界電圧の比較とする。さらに、図 3 のように 1 線非同期式 FF の FF 素子を D-latch 素子に置き換えたものを 1 線非同期式 Latch 回路として実装する。D-latch は 3 段以上で構成する制約がある。FF だけではなく同じ記憶素子である Latch の性能も明らかにする。なお、図 2, 3 における C 素子の回路図は図 4 に示すものを用いる。2 入力 C 素子は 2 入力とも High の時は High を、2 入力とも Low の時は Low を、入りに High と Low が混じる場合は直前の値を保持する、1bit の情報を記憶する素子である。

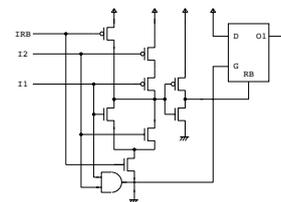


図 4 2 入力 C 素子

Figure4 Two-input C-element.

シミュレーションには HSPICE を用いる。まず、評価回路に対して 100 回のランダム入力を行う。例えば、4 入力の回路に対しては、4 つの入力ピンそれぞれにランダムな 0, 1 の組を入力していく。入力の際には入力間隔  $\alpha$  [s] を設定する。例として、入力間隔 1 [ns] すなわち、入力のスループットを 1 [GHz] とすると、HSPICE のシミュレーション開始から 1 [ns] 毎に入力がなされて、100 [ns] 後に設定した 100 個全ての値の入力が完了する。出力のスループットは入力のスループットと同じとし、出力値を取得していく。入出力のスループットに関して、まずは 1 [GHz] に設定して、適宜スループットを低下させて各入出力スループットで評価を行う。

回路の動作電圧の設定については、動作電圧を 1.0 [V]

から 0.1[V]まで、0.1[V]刻みの 10 通りを設定する。入出力のスループットと動作電圧の 2 つの条件を変化させて、それぞれの組み合わせで評価を行っていく。HSPICE の実行により、各条件におけるシミュレーション結果として、1[ps]刻みの時刻と各時刻におけるアナログ値の出力電圧を得る。得られたシミュレーション結果から、100 個（組）の出力安定値を抽出する。出力安定値の取得タイミングは最初の入力となされて続いて 2 つ目の入力となされた時点から取得を開始して、設定した出力のスループットで計 100 個（組）取得していく。

各動作電圧のシミュレーションが完了したら、動作電圧 1.0[V]のシミュレーション結果を基準として、動作電圧 0.9~0.1[V]のシミュレーション結果それぞれと比較して、100 個（組）の全ての出力の High, Low が基準と一致した場合、正常に動作したと判定する。正常に動作した電圧のうち一番低い電圧を動作限界電圧とする。入出力のスループットを低下させて、それぞれにおいて動作限界電圧を評価していく。

1 線非同期式 Latch に関して、制御回路からそれぞれの段の Latch 素子への信号線の電圧が同時に High にならないようにしなければならないことに注意する。そうでなければ 1bit ごとのデータ転送が保証されない。Latch 素子 3 段分の 3 本の信号線の値についても HSPICE より得る。1[ps]毎の時刻と信号線の電圧値を出力させて、信号線の論理を評価する。信号線の電圧値もアナログ出力のため、High, Low の閾値を定めて論理チェックを行う。閾値はともに動作電圧の 0.9 倍としている。例として動作電圧が 1.0[V]の場合は 0.9[V]以上を High, 0.9[V]未満を Low と信号線の電圧を判定する。

上記の作業のうち、ランダム入力 100 個の生成、出力 100 個（組）同士の比較、非同期式回路の信号線の論理チェックは Python で書いたプログラムを使用している。

### 3. 評価

TSMC28nm プロセステクノロジーを用いて、Process (pMOS, nMOS) = (Typical, Typical), Voltage: 1.0, 0.9, 0.8, 0.7, 0.6, 0.5, 0.4, 0.3, 0.2, 0.1[V], Temperature: 25°C, 入出力のスループット: 1.0[GHz] ~ (適宜減少), Slew time: 0.01[ns]の条件のもとで HSPICE を実行する。評価回路への入力は、乱数で生成した 100 個のランダムな 0, 1 の値を参照して、HSPICE の入力方式である PWL (Piece-wise linear) の記述をしたファイルを生成する。そのファイルを HSPICE で読み込んで評価回路に入力する。

HSPICE でのシミュレーションにおいて 1.0[V]で動作させて得られた 100 個（組）の出力を基準として、0.9[V]以下の各電圧の出力とそれぞれ比較する。100 個（組）とも基準と一致した場合、回路が正常に動作したと判定する。正常に動作した電圧のうち一番低い電圧を動作限界電圧とす

る。ただし、出力ピンが複数ある場合は全ての出力ピンにおいて出力が一致した場合、正常に動作したと判定する。

HSPICE はアナログ値で電圧を出力するため、回路が正常に動作したか、つまり出力電圧が一致したかどうかの判定には動作電圧の許容範囲を設定して判定する。基準である 1.0[V]の出力電圧と比較する 0.9~[V]の出力電圧を 1.0[V]の重みをかけて、お互いの値に関して差の絶対値をとる。その値が 1.0[V]の±10%の許容範囲に収まった場合、互いの出力が一致したと判定する。数式で表すと以下の通りである。

$$abs\left(1.0[V]での出力電圧 - x[V]での出力電圧 * \frac{1.0}{x}\right) < 0.1$$

ただし、xは 1.0, 0.9, 0.8, 0.7, 0.6, 0.5, 0.4, 0.3, 0.2, 0.1[V]である。

評価回路は 9 種類のベンチマーク回路 s27, s382, s400, s641, s713, s820, s1423, s1488, s1494 のそれぞれの 1 線同期式 FF, 1 線非同期式東データ FF, 1 線非同期式東データ Latch の計 27 個とする。

出力の取得タイミングは、評価回路に最初が入力が入り、2 つ目の入力が入った時刻から開始して、その後は入力と同じスループット[Hz]で出力を得る。入力、出力はともに同期式回路を想定しており、例として s27 の評価モデルを図 5 に示す。



図 5 s27(4 入力 1 出力)の評価モデル

Figure5 Evaluation model of benchmark s27(4input-1output)

9 種類のベンチマーク回路における組み合わせ回路の規模と入出力数を表 1 に示す。

表 1 ベンチマーク回路の回路規模

Table1 Scale of benchmark circuit.

回路名	トランジスタ数 (個)		入力数	出力数
	sync_ff, async_ff	async_latch		
s27	150	251	4	1
s382	1246	2149	3	6
s400	1059	1962	3	6
s641	1435	2252	35	24
s713	1437	2254	35	23
s820	1717	1932	18	19
s1423	4821	8003	17	5
s1488	2882	3140	8	19
s1494	3038	3296	8	19

表1に示す通り、組み合わせ回路（データパス）の規模の小さいものから大きい回路、入出力数の多いものから少ない回路の特徴を持った計9つのベンチマーク回路を評価していく。非同期式回路の束データ FF に関して、同期式回路の組み合わせ回路をそのまま用いて、グローバルクロックをローカルなハンドシェイクプロトコルに置き換えている。また、1線式束データ Latch に関しては、1線束データ FF の組み合わせ回路と基本的には同じであり、リセット付き FF 素子をリセット付き D-Latch 素子3段に置き換えることと、それに伴う制御回路の信号線の結線だけが異なる。Latch は3段以上で構成する制約があるため、必然と回路の規模が大きくなり遅延も増加する。本研究で用いるリセット付き FF 素子は MOS トランジスタ 28 個からなる。リセット付き D-Latch 素子は 23 個の MOS トランジスタからなるため、表1のように束データ FF と束データ Latch では、D-Latch は3段である分、用いる MOS トランジスタの数に差が開き、FF 素子、Latch 素子の使用数に応じて顕著になる。

#### 4. 評価結果と考察

ベンチマーク回路 s27 (4 入力 1 出力)における 1線同期式 FF, 1線非同期式束データ FF, 1線非同期式束データ Latch の評価結果を表2~4に示す。

表2 s27 1線同期式 FF  
Table2 s27 Synchronous FF.

入出力の 周波数 [Hz]	出力電圧[V]													
	1.0G	800M	500M	400M	250M	200M	100M	50M	40M	25M	20M	10M	5M	
0.9	100	100	100	100	100	100	100	100	100	100	100	100	100	
0.8	100	100	100	100	100	100	100	100	100	100	100	100	100	
0.7	100	100	100	100	100	100	100	100	100	100	100	100	100	
0.6	100	100	100	100	100	100	100	100	100	100	100	100	100	
0.5	100	100	100	100	100	100	100	100	100	100	100	100	100	
0.4	80	84	81	81	95	95	95	94	95	95	95	95	95	
0.3	78	77	74	72	73	78	78	74	78	78	78	78	78	
0.2	80	80	76	76	76	76	76	76	76	76	76	76	76	
0.1	0	0	0	0	0	0	0	0	0	0	0	0	0	

表3 s27 1線非同期式束データ FF

Table3 s27 Asynchronous bundled data FF.

入出力の 周波数 [Hz]	出力電圧[V]													
	1.0G	800M	500M	400M	250M	200M	100M	50M	40M	25M	20M	10M	5M	
0.9	100	100	100	100	100	100	100	100	100	100	100	100	100	
0.8	100	100	100	100	100	100	100	100	100	100	100	100	100	
0.7	100	100	100	100	100	100	100	100	100	100	100	100	100	
0.6	100	100	100	100	100	100	100	100	100	100	100	100	100	
0.5	100	100	100	100	100	100	100	100	100	100	100	100	100	
0.4	84	100	100	100	100	100	100	100	100	100	100	100	100	
0.3	74	73	74	69	71	81	100	94	100	100	100	100	100	
0.2	76	76	76	76	76	76	73	63	70	75	84	100	100	
0.1	0	0	0	0	0	0	0	0	0	0	0	0	0	

表4 s27 1線非同期式ラッチ

Table4 s27 Asynchronous bundled-data Latch.

入出力の 周波数 [Hz]	出力電圧[V]									
	1.0G	800M	500M	400M	250M	200M	100M	50M	40M	
0.9	100	100	100	100	100	100	100	100	100	
0.8	100	100	100	100	100	100	100	100	100	
0.7	99	100	100	100	100	100	100	100	100	
0.6	92	97	100	100	100	100	100	100	100	
0.5	82	86	88	96	100	100	100	100	100	
0.4	77	79	84	79	85	84	99	99	100	
0.3	76	76	76	75	60	77	76	76	73	
0.2	76	76	76	76	76	76	73	73	74	
0.1	0	0	0	0	0	0	0	0	0	

緑色のセルは基準の 1.0[V]と比較して、出力電圧が 100 個とも一致した条件であり、正常に動作したと判定したものである。対して、赤色のセルは正常に動作しなかった条件であり、セル内の値はいずれも、出力電圧が基準と比べて 100 個中いくつ一致したかを表している。

ベンチマーク回路 s27 における 1線同期式 FF と 1線非同期式 FF の評価結果を比較すると、1線同期式 FF は 0.5[V] まではどの入出力のスループットでも正常に動作している一方で、1線非同期式束データ FF は 1線同期式 FF の動作電圧以下で動作する様子が見られ、0.5~0.2[V] の低電圧でも正常に動作するという結果となった。非同期式回路の遅延変動の耐性の高さから、電圧変動による遅延のばらつきが遅延モデルの許容範囲に収まり、標準電圧と同等の正常な動作をしたと考えられる。電源電圧を下げて正常に動作するため、回路の消費エネルギーを大きく低減させることができる。入出力のスループットを気にしない回路設計であれば非同期式回路を用いた電源電圧の低減による消費エネルギーの減少に役立てられる。また、今回のベンチマーク回路の評価では、標準電圧での動作であってもおおむね非同期式回路の方が同期式回路と同等かそれ以上の動作限界電圧であった。同期式回路を非同期式回路で同等の性能で置き換えるだけだとしても、グローバルクロックが無いため無駄な電力消費を避けられることや電磁放射が極小である特性から様々な分野への応用が期待される。

1線非同期式束データ FF に関しては、入出力のスループットを低下させていくにつれて、0.2[V]まで動作電圧を低下させても正常に動作した。電源電圧を下げれば下げるほど消費電力は低減されるが、その反面 MOS トランジスタのスイッチングが遅くなり、回路の速度は低下してしまうため、消費電力と回路の速度はトレードオフの関係になる。必要な周波数を考慮して設計していくのが重要である。用途に合わせて回路設計をすることで、性能と低消費電力化を両立した回路設計の実現につながる。

また、ベンチマーク回路 s27 の 1線式 Latch の評価結果について、1線非同期式 FF に比べて回路の規模が大きいた

表5 s382 評価結果 (左から1線同期式FF, 1線非同期式束データFF, 1線非同期式束データLatch)

Table5 s382 Evaluation results.

入出力の 周波数 [Hz]	出力電圧[V]									
	1.0G	800M	500M	400M	250M	200M	100M	50M	40M	
0.9	緑	緑	緑	緑	緑	緑	緑	緑	緑	緑
0.8	緑	緑	緑	緑	緑	緑	緑	緑	緑	緑
0.7	緑	緑	緑	緑	緑	緑	緑	緑	緑	緑
0.6	緑	緑	緑	緑	緑	緑	緑	緑	緑	緑
0.5	緑	緑	緑	緑	緑	緑	緑	緑	緑	緑
0.4	緑	緑	緑	緑	緑	緑	緑	緑	緑	緑
0.3	緑	緑	緑	緑	緑	緑	緑	緑	緑	緑
0.2	赤	赤	赤	赤	赤	赤	赤	赤	赤	赤
0.1	赤	赤	赤	赤	赤	赤	赤	赤	赤	赤

表6 s400 評価結果 (左から1線同期式FF, 1線非同期式束データFF, 1線非同期式束データLatch)

Table6 s400 Evaluation results.

入出力の 周波数 [Hz]	出力電圧[V]									
	1.0G	800M	500M	400M	250M	200M	100M	50M	40M	25M
0.9	緑	緑	緑	緑	緑	緑	緑	緑	緑	緑
0.8	緑	緑	緑	緑	緑	緑	緑	緑	緑	緑
0.7	緑	緑	緑	緑	緑	緑	緑	緑	緑	緑
0.6	緑	緑	緑	緑	緑	緑	緑	緑	緑	緑
0.5	緑	緑	緑	緑	緑	緑	緑	緑	緑	緑
0.4	緑	緑	緑	緑	緑	緑	緑	緑	緑	緑
0.3	緑	緑	緑	緑	緑	緑	緑	緑	緑	緑
0.2	赤	赤	赤	赤	赤	赤	赤	赤	赤	赤
0.1	赤	赤	赤	赤	赤	赤	赤	赤	赤	赤

表7 s1488 評価結果 (左から1線同期式FF, 1線非同期式束データFF)

Table7 s1488 Evaluation results.

入出力の 周波数 [Hz]	出力電圧[V]									
	1.0G	800M	500M	400M	250M	200M	100M	50M	40M	25M
0.9	緑	緑	緑	緑	緑	緑	緑	緑	緑	緑
0.8	緑	緑	緑	緑	緑	緑	緑	緑	緑	緑
0.7	緑	緑	緑	緑	緑	緑	緑	緑	緑	緑
0.6	赤	赤	赤	赤	赤	赤	赤	赤	赤	赤
0.5	赤	赤	赤	赤	赤	赤	赤	赤	赤	赤
0.4	赤	赤	赤	赤	赤	赤	赤	赤	赤	赤
0.3	赤	赤	赤	赤	赤	赤	赤	赤	赤	赤
0.2	赤	赤	赤	赤	赤	赤	赤	赤	赤	赤
0.1	赤	赤	赤	赤	赤	赤	赤	赤	赤	赤

め動作限界電圧は比較的高めを推移しているが、1線非同期FFと同様に入出力のスループットを低下させることで、より低電圧でも正常に動作することが可能であった。1線非同期式の束データFFのリセット付きFF素子を3段のリセット付きD-latch素子に置き換えて1線非同期式の束データLatchとしているため、回路における記憶素子の部分の段数が増えていることに起因して回路が冗長となり必然的に必要な電源電圧が高くなる。しかし、動作限界電圧の評価結果を見比べると、1線非同期式FFの評価結果より、1線非同期式束データLatchの方が急勾配に動作限界電圧が低下していることが確認できる。入出力のスループット変動方式を用いて回路の動作電圧を低減させる場合、1線非同期式束データLatchの方が効果的であると言える。

s382以降の評価結果について、紙面の都合上、s382, s400, s1488の評価結果を表5~7で示す。なお、s382以降では出力ピンが複数あるため、評価結果の表においてセル内の出力一致数の記載は省いている。

ベンチマーク回路s641とs713について、他のベンチマーク回路と比較して、動作限界電圧が高めを推移する結果と

なった、入出力のスループットを25[MHz]まで低下させると動作限界電圧は0.4[V]であった。1線式FFを各ベンチマーク回路同士と比較すると入出力のスループットが50~40[MHz]かつ動作電圧が0.3[V]で正常に動作しているところ、s641とs713の1線非同期式FFの動作限界電圧は入出力のスループットを25[MHz]まで低下させても0.4[V]止まりであった。ベンチマーク回路s641とs713の共通点としては入出力数が比較的多く、回路を構成するトランジスタの数も比較的多いということである。特に、評価結果から入力ピンが多い回路は動作限界電圧が高い傾向が見受けられた。入力ピンが多いとより多くの消費エネルギーが必要のため高い電源電圧が必要となる。

ベンチマーク回路s382とs400について、動作限界電圧が入出力のスループットに応じて0.3~0.2[V]となり、とても低い電圧でも回路が正常に動作することが確認できた。ベンチマーク回路s382とs400の特徴としては、入力数が3つと非常に少なく、回路を構成するトランジスタの数も比較的少なめな点である。回路への入力数が35個と多いベンチマーク回路s641とs713が動作限界電圧が比較的高く

推移していることと、回路への入力数が3つと少ないベンチマーク回路 s382 と s400 の動作限界電圧が極端に低いことに着目すると、回路への入力数の大小が動作電圧の高低に与える影響が大きいと考えられる。

ベンチマーク回路 s1423 について、9つのベンチマーク回路の中で回路を構成するトランジスタの数が一番多い回路であるが、動作限界電圧が目立って他のベンチマーク回路に劣るような結果にはならなかった。出力数が少ないことが影響して必要な電源電圧が抑えられた可能性が考えられる。また、ベンチマーク回路 s1423 では74個ものリセット付き FF 素子、あるいはリセット付き D-latch 素子3段を74セット用いている。そのため、自ずと使用するトランジスタの数が多くなっている。並列で記憶素子たちが一斉に動作しているため、広い範囲にクロック信号を送っている。低電圧環境下でも広い範囲に一斉にクロック信号を送る動作が可能であると示された。

ベンチマーク回路 s820 について、入出力数が他のベンチマーク回路と比べると多めであり、回路を構成するトランジスタの数は他のベンチマークの中では中間ぐらいに位置する。回路の入出力数が多くても、回路の規模が小さいため、必要な電源電圧はある程度低下させることができると読み取れる。入出力は多いが、回路規模は小さいベンチマーク回路 s820 と、回路規模は大きいが入出力数が少ないベンチマーク回路 s1488, s1494 の動作限界電圧の評価結果を見比べると、入出力数の大きさと回路規模の大きさは共に、動作限界電圧に影響を及ぼすと考えられる。入出力数と回路規模の増加は高い電源電圧が要求され、逆に入出力数と回路規模が小さければ回路の電源電圧は低くて済むといえる。

## 5. まとめと今後の課題

動作電圧と入出力のスループット変動方式によって、今回用いたベンチマーク回路では1線非同期式束データ FF は1線同期式 FF より低い電圧で動作させることができた。さらに、1線非同期式 FF は入出力のスループットを低下させることでより低電圧で動作させることが可能であった。1線非同期式 Latch は回路規模が比較的大きいため動作限界電圧は高い値を推移したが、入出力のスループットを低下させることでより低電圧で動作させることが可能であった。

9つのベンチマーク回路の評価について、非同期式回路は入出力数の多い回路や回路規模の大きい回路は動作限界電圧が下がりづらい傾向にあった。入出力数の少ない回路や回路規模の小さい回路は動作電圧が低くても動作が可能であり、より低い電圧で動作可能だった。対して、同期式回路は0.5[V]以下での動作は困難であった。非同期式回路では動作限界電圧の下がり方が顕著である。非同期式回路は動作限界電圧が0.2, 0.3[V]まで低下したのに対して、同期式回路では目立った変化が見られず0.5[V]付近が動作限界電

圧であった。

今後の課題としては、より低い入出力のスループットでの評価を進めていくことである。具体的には入出力のスループットを1[MHz]まで低下させて、入力間隔が1[us]毎となるマイクロオーダーでの評価をすることである。今回評価した1線非同期式回路ではどのベンチマーク回路も入出力のスループットを低下させていくと、さらなる低電圧での正常な動作が可能となる傾向が見られた。現時点での評価からさらに入出力のスループットを低下させることで動作限界電圧がどこまで下げることができるのかを評価していく。そして、得られた動作限界電圧によってどのような製品、技術に活用できるかを検討していく。また、9つのベンチマーク回路それぞれについて、評価途中である1線束データ Latch について評価を進めて、他のベンチマーク回路と比較してどのような振る舞いをするのかを確認して、動作限界電圧を定量的に評価していく。また、2線式の回路についても評価を進めていく予定である。今回の研究ではタイミング付加方式として束データ方式を採用したが、符号化方式についても実装を行い、評価を進めて非同期式回路の特性を明らかにしていく。この研究によって低電圧環境下の非同期式回路の優位性を明らかにして回路の速度が必要ではない回路設計の貢献につながると考えている。例えば、回路に故障が発生したときに入出力のスループットを変動させることで、速度を犠牲にしても回路は動作し続けるような「耐える計算機システム」の設計や、腕時計のように低い電源電圧で済む、あるいは環境発電による小さい電力でも動作するようなデバイスの回路設計につながると考えている。

低電圧での動作が期待されている非同期式回路は将来、VLSIの微細化、速度が必要のない回路の設計、少ない供給電圧で動作可能なデバイス、電磁妨害に厳しい環境で用いるデバイスの回路設計、遅延変動が激しい環境で用いるデバイスの回路設計などなど、様々な分野で役に立つ可能性を秘めている。

**謝辞** 本研究は JSPS 科研費 21H04868, 20K11805 の助成を受けたものである。また、本研究の一部は、東京大学 VDEC 活動を通して、日本シノプシス合同会社および日本ケイデンス・デザイン・システムズ社の協力で行われたものである。

## 参考文献

- 1) Scott Hauck, "Asynchronous Design Methodologies: An Overview," IEEE Proc. Vol.83, No.1, pp 69-93, Jan., 1995
- 2) Akihiro Takamura et al., "TITAC-2: An asynchronous 32-bit microprocessor based on Scalable-Delay-Insensitive model," Proc. ICCD, pp.288-294, Oct., 1997