

オープンソースのアナログ回路自動設計に向けた ブロック方式設計の Skywater 130nm プロセスによる実証

阿南 椋久¹ 山下 太一¹ 土谷 亮¹ 井上 敏之¹ 岸根 桂路¹

概要: 集積回路のオープンソース化の動きが加速しており、オープンソースの EDA ツールや PDK が整備されつつある。これにともなって設計資産のオープン化も重要になると考えられる。我々はアナログ回路の自動設計や非熟練者による設計を容易にする技術として、すべての素子および配線を規格化されたブロックとしてレイアウト設計を行なうブロック方式設計を提案している。本論文では、ブロック方式設計をオープンなプロセスである Skywater130nm プロセスに適用した。素子および配線ブロックを適切に設計することにより、ブロック方式設計によって逐次比較型 AD コンバータの設計が可能であることを実証した。

Verification of Block-Based Design in Skywater 130-nm Process toward Open-Source Analog Circuit Layout Generator

RIKU ANAN¹ TAICHI YAMASHITA¹ AKIRA TUCHIYA¹ TOSHIYUKI INOUE¹ KEIJI KISHINE¹

Abstract: Open-source IC design has appeared and some open-source EDA tools and open-source PDKs have been available. We proposed a layout framework called block-based design, which treats all elements and wires as blocks with standardized layout size. The block-based design skips LPE by using block model including parasitics. We expect that the block-based design is suitable for layout generation of analog circuits. On the other hand, block-based design has drawbacks such as area overhead, increase of parasitics, and modeling error. In this paper, we verify the impact of drawbacks by designing SAR-ADC in skywater 130-nm CMOS. Design experiment shows the drawbacks are in reasonable range compared to full-custom layout.

1. 研究背景

集積回路産業において、少量多品種生産の実現への需要は高い。近年、少量多品種生産を指向したプロセス技術の開発 [1] や、集積回路設計のオープンソース化の動きが加速している [2]。従来、集積回路設計では高額な商用 EDA ツールおよび NDA (Non-Disclosure Agreement) の締結が不可欠であり、設計環境を整えられるのは専門家に限られていた。また、設計資産の共有も容易ではない。これに対してオープンソース化は集積回路設計に誰でも参加でき、設計資産の共有も可能となる。これによって設計者の裾野の拡大やオープンイノベーションが期待できると考えられている。このような動きを加速するために、アナログ回

路の自動生成が重要だと考えられる。デジタル回路はハードウェア記述言語から論理合成・配置配線を行なうことによってテープアウト可能な GDSII のマスクデータを生成することが可能である。しかし、アナログ回路では回路ごとに性能指標が異なり、また用途によってどの性能を重視するかが大きく変わる。また性能のレイアウト依存性も高いため、アナログ回路のレイアウト設計の自動設計に関する研究は、素子と配線のマッチングを考慮した設計 [3] や性能に影響を与える寄生成分を考慮した設計 [4]、逐次比較型 AD コンバータに特化したオープンソースの自動設計 [5] がなされている。また、回路設計のレイアウト設計工程の効率化を目的としたグリッドベースにレイアウトを設計する LAYGO (LAYout with Gridded Object) [6] が提案されており、プログラムベースのアナログ回路ジェネレータである BAG[7] の設計フローに組み込まれている。デザイ

¹ 滋賀県立大学
The University of Shiga Prefecture

ルールを考慮して、グリッド上に素子や配線を配置することにより、DRCに違反することが無くなるため、設計の効率化が実現される。しかし、これらの自動設計に共通することとして、レイアウト生成後にLPE (Layout Parasitic Extraction) を行なうという点が挙げられる。アナログ回路の性能は寄生成分の影響を強く受けるため、LPE後のレイアウト修正はアナログ回路設計のコストを大きくしている要因である。レイアウトと寄生成分、および寄生成分と性能の関係を把握していない非熟練者にとってこの工程は非常に困難である。また、回路の自動設計・最適化を行なう際にも1回の試行のコストが大きくなるため、やはり問題となる。この問題についてはDNN (Deep Neural Network) を用いた改善などが試みられている [8]。

我々はこの問題に対して、LPEからのレイアウト修正を極力なくす設計フローの構築を目標とし、ブロック方式設計を提案している [9]。この方式では素子および配線のすべてをレイアウトのサイズが規格化されたブロックによって構成し、寄生成分を事前に抽出してライブラリ化しておく。これによって素子および配線の寄生成分が既知の状態での設計を開始することができ、LPEを行なう必要がない。一方でレイアウトのサイズを規格化することで余分な配線が生じ、寄生成分が増大することが懸念される。また、ブロック単位で抽出された寄生成分と実際の寄生成分に誤差がある可能性もある。本論文では、ブロック方式設計の有効性を実証するために、オープンソースの製造プロセスであるSkywater130nmプロセスにて設計実験を行なった。ブロックの設計およびモデル化について検討することで、逐次比較型ADコンバータが設計可能であることを示す。

第2節では提案するブロック方式設計の説明を行い、第3節ではダイナミックコンパレータと容量DAコンバータをブロック方式設計とフルカスタム設計したときのレイアウトと回路性能について比較する。第4節ではブロック方式で設計した要素回路を用いて逐次比較型ADコンバータの設計を行う。第5節で結論を述べる。

2. ブロック方式設計

2.1 ブロックの構造

ブロック方式設計は、アナログ集積回路のレイアウトの手設計あるいは自動設計を簡易化するための設計手法である。まず、レイアウトの設計に必要な素子や配線をブロックとして構成する。これらのブロックをそれぞれライブラリとして保存しておき、レイアウトの設計の際に取り出せるようにする。ブロックの設計変数は、ブロックの大きさ(以下、ブロックサイズ)、配線幅、配線層、配線方向がある。図1にブロック方式設計で使用するブロックを示した。ブロックサイズを超える配線の幅は設計できない。配線ブロックは、全ての方向に配線可能となるように十分な種類を用意する。ここで、配線ブロックの種類は配線幅、

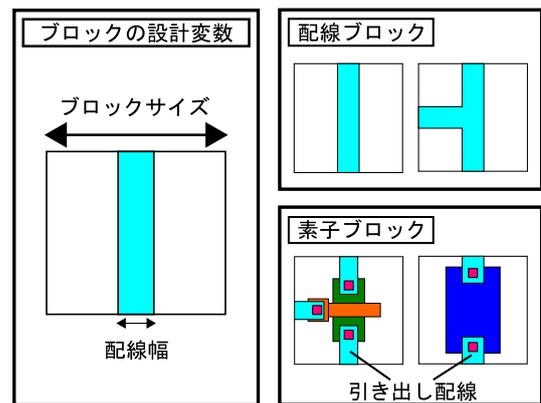


図1 ブロック方式設計で使用するブロック

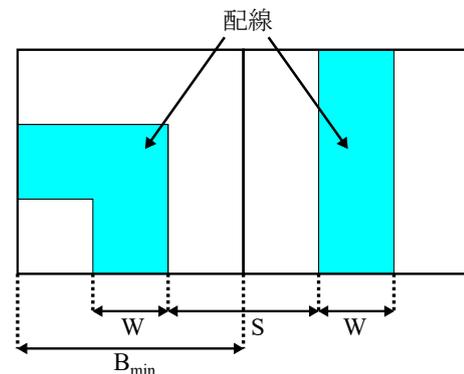


図2 最小ブロックサイズを求める式1の変数の関係

配線方向、配線層を変えたものとする。素子ブロックは、素子に配線が可能となるように引き出し配線を準備する。ブロック方式設計は、設計を始める前にブロックサイズを決定する必要がある。ブロックサイズを大きく設計することで、レイアウトの設計に必要なブロックの個数が減るが、設計の自由度が下がる。一方で、ブロックサイズを縮小して設計することで、レイアウトの設計に必要なブロックの個数が増えるが、設計の自由度が上がる。各ブロックはDRCの違反が起きないように設計しておく必要があるため、ブロックの大きさ(以下、ブロックサイズ)はデザインルールによって制約される。式1に設計可能な最小のブロックサイズ B_{min} を示した。

$$B_{min} = S + W \quad (1)$$

S はデザインルールにおける各配線層の配線間隔の最小幅、 W は設計する配線幅である。図2に上記の設計変数の関係を示した。

ブロック化すると各ブロック内のレイアウトは決まるため、あらかじめ寄生成分を抽出しておくことができる。よって、設計者や最適化プログラムはブロックを並べた時点でLPEをすることなく、寄生成分を考慮した回路シミュレーションが可能となる。

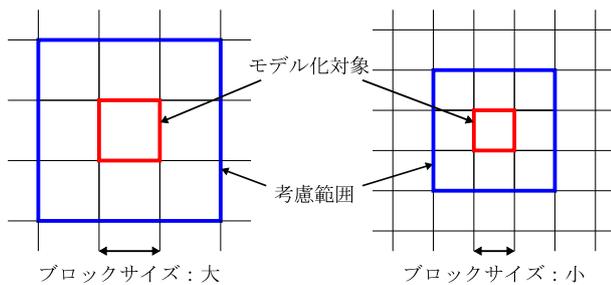


図 3 ブロックサイズとモデル化の考慮範囲の関係

2.2 ブロック方式設計の問題点

ブロック方式設計には、以下の2つの問題点がある。

- 設計自由度の低下
- 寄生成分のモデル化誤差

まず、ブロック方式設計は、フルカスタム設計と比較して設計の自由度を低下させる。ブロック方式設計において、素子と配線のブロックはデザインルールを考慮するためにブロック内に余白を持つ。ブロックサイズをデザインルールの許容範囲まで縮小したとしてもフルカスタム設計と比較する設計の自由度は小さい。したがって、生成されるレイアウトのサイズは大きくなり、寄生成分も大きくなる。寄生成分は回路性能を低下させるが、その影響は回路構成や性能指標によって大きく異なるため、一般化して議論することは難しい。そのため、設計の自由度の低下がレイアウトのサイズや回路の性能に与える影響について、評価する必要がある。

次に、ブロックサイズを縮小したとき、モデル化した寄生成分の誤差が大きくなる問題がある。寄生成分は、対基板容量と配線同士につくフリンジ容量に分けられる。フリンジ容量のモデル化は、モデル化対象のブロックを中心として、モデル化の考慮範囲内に存在する素子ブロックや配線ブロックを考慮する。図3に、ブロックサイズを変えたときの寄生成分のモデル化の考慮範囲の変化を示した。考慮範囲の単位はブロックとしている。ブロックサイズを縮小すると、同じ隣接距離に存在する配線がモデル化の考慮範囲に入らなくなる。したがって、ブロックサイズの縮小により、寄生成分のモデル化誤差が発生する。そこで、ブロックサイズと寄生成分のモデル化の際に必要な考慮範囲の関係を明らかにする必要がある。

3. ブロック方式設計を用いた設計の検証

本節では Skywater130 nm プロセスを用いて、ブロック方式設計が回路性能に及ぼす影響を評価する。

3.1 実験方法

2.2節で述べたブロック方式設計の問題点を検証するために、ダイナミックコンパレータと容量 DA コンバータのレイアウトに対して、ブロック方式で設計する。これらの回路を採用した理由は、レイアウトに発生する寄生成分の

大きさやつき方で、回路性能に大きく影響するためである。ダイナミックコンパレータの場合、非対称なレイアウトであるとき、オフセット電圧を劣化させる。また、容量 DA コンバータの場合、寄生成容量値がずれることで正しく参照電圧を分圧することが困難になり、DNL 誤差が増える。そこで、フルカスタム設計の場合とブロック方式設計の場合のレイアウトのサイズと発生する寄生成分、及び回路の性能に関する評価を行った。

本論文では、オープンなプロセスである Skywater130 nm プロセスを用いて設計した。また、回路の設計ツールにおいても、オープンなツールを利用した。以下に、使用した設計ツールを示した。

- 回路設計：xschem,ngspice
- レイアウト設計：klayout
- 設計検証：netgen,magic
- デジタル回路設計：OpenLane

3.2 寄生成分のモデル化誤差率

寄生成分のモデル化誤差に関する評価を行った。モデル化誤差率 E_C は以下の式で求めた。

$$E_C = \frac{C_{\text{model}} - C_{\text{LPE}}}{C_{\text{LPE}}} \times 100[\%] \quad (2)$$

C_{model} はモデル化した容量値、 C_{LPE} は LPE で抽出される容量値である。電磁界解析により、対基板容量とフリンジ容量を計算する。フリンジ容量は、モデル化対象ブロックの半径 1 ブロックに配置されるブロックを考慮してモデル化される。ブロックサイズと寄生成分のモデル化誤差率の関係を図4に示した。ブロックサイズの縮小により、寄生成分のモデル化誤差が増加したことが分かる。ブロックサイズを $1.0 \mu\text{m}$ と設計したとき、対基板容量で 34.5%、フリンジ容量で -4.7% の誤差が生じた。これは、ブロックサイズの縮小により、寄生成分のモデル化の考慮範囲も縮小したためである。それにより、隣接配線に生じる寄生成分が考慮されなくなったことで、モデル化誤差が増加した。次に、フリンジ容量のモデル化の考慮範囲を拡大したときのモデル化誤差を図5に示した。モデル化の考慮範囲の拡大により、寄生成分のモデル化誤差率が低減したことが分かる。考慮範囲を半径 5 ブロックとしたときのモデル化誤差率は、対基板容量で 5.1%、フリンジ容量で 0.04% となった。図4と図5において、対基板容量が正の方向に誤差が生じたのは隣接配線がモデル化の際に考慮されなくなったことによって、モデル化対象のブロックから生じる電気力線が基板に対して向かったためである。以上より、縮小したブロックサイズを用いた設計において、寄生成分のモデル化の際の考慮範囲を十分に拡大することで、LPE で得られる容量値を抽出できることが示された。

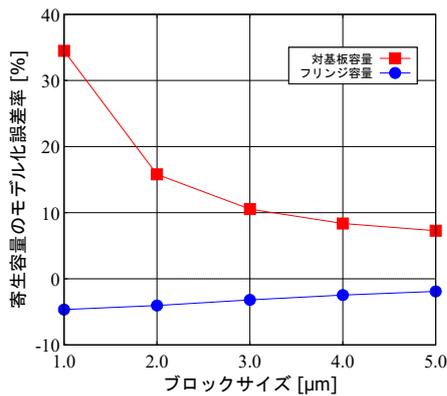


図 4 ブロックサイズと寄生容量のモデル化誤差率の関係

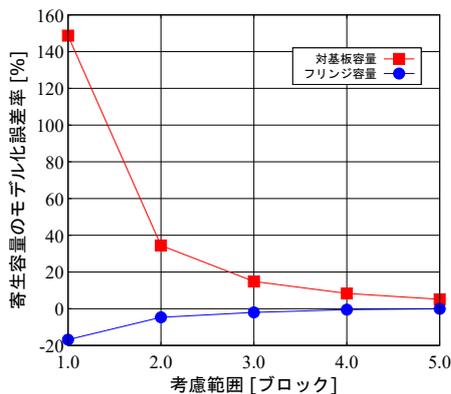


図 5 モデル化の考慮範囲と寄生容量のモデル化誤差率の関係

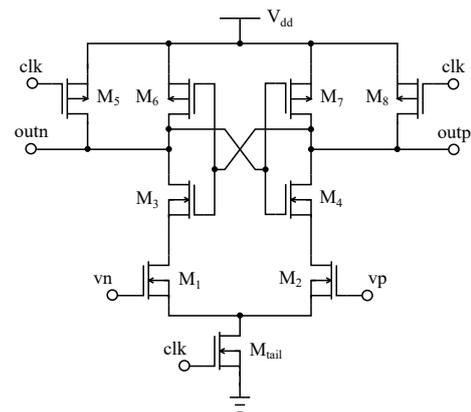


図 6 ダイナミックコンパレータの回路図

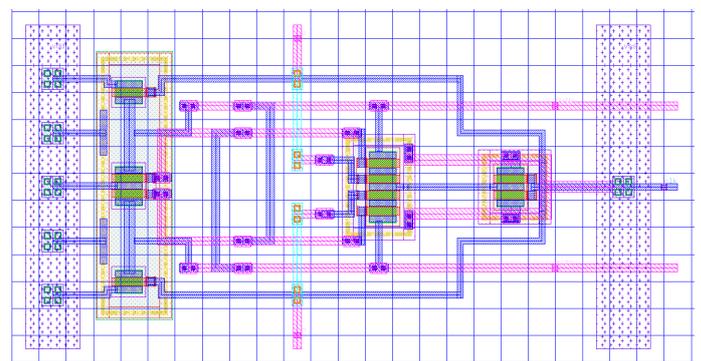


図 7 ブロック方式設計で生成したダイナミックコンパレータのレイアウト

3.3 ダイナミックコンパレータへの影響

図 6 に本論文で扱った逐次比較 AD コンバータに用いる比較器であるダイナミックコンパレータの回路図を示した。コンパレータは、2つの入力電圧を比較する機能を持つ。vn の電圧が vp の電圧より高い場合、outp の電圧が V_{dd} 、outn の電圧が 0V となる。vp の電圧が vn の電圧より高い場合、outp の電圧が 0V、outn の電圧が V_{dd} となる。ダイナミックコンパレータは、クロック電圧で動作するため消費電力が小さく、入力インピーダンスが高く、出力電圧範囲が大きい。逐次比較型 AD コンバータ内では、サンプルしたアナログ入力電圧と DA コンバータの出力を比較する役割を持つ。

図 7 にブロック方式設計で生成したダイナミックコンパレータのレイアウトを示した。ブロックサイズを $1.0\mu\text{m}$ とし、配線幅を $0.23\mu\text{m}$ とした。ダイナミックコンパレータに使用する MOSFET は、コモンセントロイドレイアウト設計後に、一つの素子ブロックとして設計している。レイアウトのサイズについては、フルカスタムの設計においては $206\mu\text{m}^2$ で、ブロック方式設計においては $225\mu\text{m}^2$ となった。

3.3.1 オフセット電圧への影響

レイアウトに生じる寄生成分の対称性がオフセット電圧に与える影響を評価した。入力電圧差とオフセット電圧の

関係を図 8 に示した。寄生成分の値が非対称になるように、片側のレイアウトに生じる寄生成分を 0 とした。寄生成分の値を非対称としたときのオフセット電圧は、 11.4mV となり、対称としたときのオフセット電圧は、 0.06mV となった。よって、ダイナミックコンパレータの設計はレイアウトが対称性をもつように設計した。レイアウトの片側向きを反転させたブロックをもう片側に配置することで、レイアウトに対称性を保障することができた。

3.3.2 動作速度への影響

ブロック方式設計における設計自由度の低下がダイナミックコンパレータの遅延時間に与える影響を評価した。比較対象として、フルカスタムで設計されたダイナミックコンパレータを採用した。入力電圧差と遅延時間の関係を図 9 に示した。入力電圧の差が 10mV のとき、コモンモード入力電圧が 0.7mV で、遅延時間はフルカスタムの設計で 10.2ns 、ブロック方式の設計で 11.2ns となった。コモンモード入力電圧と遅延時間の関係を図 10 に示した。コモンモード入力電圧が 0.8mV のとき、入力電圧の差が 1mV で、遅延時間はフルカスタムの設計で 10.2ns 、ブロック方式の設計で 11.6ns となった。これらの結果から、ダイナミックコンパレータのブロック方式設計において、フルカスタム設計と比較すると遅延時間は 0.1ns 増えるが、設計可能であることが示された。

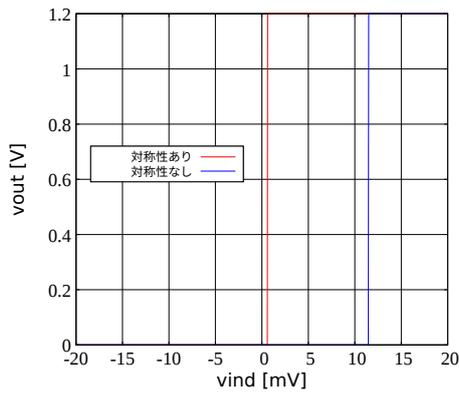


図 8 入力電圧差と出力電圧の関係

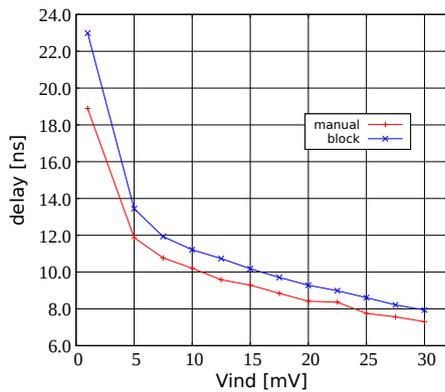


図 9 入力電圧差と遅延時間の関係

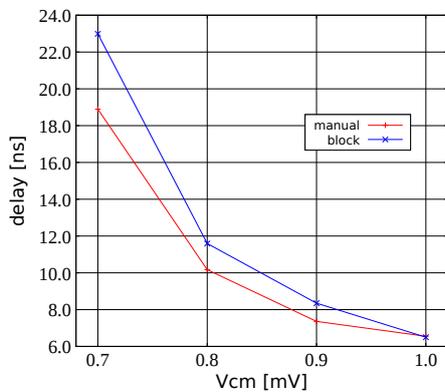


図 10 コモンモード入力電圧と遅延時間の関係

3.4 容量 DA コンバータの場合

図 11 に本論文で扱った逐次比較 AD コンバータに用いる 6 ビットの容量 DA コンバータの回路図を示した。容量 DA コンバータは、デジタル値が入力され、参照電圧の容量による分圧によって出力電圧が決まる。逐次比較型 AD コンバータ内では、入力電圧と比較するための電圧を出力する役割を持つ。

容量 DA コンバータの設計に使用した容量のレイアウトを図 12 に示した。容量値を得るために、隣接する配線とのフリンジ容量を利用した。レイアウトのサイズ縮小の観点から、配線の最小幅と最小間隔で設計する。Skywater130 nm

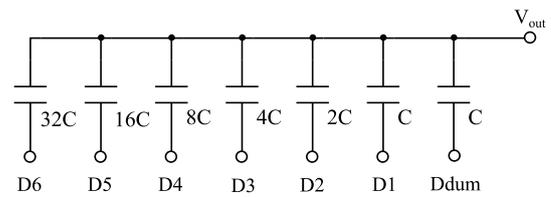


図 11 容量 DA コンバータの回路図

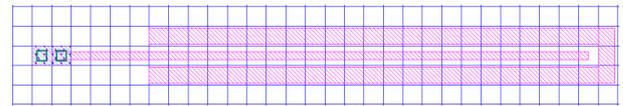


図 12 フリンジ容量を用いた容量のレイアウト

表 1 容量 DA コンバータの容量値

ブロック方式設計		フルカスタム設計	
容量値	正規化値	容量値	正規化値
2.617	1.000	2.669	1.000
2.621	1.002	2.673	1.002
5.243	2.003	5.345	2.003
10.464	3.998	10.680	4.002
20.892	7.982	21.318	7.988
41.687	15.928	42.576	15.988
83.080	31.743	84.958	31.835

プロセスにおいて、配線層 2 層における最小の配線幅と配線間隔は $0.14\mu\text{m}$ である。まず、この容量をブロック方式で設計する。ブロックサイズを $0.4\mu\text{m}$ とし、中央の配線幅を $0.14\mu\text{m}$ 、両端の配線幅を $0.28\mu\text{m}$ とした。この設計により、電磁界解析で得られた容量値は 2.62fF であった。次に、6bit の容量 DA コンバータを設計するために、 2^6 個並べる。6bit の容量 DA コンバータのレイアウトを図 13 に示した。容量の配置は、コモンセントロイド設計に従って配置している。レイアウトのサイズについては、フルカスタムの設計において $440\mu\text{m}^2$ で、ブロック方式設計において $506\mu\text{m}^2$ となった。

容量 DA コンバータは、容量値のずれによって、DNL 誤差を大きくする。ブロック方式の設計が容量 DA コンバータの DNL 誤差に与える影響を評価した。ブロック方式設計で生成された容量 DA コンバータの容量値とフルカスタム設計における容量値を表 1 に示した。容量値を正規化した値から、どちらの設計も容量同士の比が取れていることが分かる。それぞれのレイアウトに生じる寄生成分を考慮した DNL を図 14 に示した。最大 DNL 誤差については、フルカスタムの設計においては -0.094LSB 、ブロック方式設計においては -0.150LSB となった。これらの結果から、ブロック方式設計による容量 DA コンバータの設計は可能であることが示された。

4. 逐次比較型 AD コンバータの設計

第 3 章で設計したダイナック型コンパレータと容量 DA コンバータを用いて、6 ビットの逐次比較型 AD コンバー

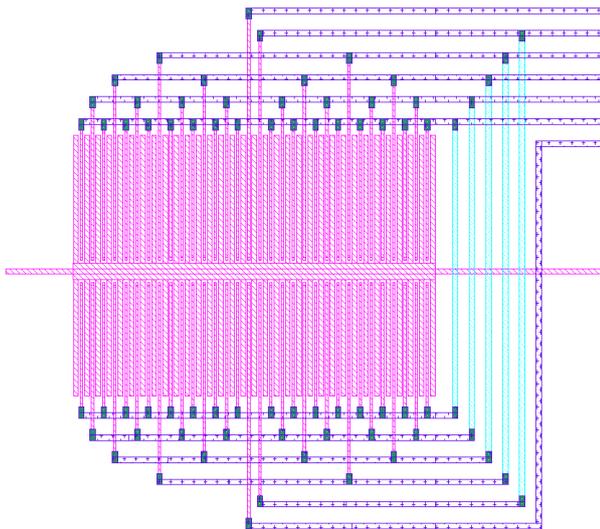


図 13 アレイ状の容量のレイアウト

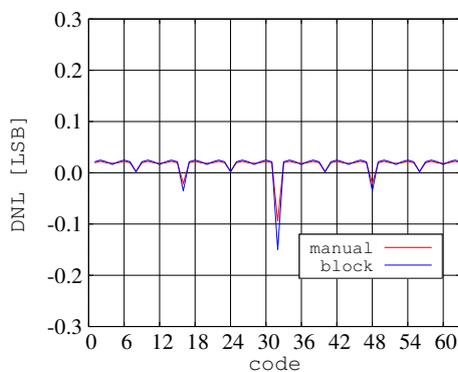


図 14 6ビット容量 DA コンバータの DNL

タを設計した。図 15 に、6 ビット逐次比較型 AD コンバータの回路図を示した。AD コンバータは、入力されたアナログ値をデジタル値に変換する機能を持つ。逐次比較型 AD コンバータは、一定の周期でサンプリングされたアナログ値を DA コンバータの出力値と一致するまで、比較してデジタル値を出力する。要素回路であるブートストラップスイッチ回路についてはブロック方式設計を行った。デジタル回路であるクロック同期型の逐次比較 Logic 回路については、OpenLane を用いて設計した。図 16 に設計した 6 ビット逐次比較型 AD コンバータのレイアウトを示した。レイアウトのサイズは、デカップリング容量を含めて $186\ \mu\text{m} \times 147\ \mu\text{m}$ となった。これは、フルカスタムの設計においても同様のサイズとなった。表 2 に設計した 6 ビット逐次比較型 AD コンバータの性能を示した。図 17 にコヒーレントサンプリングによる FFT の結果を示した。データ数を 128, 入力周波数を 117.1875 kHz とした。ブロック方式設計の性能は、フルカスタムの設計の性能と比較して、SNDR, ENOB, SNR, THD, SFDR の項目における性能の差は 5% 以内の設計となった。これにより、ブロック方式設計での逐次比較 AD コンバータは設計可能であること

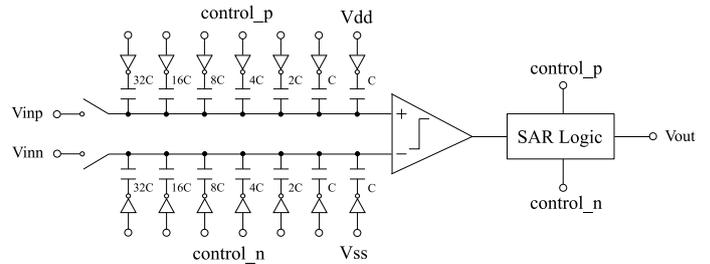


図 15 逐次比較型 AD コンバータの回路図

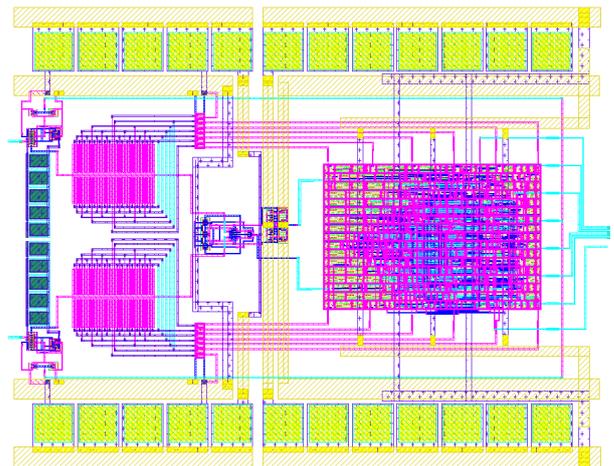


図 16 逐次比較型 AD コンバータのレイアウト

表 2 逐次比較型 AD コンバータの性能

性能	カスタム設計	ブロック方式設計
Resolution [bits]	6	6
Fsample [MHz]	5	5
SNDR [dB]	28.80	27.97
ENOB [dB]	4.49	4.35
SNR [dB]	39.00	38.56
THD [dB]	29.24	28.37
SFDR [dBc]	31.72	30.39
DNL [LSB]	-0.05/0.19	-0.28/0.21
INL [LSB]	-0.19/0.09	-0.16/0.19

が示された。

5. 結論

本論文では、オープンソースのアナログ集積回路のレイアウト自動設計にむけたブロック方式設計の提案と Skywater130nm プロセスを用いた逐次比較型 AD コンバータの設計の実証を行った。本論文では、逐次比較型 AD コンバータの要素回路であるダイナミックコンパレータと容量 DA コンバータのブロック方式設計を行ったが、どちらも設計可能であることが分かった。今後、ブロック方式設計において、レイアウトの対称性や寄生成分の性能への影響を考慮した自動設計が課題となる。また、ブロック方式で設計された回路を用いた逐次比較型 AD コンバータの設計を行った。フルカスタム設計と比較すると性能は劣るが、動作可能な回路の設計を行うことができた。

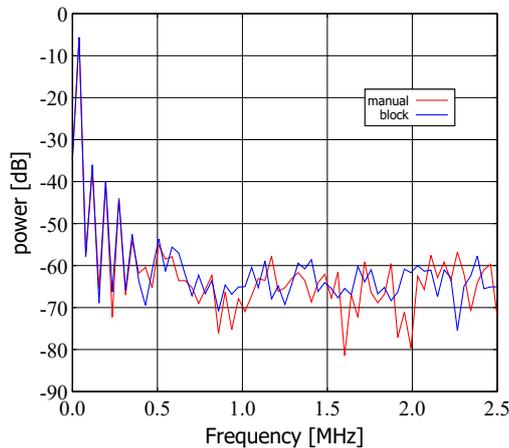


図 17 コヒーレントサンプリングによる FFT の結果，データ数を 128，入力周波数を 117.1875 kHz とした。

ブロック方式設計は，LPE の工程が省かれていることで，効率的なレイアウト自動生成の実現等が期待できる。

参考文献

- [1] Khumpuang, S., Koga, K., Liu, Y. and Kara, S.: Process development for CMOS fabrication using minimal fab, *2017 IEEE Electron Devices Technology and Manufacturing Conference (EDTM)*, pp. 82–83 (online), DOI: 10.1109/EDTM.2017.7947527 (2017).
- [2] Ansell, T. and Saligane, M.: The Missing Pieces of Open Design Enablement: A Recent History of Google Efforts : Invited Paper, *2020 IEEE/ACM International Conference On Computer Aided Design (ICCAD)*, pp. 1–8 (2020).
- [3] Lin, P.-H., Yu, H.-C., Tsai, T.-H. and Lin, S.-C.: A Matching-based Placement and Routing System for Analog Design, *2007 International Symposium on VLSI Design, Automation and Test (VLSI-DAT)*, pp. 1–4 (online), DOI: 10.1109/VDAT.2007.373200 (2007).
- [4] Patel, S. J. and Thakker, R. A.: Parasitic Aware Automatic Analog CMOS Circuit Design Environment Using ABC Algorithm, *2018 31st International Conference on VLSI Design and 2018 17th International Conference on Embedded Systems (VLSID)*, pp. 445–446 (online), DOI: 10.1109/VLSID.2018.105 (2018).
- [5] Liu, M., Tang, X., Zhu, K., Chen, H., Sun, N. and Pan, D. Z.: OpenSAR: An Open Source Automated End-to-end SAR ADC Compiler, *2021 IEEE/ACM International Conference On Computer Aided Design (ICCAD)*, pp. 1–9 (online), DOI: 10.1109/ICCAD51958.2021.9643494 (2021).
- [6] Han, J., Bae, W., Chang, E., Wang, Z., Nikolić, B. and Alon, E.: LAYGO: A Template-and-Grid-Based Layout Generation Engine for Advanced CMOS Technologies, *IEEE Transactions on Circuits and Systems I: Regular Papers*, Vol. 68, No. 3, pp. 1012–1022 (online), DOI: 10.1109/TCSI.2020.3046524 (2021).
- [7] Bashir, M., Abbassi, F., Mistic, M. V., Sturm, J. and Getnot, H.: Performance Comparison of BAG and Custom Generated Analog Layout for Single-Tail Dynamic Comparator, *2020 Austrochip Workshop on Microelectronics (Austrochip)*, pp. 37–41 (online), DOI: 10.1109/Austrochip51129.2020.9232979 (2020).
- [8] Hakhamaneshi, K., Werblun, N., Abbeel, P. and Sto-

janovic, V.: BagNet: Berkeley Analog Generator with Layout Optimizer Boosted with Deep Neural Networks (2019).

- [9] 岩田智成， 土谷亮， 井上敏之， 岸根桂路：ブロック方式設計における配線モデル化誤差を考慮した配線ブロックライブラリの構成方法，電子情報通信学会総合大会 (2020 年 3 月)。