

遅延ばらつき評価に向けた交互配置均質リングオシレータ

有働 岬^{1,a)} イスラム マーフズル^{2,b)} 小野寺 秀俊^{3,c)}

概要: デジタル回路における MOS トランジスタの特性評価にリングオシレータ回路は有用である。個々のトランジスタの遅延ばらつきを評価するには、インバータを遅延素子として用いた段数の少ないリングオシレータ回路が望ましい。しかし、NAND のような発振制御用の異なる論理ゲートがリング内に含まれる場合や、配線長などに不均質性がある場合、ゲートあたりの正確な特性評価が困難になる。そこで、本稿ではすべての論理ゲートの貢献度を均一にするためのリングオシレータ回路構造を提案する。提案構造は仮想電源ノード及び交互配置したレイアウトを採用し、NAND ような制御用の論理ゲートが含まれない。提案構造のリングオシレータを搭載した 65 nm の CMOS バルクプロセスにて試作した回路を評価し、トランジスタモデルの検証やゲートあたりのばらつきの評価を行う。交互配置均質リングオシレータは、スイッチング条件下におけるトランジスタの特性評価に有効である。

キーワード: リングオシレータ/レイアウト/WID ばらつき

Homogeneous Ring Oscillator with Staggered Layout for Delay Variability Characterization

Abstract: Ring oscillator circuits are useful for characterization of MOS transistors under switching operation. To evaluate the delay variation of individual logic gates as well as drain current variation of individual transistors, it is desirable that the ring oscillator consists of a small number of stages. Accurate characterization of per-gate variation becomes difficult, when a different logic gate for oscillation control, such as a NAND gate, is included in the ring, or when there is heterogeneity in wiring length. We propose a homogeneous ring oscillator structure with staggered layout that utilizes virtual supply line for oscillation control. We demonstrate the validity of our proposed structure by measuring a test chip fabricated in a 65 nm CMOS low-power bulk process. The staggered homogeneous ring oscillator is effective for estimating gate-level characteristics.

Keywords: Ring oscillator, Layout, Within-die variation, Sensitivity analysis

1. 序論

IoT (Internet of Things) の普及により CMOS 集積回路を搭載したデバイスの数が指数関数的に増大し、これらのデバイスで消費されるエネルギーが問題となっている。こ

れらのデバイスの多くはバッテリーで駆動されるため、デバイスの寿命を長持ちさせるためにも消費エネルギーの大幅な削減が必要である。CMOS デジタル回路の消費エネルギーは電源電圧の 2 乗に比例するため、消費エネルギーの削減には電源電圧の低下が最も効果的である。しかし、電源電圧の低下は遅延のばらつきを急激に増大させ、回路の信頼性を悪化させる。回路の正しい動作を保証するためには大きなマージンのもとで設計を行う必要があるが、結果的に消費エネルギーが増大してしまう [1]。設計マージンの中には静的な特性ばらつきに加えてランダムテレグラフノイズ (RTN; Random Telegraph Noise) [2, 3] のような動的なばらつきや経年劣化 [4, 5] など含まれる。従って、低い電源電圧動作において回路の劣化やノイズなどが回路

¹ 京都大学大学院 情報学研究所 通信情報システム専攻
Department of Communications and Computer Engineering,
Graduate School of Informatics, Kyoto University

² 京都大学大学院 工学研究科 電気工学専攻
Department of Electrical Engineering,
Graduate School of Engineering, Kyoto University

³ 大阪学院大学 情報学部
Faculty of Informatics, Osaka Gakuin University

a) m_udo@vlsi.kuee.kyoto-u.ac.jp

b) islam.akmmahfuzul.3w@kyoto-u.ac.jp

c) hidetoshi.onodera@ogu.ac.jp

性能にどのような影響を与えるか解析することが重要である。これらのばらつきや経年劣化を実回路を代表する評価回路を用いて評価し、正確なモデルを構築することが必須である。ここで評価回路に複数のばらつき要因あるいは劣化要因がある場合、それぞれの要因ごとの分布パラメータの推定は困難となる。

評価回路として、トランジスタアレイを用いた評価 [6] が一般的であるが、デジタル回路におけるスイッチング動作を反映しないため、実回路との相関が問題である。そこで、デジタル回路におけるスイッチング動作を代表する回路としてリングオシレータ (RO; Ring Oscillator) が用いられる [7, 8]。RO は実装が比較的容易であり、高速に測定を行うことができる。しかし、複数段の論理ゲート回路からなるパスの遅延を評価することになるため、論理ゲートあたりの特性やばらつきが測定できないデメリットがある。そこで、論理ゲートあたりあるいはトランジスタあたりの分布の推定は感度解析に基づいて行うことになるが、推定に必要なパラメータ数が多く、かつ感度係数の正確な値が必要となる。

本稿では、全ての論理ゲートが均質な RO 回路構造を提案する。提案構造では感度係数が同じであるため、パラメータ数が少なくなり、モデルパラメータの抽出やゲートあたりの特性評価が容易にできるようになる。また、仮想電源を用いて発振の制御を行っているため、最短の3段の論理ゲートからなる発振回路を構成することが可能となり、ゲートあたりの特性がより顕著に現れる。段数が大きくなればなるほど中心極限定理により分布が正規分布に近づいていくため、もとの分布の形状がわかりにくくなるという課題を克服する。提案構造の最短の論理ゲートからなる RO は、RTN のような長い尾を持つ分布のパラメータ推定に有効である。

本稿の構成を次に示す。2 節では一般的な RO 回路と比較して、本稿での提案回路について説明を行う。3 節では提案回路を搭載したテスト回路の測定を行った結果について説明する。4 節で本稿をまとめる。

2. 交互配置均質リングオシレータ

2.1 感度係数解析

リングオシレータを用いたテスト回路において観測可能なパラメータは発振周期だけであり、その周期は複数のトランジスタの特性で決まる。劣化やばらつきのような統計現象をモデル化するために、発振周期変動の分布からトランジスタのモデルの統計パラメータを推定する必要がある。トランジスタの統計パラメータ推定に発振周期の変動とトランジスタ特性の変動の間の関係を次の線形モデルで表現し、統計処理によるパラメータ抽出が一般的に行われる。

$$\Delta T = \sum_{i=1}^{N_p} k_{pi} \Delta V_{thpi} + \sum_{i=1}^{N_n} k_{ni} \Delta V_{thni}. \quad (1)$$

ここで、 ΔV_{thpi} と ΔV_{thni} はそれぞれ i 番目の pMOSFET と nMOSFET のしきい値電圧変動量である。 N_p と N_n はそれぞれ pMOSFET と nMOSFET の数を表す。トランジスタが強反転状態で動作する場合、 ΔT は線形モデルで近似することができる。しかし、遅延時間が指数関数的に変化する低電圧条件下においては、単純な線形モデルを用いることはできない。ゲート遅延の非線形的な変動に対し非線形関数を用いてモデル化する手法が提案されている [9]。

全電圧領域に対応したオン電流のモデルの1つに EKV モデル [10] が挙げられる。EKV モデルでは、次式のようにオン電流をモデル化する。

$$I = k \ln^\alpha \left[1 + \exp \left(\frac{V_{dd} - V_{th}}{\alpha n V_T} \right) \right]. \quad (2)$$

k , α は定数、 V_T は熱電圧、 n はサブスレッショルドスロップである。よって、EKV モデルを適用した場合の RO の遅延変動 ΔT は、

$$\Delta T = \sum_{i=1}^{N_p} \left(\frac{K_{pi} V_{dd}}{\log^{\alpha_{pi}} [1 + \exp \beta_{pi} \{V_{od,pi} - \Delta V_{thpi}\}]} - d_{p0} \right) + \sum_{i=1}^{N_n} \left(\frac{K_{ni} V_{dd}}{\log^{\alpha_{ni}} [1 + \exp \beta_{ni} \{V_{od,ni} - \Delta V_{thni}\}]} - d_{n0} \right). \quad (3)$$

ここで d_{p0} , d_{n0} は、pMOSFET, nMOSFET それぞれのしきい値電圧がばらつかない場合の回路全体の遅延である。しきい値電圧の変動に対する遅延変動を求めるにはこの式に従い全てのトランジスタに対して、 $(\alpha, \beta, K, V_{od})$ の4つのパラメータを求めることとなる。低電圧条件を見込んだ感度解析はパラメータの数が多くなり、正確な算出は容易ではない。

リングを構成する全てのゲートが均質であると、しきい値電圧変動が遅延に及ぼす影響は各段で同じになる。また、pMOSFET と nMOSFET のそれぞれのトランジスタの同じ特性変動は同じ遅延変動になるため、式 (3) は一回だけ求めれば良い。従って、解析に用いるパラメータ数が大幅に少なくなり、ばらつきモデルの学習も可能となる。よって各ゲートが均質であれば低電圧条件下における回路動作であっても、遅延解析を効率よく行うことができる。

2.2 一般的なリングオシレータ構造

2.2.1 レイアウト

リングオシレータはインバータのような負のゲインを持つ論理ゲート奇数個をリング状に結合した発振回路である。図1は一般的な RO 構造である。初段に2入力 NAND ゲートを配置し、次段以降に同一の負論理ゲートを横並び

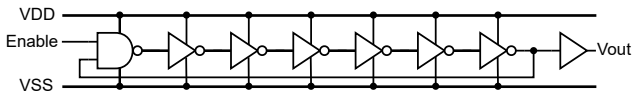


図 1: 一般的な RO の構造例. NAND を用いて発振制御を行い, インバータを横並びに配置する.

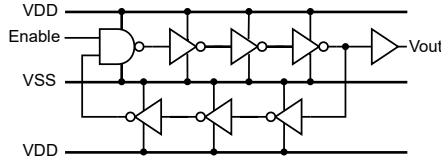


図 2: 電源配線を跨いでレイアウトする場合の RO の構造例.

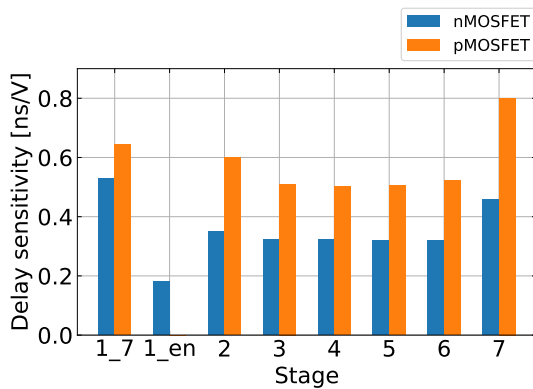


図 3: 発振制御に NAND を用いたインバータからなる 7 段 RO の各トランジスタのしきい値電圧に対する遅延感度. 1.7 は 7 段目の出力と, 1.en は Enable 信号と繋がっている.

に繋げる. 最終段の出力は初段の NAND ゲートに入力し, リングを形成する. 初段の NAND には Enable 信号を入力し, リングの発振制御を行う. Enable 信号を 1(High) にするとリング内で発振が始まり, 0(Low) にすると発振が終わる.

発振制御用の NAND がリングに含まれていることにより, 遅延機構に不均衡が生じる. また, 各段にかかる負荷の大きさに不均質が生じる. 次段が NAND ゲートであるか別のゲートであるかで, ゲート容量が異なる. また, 論理ゲートを横並びにレイアウトする場合, 配線長に不均質が生じる. 順に横並びにした論理ゲートでリングを形成すると, 最終段から初段までの配線が他段間の配線に比べて長くなる. これにより, 最終段にかかる配線負荷は多段に比べて大きく異なる. 図 2 は, RO を電源配線を跨いでレイアウトする場合の構造である. この場合, 図 1 の構造に比べると最終段にかかる負荷の偏りは軽減する. しかしながら, 電源配線を跨ぐ配線とその他の配線で配線長やオーバーラップによる容量性負荷に不均質が生じる.

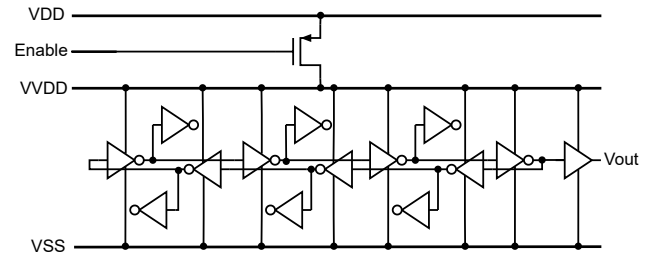


図 4: 提案の RO の構造. ヘッドトランジスタを用いて仮想電源によって発振の制御を行う. リングは全て同じ論理ゲートで構成し, 交互に配置する.

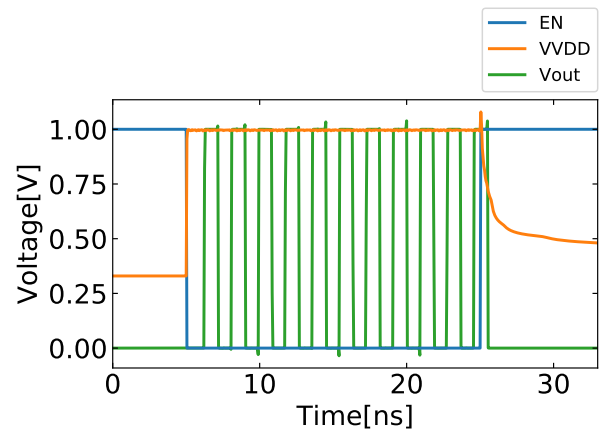


図 5: ヘッドトランジスタをオンしたときとオフしたときの仮想電源ラインの電位変化と RO と発振波形.

2.2.2 しきい値電圧に対する遅延感度

図 1 の構造のインバータから成る 7 段 RO のしきい値電圧に対する遅延感度を図 3 に示す. レイアウトから寄生容量を抽出し, HSPICE を用いたシミュレーションにより求めている. 2.2.1 で述べたような, 最終段から初段に伸びる配線長が長いことや NAND がリング内に含まれることによる不均質性が原因で, 各トランジスタのしきい値電圧に対する遅延感度が異なっている. 特に最終段である 7 段目のインバータの pMOSFET, nMOSFET は他のトランジスタに比べて大きい. pMOSFET で最大約 37% の差がある.

2.3 交互配置均質リングオシレータ構造

2.3.1 発振のメカニズム

発振制御用の NAND がリング内に含まれていると, 均質性が崩れる. そこでヘッドトランジスタを用いてリングの発振を制御する構造を提案する. 図 4 に提案の RO 構造を示す. 電源電圧線とリングの電源線との間にヘッドトランジスタを配置し, リングに印加する電圧をヘッドトランジスタを介して操作する. ヘッドトランジスタはゲート幅の大きい pMOSFET を用いる. pMOS ヘッドトランジスタ

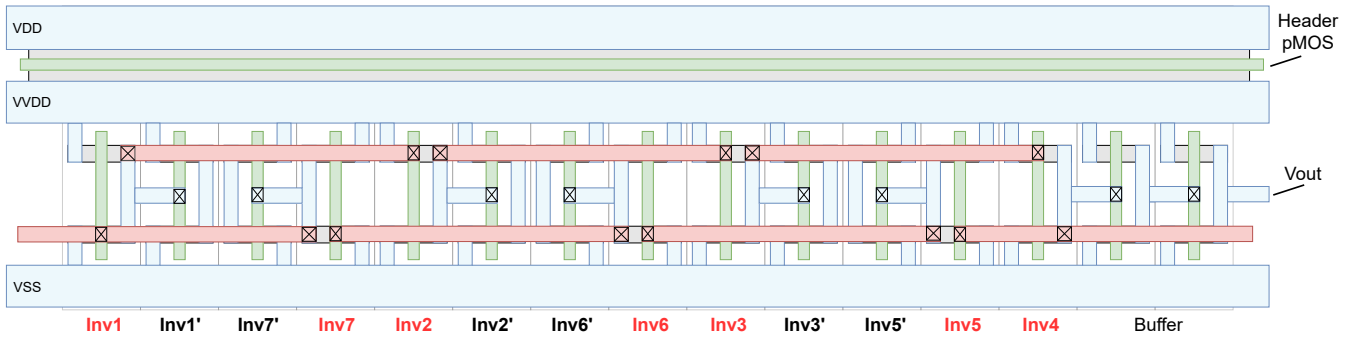


図 6: 提案の交互配置レイアウト. 赤字で示しているインバータはリングを構成するゲートであり, その他のインバータは負荷としてのゲートである.

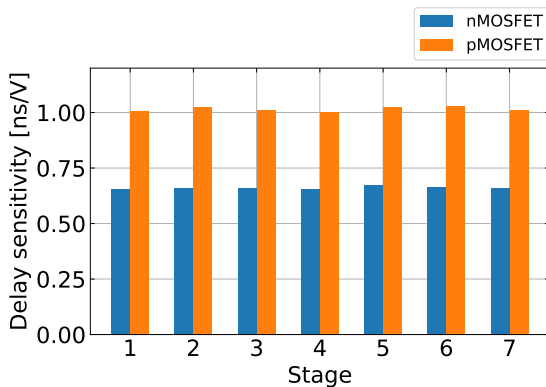


図 7: 発振制御にヘッダトランジスタを用い, インバータを交互配置した7段ROの各トランジスタのしきい値電圧に対する遅延感度.

タのドレイン電圧が仮想電源 VVDD となる.

発振の開始と終了はゲートに入力されている Enable 信号で操作する. 図 5 はヘッダトランジスタをオンした時とオフした時の仮想電源ライン VVDD の電位変化を示している. Enable 信号が 0(Low) のときは, pMOS ヘッダトランジスタはオフ状態にあり, リングは発振しない. 1(High) にするとオン状態となり, 仮想電源ラインの電位 VVDD は電源電圧 VDD とほぼ同じとなる. この時, 各トランジスタには必ずばらつきがあり, ゲートごとに駆動力が異なるため, 電源電圧を印加されたリングは発振が開始する.

2.3.2 交互配置レイアウト

負荷容量の均質性を崩す要因に配線長やファンアウト数の差異がある. 提案構造ではこれらを均質にする. 提案の交互配置構造のレイアウトを図 6 に示す. インバータからなる 7 段の RO である. 赤字で示しているインバータ (Inv1, ..., Inv7) はリングを構成するゲートであり, 黒字で示しているインバータ (Inv1', ..., Inv7') は各段のゲートそれぞれに付けられた負荷である. リングが真ん中で折り返す構造になっており, 往路のゲートそれぞれに復路のゲートが挟まるように配置している. 端から順に見ると往路のゲートと復路のゲートが交互に現れる構造となっている.

る. この配置を取ることで, 各ゲート間の配線長をほぼ同じに設計することが可能となる. 折り返し部分はコンタクト間の距離が他に比べて短くなる. そこでメタル配線自体の長さを揃えることで, 均質性を保つことができる.

リングの発振波形を出力し観測するためには, リング内のいずれかのゲートが必ずファンアウト数が 2 以上となる. そこで提案構造では, 発振波形を取り出す出力段以外の各ゲートにもバッファに用いるものと同様のインバータゲートを負荷として付ける. これによりリングを構成する全てのゲートのファンアウト数を 2 に揃え, 均質性を保つ.

2.3.3 しきい値電圧に対する遅延感度

図 7 に提案構造のインバータから成る 7 段 RO のしきい値電圧に対する遅延感度を示す. バッファが接続された出力段であるインバータを 4 段階目としている. nMOSFET, pMOSFET それぞれにおいてほとんど同じ感度であり, その差は最大で 2% の差である.

3. 65 nm テスト回路による評価

3.1 テスト回路構造

実際のシリコン上における遅延ばらつきを評価するために 65 nm バルクプロセスのテストチップを試作した. 図 8 はチップ構造の全体像を示している. 様々な RO を含むセクションが 9×17 のアレイ状に配置されており, 1 つのチップ上に 153 個の同一の RO が実装されている. RO を選択して発振させ, その波形をチップ外に取り込むために, セクタとデコーダを使用している. セクション内には, 提案の構造をとった 3 段, 5 段, 7 段, 13 段のインバータから成る RO スロットを搭載している. また, 比較のために初段に NAND を含む 7 段のインバータ RO スロットを搭載している. 同一種類の 153 個の RO で周波数測定を行うことで, RO の遅延時間や WID の周波数変動を得ることができる. 温度は室温 25°C に保たれている.

3.2 リングオシレータの遅延特性

図 9 は, 提案構造の RO の段数に対する平均遅延時間である. 遅延時間は, 電源電圧 0.8 V における 153 個の RO

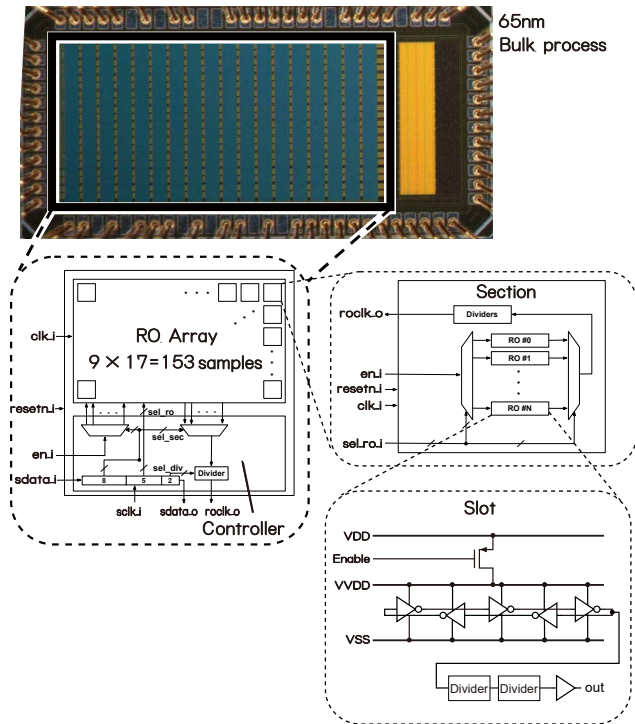


図 8: 65 nm バルクプロセステストチップの構造. 同一構造の RO が 153 個搭載されている.

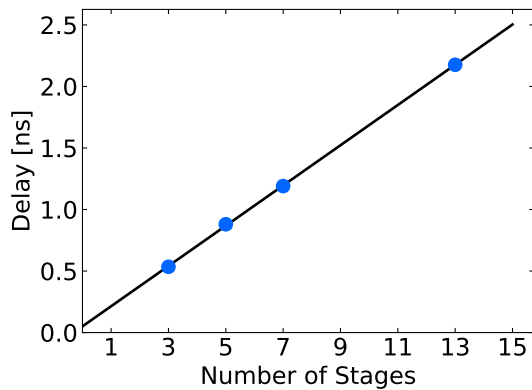


図 9: 3 段, 5 段, 7 段, 13 段のインバータで構成される RO の遅延時間.

の発振周波数から求めた. 直線は最小二乗法により実測値にフィッティングした回帰直線である. 提案構造の RO の遅延時間と段数が線形の関係にあることがわかる. 3 段や 5 段のような少ない段数のリングにおいても, この関係が保たれている. 提案構造は全て同一の構造のインバータから成り, 均質であるため, スwitching 条件下におけるインバータゲート 1 段あたりの遅延時間を容易に求めることができる.

3.3 WID ばらつきの評価

WID のばらつきを以下のように, 測定周波数をリングの平均発振周波数で正規化した周波数変動量 $\Delta f/f$ で評価

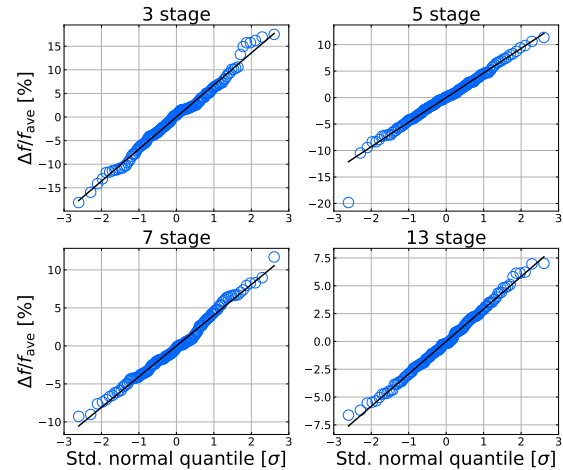


図 10: 3 段, 5 段, 7 段, 13 段のインバータで構成される RO の周波数変動量の QQplot.

する.

$$\frac{\Delta f}{f} = \frac{f - f_{ave}}{f_{ave}} \quad (4)$$

図 10 は, 電源電圧 0.8 V における周波数変動量 $\Delta f/f$ の正規 QQplot である. 3 段や 5 段では最大で約 20%, 7 段では約 12%, 13 段では約 7.4% の変動がある. 3 段では直線から外れるサンプルが比較的多く, 13 段ではほとんどのサンプルが直線状に並んでいる. 周波数変動量は段数が増えるほど正規分布に従っている. 図 11 は, 各段数の RO における発振周波数の変動係数 σ_f/μ_f である. 横軸は段数を N としたときの $1/\sqrt{N}$ である. 変動係数は段数の平方根の逆数に線形の関係にある. 段数が増えるほど, 周波数のばらつきは小さくなる.

図 12 は, 初段に NAND を含む 7 段インバータ RO と提案構造の 7 段インバータ RO の発振周波数変動量の QQplot である. 青色でプロットしているのが NAND 型であり, 赤色でプロットしているのが提案構造型である. 周波数変動量の分布に大きな違いはなく, 標準偏差 σ は NAND 型で 4.4, 提案構造で 4.0 と同程度であった.

RO を 7 段で構成する場合, 従来の NAND 付きの構造と提案構造における周波数変動の分布に大きな差は観測されない. しかし, 5 段以下の RO を構成することは従来型で容易ではないが, 提案構造では最短の 3 段 RO を構成することが可能となった. また観測された周波数分布から, トランジスタの特性分布を推定するなどの解析において, 提案の交互配置均質構造は信頼性が高い.

4. 結論

本稿では, 遅延ばらつきの評価に向けた均質な RO 構造を提案した. 提案構造の RO は, ヘッドトランジスタを用いて発振制御を行い, 全て同じ論理ゲートで構成する. また, ゲートを交互配置することで配線長を均一にし, 各

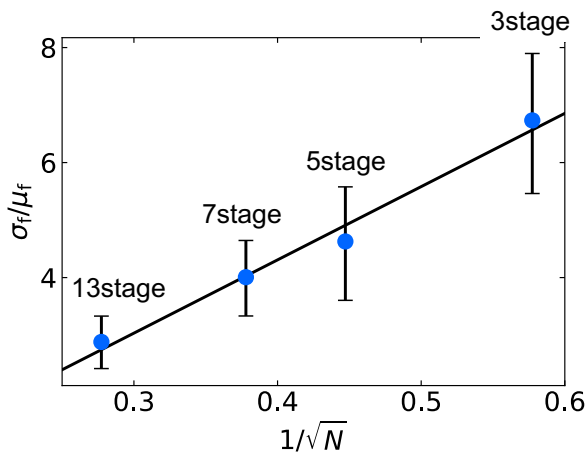


図 11: 3 段, 5 段, 7 段, 13 段のインバータで構成される RO の発振周波数の変動係数 σ/μ .

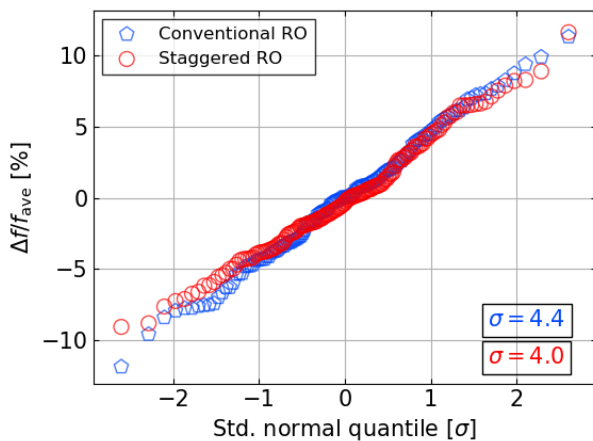


図 12: 初段に NAND を含む 7 段インバータ RO と提案構造の 7 段インバータ RO の発振周波数変動量の QQplot.

ゲートのファンアウト数を揃えることで、各段にかかる負荷が均質となる。提案構造の 7 段 RO の各段におけるしきい値電圧に対する遅延感度差は、約 2%以内であった。

提案構造で設計した RO を搭載した 65 nm バルクプロセスのテスト回路を試作した。RO の遅延時間特性を調べると、段数に対して線形の関係にあった。リングを構成する全てのゲートが均質であるため、ゲート 1 段当たりの遅延特性を調べる上で有効であることを示した。提案構造の 3 段や 5 段の RO で WID ばらつきが正規分布に従うことを確認し、ゲートあたりの特性がより顕著に現れる少ない段数で遅延ばらつき評価を行えることを示した。最後に一般的な RO と提案構造の RO の WID ばらつきを比較したところ、分布に大きな違いはなかった。提案構造の均質 RO は、デジタル回路におけるスイッチング条件下でのトランジスタの遅延ばらつき評価に有効である。

謝辞 本研究は JSPS 科研費 19K20233 の助成を受けたものである。本研究の一部は東京大学 VDEC 活動を通し

て、日本シノプシス合同会社、日本ケイデンス・デザイン・システムズ社及びメンター・グラフィックス・ジャパン株式会社の協力で行われたものである。

参考文献

- [1] M. Islam and H. Onodera, "Circuit techniques for device-circuit interaction toward minimum energy operation," *IPSI Transactions on System LSI Design Methodology*, vol. 12, pp. 2–12, 01 2019.
- [2] M. Kirton and M. Uren, "Noise in solid-state microstructures: a new perspective on individual defects, interface states, and low-frequency noise," *Advanced Physics*, vol. 38, no. 4, pp. 367–468, 1989.
- [3] K. Ito, T. Matsumoto, S. Nishizawa, H. Sunagawa, K. Kobayashi, and H. Onodera, "The impact of RTN on performance fluctuation in CMOS logic circuits," in *International Reliability Physics Symposium*, 2011, pp. CR.5.1–CR.5.4.
- [4] K. Jeppson and C. Svensson, "Negative bias stress of MOS devices at high electric fields and degradation of MNOS devices," *Journal of Applied Physics*, vol. 48, pp. 2004–2014, 1977.
- [5] K. B. Sutaria, J. B. Velamala, C. H. Kim, T. Sato, and Y. Cao, "Aging statistics based on trapping/detrapping: Compact modeling and silicon validation," *IEEE Transactions on Device and Materials Reliability*, vol. 14, no. 2, pp. 607–615, 2014.
- [6] K. Agarwal, J. Hayes, and S. Nassif, "Fast characterization of threshold voltage fluctuation in MOS devices," *IEEE Transactions on Semiconductor Manufacturing*, vol. 21, no. 4, pp. 526–533, 2008.
- [7] H. Onodera and H. Terada, "Characterization of WID delay variability using RO-array test structures," in *IEEE International Conference on ASIC*, 2009, pp. 658–661.
- [8] K. J. Kuhn, M. D. Giles, D. Becher, P. Kolar, A. Kornfeld, R. Kotlyar, S. T. Ma, A. Maheshwari, and S. Mudanai, "Process technology variation," *IEEE Transactions on Electron Devices*, vol. 58, no. 8, pp. 2197–2208, 2011.
- [9] K. Murakami, M. Islam, and H. Onodera, "CDF distance based statistical parameter extraction using nonlinear delay variation models," in *IEEE 27th International Symposium on On-Line Testing and Robust System Design (IOLTS)*, 2021, pp. 1–6.
- [10] C. Enz, F. Krummenacher, and E. Vittoz, "An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications," 01 1995.