

回路遅延の非線形モデルを用いた モンテカルロ法による遅延ばらつき解析

村上 健祐^{1,a)} イスラム マーフズル^{2,b)} 小野寺 秀俊^{1,c)}

概要: 低電圧動作において回路遅延は非線形に変動し、線形モデルを用いた従来の解析手法では遅延ばらつきは解析できない。そこで本論文では、非線形領域における回路の遅延ばらつきを解析するための新たな手法を提案する。本手法では、EKV モデルと同様の考え方で各 MOSFET のしきい値電圧変動に対する回路全体の遅延変動の非線形性を正確にモデル化し、これらの遅延変動の重ね合わせを回路全体の遅延変動として求め、モンテカルロ法により遅延ばらつき解析を行う。65nm プロセスを想定した回路シミュレーションにおける遅延変動を提案手法により正確にモデル化できることを示す。

キーワード: 遅延ばらつき解析, EKV モデル, 非線形関数, モンテカルロ法

Monte Carlo-based Delay Variation Analysis with Non-Linear Circuit Delay Model

KENSUKE MURAKAMI^{1,a)} MAHFUZUL ISLAM^{2,b)} HIDETOSHI ONODERA^{1,c)}

Abstract: Since circuit delay fluctuates non-linearly at low voltage, the delay variation cannot be analyzed by conventional methods with linear model. This paper proposes a new method to analyze delay variation at non-linear region. By our proposed method, we analyze delay variation according to the following procedure. At first, as EKV model for modeling a MOSFET operation, we accurately model non-linear circuit delay fluctuation due to fluctuation of a threshold voltage of MOSFETs. Next, with superposition of these delay fluctuation model, we model the circuit delay fluctuation due to fluctuation of threshold voltage of all MOSFETs. Finally, with Monte Carlo method, we calculate the circuit delay variation. We demonstrate that our proposed method can accurately model the delay variation of circuit with 65 nm process MOSFET in HSPICE simulation.

Keywords: Delay variation analysis, EKV model, Non-linear function, Monte Carlo method

1. 序論

MOSFET の製造プロセスの微細化に伴い、スケーリング則にしたがって集積回路は高性能化の一途を辿ってきた [1]。その一方で、微細化が進むにつれて MOSFET の

性能ばらつきは増大しており、その原因としては RDF (Random Dopant Fluctuation) [2] のような静的なランダムばらつきや RTN (Random Telegraph Noise) [3] のような動的なランダムばらつきが挙げられる。MOSFET の性能ばらつきは回路性能のばらつきを引き起こし、回路の信頼性を低下させる要因となる。要求した動作速度を満たすような回路設計には、MOSFET の性能ばらつきによる影響を考慮した遅延ばらつき解析が必要である。

回路遅延を解析するための従来手法として STA (Static Timing Analysis) がある。STA では、論理ゲートの入力電圧のスリユアと負荷容量を入力としたルックアップテーブル

¹ 京都大学大学院 情報学研究所 通信情報システム専攻
Department of Communications and Computer Engineering,
Graduate School of Informatics, Kyoto University

² 京都大学大学院 工学研究科 電気工学専攻
Department of Electrical Engineering,
Graduate School of Informatics, Kyoto University

a) murakami@vlsi.kuee.kyoto-u.ac.jp

b) islam.akmmahfuzul.3w@kyoto-u.ac.jp

c) onodera@i.kyoto-u.ac.jp

ルによりゲート遅延をモデル化し、回路全体の遅延を見積もることができる。しかし、STA では回路内の MOSFET の性能ばらつきといったばらつき要素については考慮されず、遅延ばらつきの解析ができない。そこで、回路遅延ばらつきを見積もるための手法として SSTA (Statistical Static Timing Analysis) が提案されている [4]。SSTA では、STA で用いていたルックアップテーブルを回路遅延ばらつきに寄与する各ばらつき要素に対して拡張し、ゲート遅延をモデル化する。しかし、SSTA では遅延ばらつきに寄与する各ばらつき要素の条件ごとにルックアップテーブルが必要でありコストが大きい。また、SSTA では線形モデルを用いることが一般的であり、低電圧動作におけるゲート遅延の非線形な変動を正確に表現することができない。ゲート遅延の非線形な変動を正確に表現するため、ゲート容量の充放電の式からゲート遅延をモデル化する手法が提案されている [5,6]。文献 [5] では、subthreshold 領域、near-threshold 領域および above-threshold 領域の 3 領域ごとに求めた MOSFET のオン電流のモデル式からゲート遅延をモデル化している。また文献 [6] では、幅広い電圧領域における MOSFET のオン電流を EKV モデル [7] で用いられている非線形関数によって表し、ゲート遅延をモデル化している。

本論文では、STA ベースの手法とは異なる手法によって、幅広い電圧領域における回路遅延ばらつきを見積もることが可能な新たな遅延ばらつき解析手法を提案する。本論文は以下のような構成となる。2 節では、遅延ばらつき解析手法として線形モデルを用いた手法の問題点を指摘し、提案手法について説明する。3 節では、線形モデルを用いた遅延ばらつき解析手法と提案手法による遅延ばらつき解析の精度を比較し、提案手法の有効性を示す。4 節では、本論文のまとめを行う。

2. 遅延ばらつき解析

本節では、まずゲート遅延を非線形関数によってモデル化できることを確認する。次に、線形モデルを用いた遅延ばらつき解析手法の問題点について指摘し、非線形モデルを用いたモンテカルロ法による遅延ばらつき解析手法を提案する。

2.1 ゲート遅延モデル

ゲート遅延 T_d は、式 (1) のようにゲート容量の充放電の式で表せる。

$$T_d = k_0 \frac{CV_{dd}}{I} \quad (1)$$

ここで k_0 は定数、 C はゲート容量、 V_{dd} は電源電圧、 I は MOSFET のオン電流である。 k 、 C 、 V_{dd} は一定値であるとする、ゲートを構成する MOSFET のしきい値電圧 V_{th} のばらつきに対するオン電流の変動を正確にモデル化する

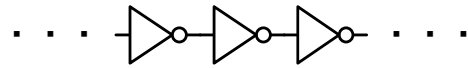


図 1 インバータチェーン

ことによってゲート遅延がモデル化できる。

強反転領域における MOSFET のオン電流は式 (2) のように表せる [8]。

$$I = k_1(V_{dd} - V_{th})^\alpha \quad (2)$$

ここで k_1 、 α は定数である。また、弱反転領域における MOSFET のオン電流は式 (3) のように表せる [9]。

$$I = k_2 \exp\left(\frac{V_{dd} - V_{th}}{nV_T}\right) \quad (3)$$

ここで k_2 は定数、 n はサブスレッショルドスロープ、 V_T は熱電圧である。式 (2) と式 (3) を用いる場合、電圧領域ごとにゲート遅延をモデル化できる。しかし、強反転領域と弱反転領域の境界付近で MOSFET を駆動する場合、しきい値電圧が変動すると電圧領域は強反転領域から弱反転領域、または弱反転領域から強反転領域に遷移する。そのため、強反転領域と弱反転領域の間を補完できるモデルでオン電流を表現する必要がある。

全電圧領域に対応したオン電流のモデルの 1 つに EKV モデルが挙げられる。EKV モデルでは、式 (4) のようにオン電流をモデル化する。

$$I = k_3 \ln^\alpha \left[1 + \exp\left(\frac{V_{dd} - V_{th}}{\alpha n V_T}\right) \right] \quad (4)$$

ここで k_3 は定数である。式 (4) により、オン電流の強反転領域における線形性および弱反転領域における非線形性を正確に表現しながら電圧領域間も補完できる。本節では、図 1 のようなインバータチェーンのゲート遅延を考える。インバータの出力の立ち下がり時には主に NMOS が駆動し、立ち上がり時には主に PMOS が駆動する。そのため、NMOS のしきい値電圧変動によってゲートの立ち下がり遅延が変動し、PMOS のしきい値電圧変動によってゲートの立ち上がり遅延が変動する。電源電圧 $V_{dd} = 0.3V$ (弱反転領域)、 $0.7V$ (強反転領域) の場合の NMOS のしきい値電圧変動 ΔV_{thn} に対するゲートの立ち下がり遅延を式 (1) と式 (4) を用いてモデル化した結果を図 2 に示す。図 2 より式 (1) と式 (4) を用いることで強反転領域と弱反転領域の両方でゲート遅延の変動を正確に表現できる。また、PMOS のしきい値電圧変動に対するゲートの立ち上がり遅延も同様に式 (1) と式 (4) を用いてモデル化可能である。

2.2 遅延パス全体の遅延変動モデル

遅延パスにおける遅延ばらつき解析を行うためには、遅延パス全体の遅延を正確に表現できるモデルが必要である。2.1 節で述べたように、EKV モデルで用いられる非線

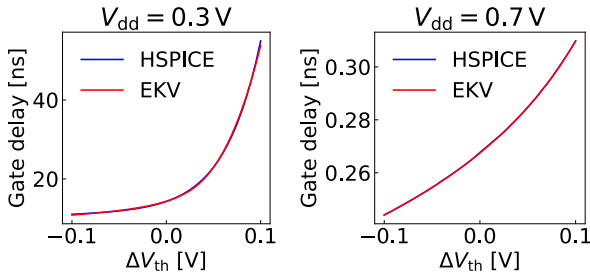


図2 インバータチェーンのゲート遅延モデル化結果

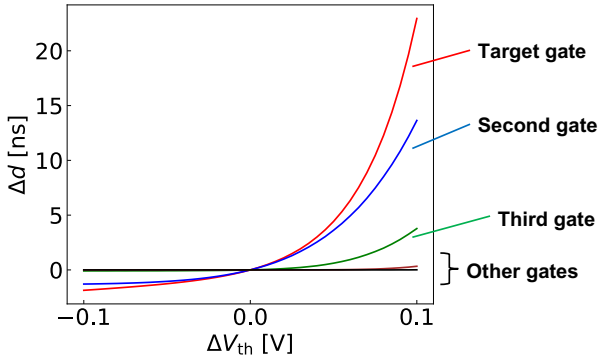


図3 インバータチェーンにおけるゲート遅延変動による後段のゲート遅延への影響

形関数によって MOSFET のしきい値電圧変動によるゲート遅延を正確にモデル化できる。その一方で図3に示すように、ゲート遅延が変動する場合、後段のゲート遅延にその影響は波及していく。そのため、回路遅延ばらつきをモデル化するには単に各ゲートの遅延変動を足し合わせるのではなく、各ゲートの遅延変動による遅延パス全体への影響を考慮する必要がある。本節では、回路遅延ばらつきのモデル化手法として線形モデルと非線形モデルを用いる手法について説明する。

2.2.1 線形モデル

遅延パスを構成する各 MOSFET のしきい値電圧変動により遅延パスの遅延が線形に変動すると仮定した場合、遅延パス全体の遅延変動 Δd は式 (5) のように各 MOSFET のしきい値電圧変動の線形和で表される。

$$\Delta d = \sum_{i=1}^N k_i \Delta V_{th,i} \quad (5)$$

ここで N は遅延パスを構成する総 MOSFET 数、 k はしきい値電圧の感度係数である。

MOSFET のオン電流はオーバードライブ電圧 $V_{od} = V_{dd} - V_{th}$ に関する単調増加関数である。強反転領域においてオーバードライブ電圧がしきい値電圧変動量と比べて十分大きいと仮定する。このとき、各 MOSFET のしきい値電圧変動によるゲート遅延が微小変化するため、遅延パス全体の遅延変動を式 (5) で表すことができる。その一方で、弱反転領域においてオーバードライブ電圧がしきい値

電圧変動量と比べて同程度、または小さいと仮定する。このとき、各 MOSFET のしきい値電圧変動によるゲート遅延は非線形に変動し、遅延パス全体の遅延は式 (5) で表すことができない。そのため、遅延変動の非線形性を正確に表現できるモデルが必要となる。

2.2.2 非線形モデル

図3に示すように、ある段のゲート遅延が変動した場合、後段のゲート遅延にその影響は波及していく。まずは、 n_g 段目のゲートを構成する n 番目の MOSFET のしきい値電圧変動 $\Delta V_{th,n}$ によってゲート遅延変動 Δd_{n_g} が生じ、 Δd_{n_g} によって以降の段のゲート遅延変動 $\Delta d'_{n_g+1}$, $\Delta d'_{n_g+2}$, ... が生じる場合を考える。このとき、遅延パス全体の遅延変動 Δd は式 (6) のように表される。

$$\Delta d = \Delta d_{n_g} + \sum_{i=n_g+1} \Delta d'_i \quad (6)$$

また、 Δd_{n_g} は式 (1) を用いて式 (7) のように表せる。

$$\Delta d_{n_g} = k_{n_g} \frac{C_{n_g} V_{dd}}{I(V_{th} = V_{th0} + \Delta V_{th,n_g})} - d_{0,n_g} \quad (7)$$

ここで V_{th0} はばらついていない場合の MOSFET のしきい値電圧、 d_{0,n_g} はすべての MOSFET にしきい値電圧ばらつきがないときの n_g 段目のゲート遅延である。

n_g 段目のゲート遅延が変動する場合、 n_g 段目のゲートの出力電圧のスリユーが変動し $n_g + 1$ 段目のゲート遅延が変動する、というように各段のゲート遅延は相関を持って変動する。そこで、各ゲート遅延変動の総和である遅延パス全体の遅延変動を1つのゲート遅延変動のような形に近似する。すなわち、式 (6) を式 (7) のような式で近似する (式 (8))。

$$\Delta d \simeq \frac{K' V_{dd}}{I'(V_{th} = V_{th0} + \Delta V_{th,n_g})} - \sum_{i=n_g} d_{0,i} \quad (8)$$

ここで K' は定数、 d_0 はしきい値電圧ばらつきがない場合の遅延パス全体の遅延である。2.1 節では、ゲート遅延の電流部分に EKV モデルで用いられている非線形関数を適用して正確にモデル化できることを確かめた。そこで、ゲート遅延の場合と同様に、式 (8) の I' に EKV モデルで用いられている非線形関数を適用する。このとき、遅延パス全体の遅延変動は式 (9) のように表せる。

$$\Delta d = \frac{K_{nonlin,n} V_{dd}}{\ln^{\alpha_n} [1 + \exp(\beta_n \{V_{od,n} - \Delta V_{th,n}\})]} - \sum_{i=n_g} d_{0,i} \quad (9)$$

EKV モデルで用いられる非線形関数は本来単体 MOSFET のオン電流のモデル式だが、式 (9) の4つのパラメータ $K_{nonlin,n}$, α_n , β_n , $V_{od,n}$ をフィッティングパラメータとして求めることにより I' をモデル化する。

次に、遅延パスを構成するすべての MOSFET のしきい

値電圧がばらつく場合を考える。ある1つのMOSFETのしきい値電圧変動がもたらす遅延パス全体の遅延変動が周囲のMOSFETのしきい値電圧の状況によらず等しい、すなわち各MOSFETのしきい値電圧変動による遅延パス全体の遅延変動の独立性が成り立つと仮定する。このとき、式(9)から求めた各MOSFETのしきい値電圧変動による回路全体の遅延変動の総和がすべてのMOSFETのしきい値電圧がばらつく場合の回路全体の遅延変動となる。遅延パスを構成する総MOSFET数が N 個であるとする、すべてのMOSFETのしきい値電圧がばらつく場合の遅延パス全体の遅延変動 Δd は式(9)を用いて式(10)、式(11)のように表せる。

$$\Delta d = \sum_{j=1}^N \Delta d_j \quad (10)$$

$$\Delta d_j = \frac{K_{\text{nonlin},j} V_{\text{dd}}}{\ln^{\alpha_j} [1 + \exp(\beta_j \{V_{\text{od},j} - \Delta V_{\text{th},j}\})]} - \sum_{i=j_g} d_{0,i} \quad (11)$$

2.3 モンテカルロ法による遅延ばらつき解析

遅延ばらつき解析を行うためには、遅延ばらつきを正確にモデル化する必要がある。また、遅延ばらつきをモデル化するためには遅延パスを構成する各MOSFETのしきい値電圧ばらつきを正確に再現する必要がある。そこで、提案手法では2.2.2項で示したような遅延パス全体の遅延変動モデルを用いる。また、すべてのMOSFETのしきい値電圧ばらつきによる遅延パス全体の遅延ばらつきをモンテカルロ法による数値計算で求める。本手法を用いることで、HSPICEなどの回路シミュレーションによるモンテカルロシミュレーションに比べてより高速にシミュレーション結果が得られる。また、物理法則にしたがった数式を用いた数値計算シミュレーションを行うことで、回路シミュレーションよりも詳細な物理パラメータの解析が可能である。

3. 回路遅延の非線形モデルを用いた遅延ばらつき解析

本節では、2.2で述べた線形モデルと非線形モデルを用いた遅延ばらつき解析手法の解析精度を比較する。比較には、3種類の評価回路における遅延ばらつきのHSPICEシミュレーション結果の再現精度を用いる。比較結果から、提案手法である非線形モデルを用いた遅延ばらつき解析手法の有効性を示す。

3.1 評価回路

回路内の遅延パス全体の遅延ばらつきを実際に測定するのは困難である。そのため、実際の遅延ばらつき測定においては発振周波数として遅延パス全体の遅延ばらつきを観測するのが一般的である。そこで本論文では、評価回路と

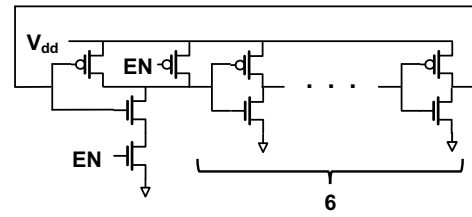


図4 インバータを用いた7段リングオシレータ

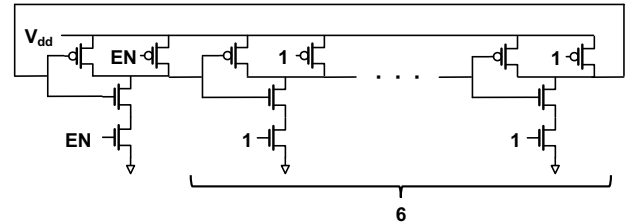


図5 2入力NANDを用いた7段リングオシレータ

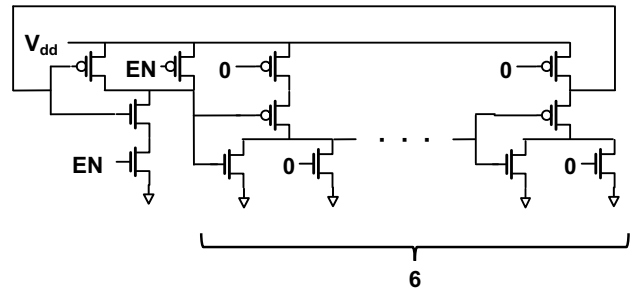


図6 2入力NORを用いた7段リングオシレータ

して65nmプロセスのMOSFETで構成される3種類の7段リングオシレータ(インバータ, 2入力NAND, 2入力NOR)を用いる。各回路図をそれぞれ図4~図6に示す。本論文では、各回路の遅延に寄与するすべてのMOSFETのしきい値電圧がばらつくことを想定してシミュレーションを行う。

3.2 7段リングオシレータの遅延変動モデル

7段リングオシレータを構成する各MOSFETのしきい値電圧変動による遅延変動はリングオシレータのすべての段のゲート遅延に影響する。そのため、式(11)をすべての段のゲート遅延に関する式に拡張する必要がある。ゲート総数が N_g 個とする。このとき、7段リングオシレータ内の i 番目のMOSFETのしきい値電圧変動に対する回路全体の遅延変動 Δd_i を式(12)のように表す。

$$\Delta d_i = \frac{K_{\text{nonlin},i} V_{\text{dd}}}{\ln^{\alpha_i} [1 + \exp(\beta_i \{V_{\text{od},i} - \Delta V_{\text{th},i}\})]} - \sum_{j=1}^{N_g} d_{0,j} \quad (12)$$

ここで式(12)の右辺の第2項はしきい値電圧ばらつきがない場合のすべてのゲート遅延の総和を表しており、しきい値電圧ばらつきがない場合の回路全体の遅延 d_0 に等しい。したがって、すべてのMOSFETのしきい値電圧がば

らつく場合の回路全体の遅延変動 Δd は式 (13) のように表せる。

$$\Delta d = \sum_{i=1}^N \left(\frac{K_{\text{nonlin},i} V_{\text{dd}}}{\ln^{\alpha_i} [1 + \exp(\beta_i \{V_{\text{od},i} - \Delta V_{\text{th},i}\})]} - d_0 \right) \quad (13)$$

このとき、各 MOSFET のしきい値電圧変動に対する回路全体の遅延変動の HSPICE シミュレーション結果との相対誤差が小さくなるように式 (12) の 4 パラメータ ($K_{\text{nonlin},i}$, α_i , β_i , $V_{\text{od},i}$) を最小二乗法によるフィッティングで求める。 $K_{\text{nonlin},i}$, α_i , β_i , $V_{\text{od},i}$ の値は V_{dd} の値によらず一定値となることが期待されるが、今回は初期検討として V_{dd} の値ごとに $K_{\text{nonlin},i}$, α_i , β_i , $V_{\text{od},i}$ の値を求めた。

また、2.2 で述べたように、式 (13) が成り立つためには回路を構成する各 MOSFET のしきい値電圧変動に対する回路全体の遅延変動の独立性が成り立つことが必要である。図 7 に周囲の MOSFET のしきい値電圧がばらついた場合について、インバータを用いた 7 段リングオシレータの 3 段目の NMOS のしきい値電圧変動 ΔV_{th} に対する回路全体の遅延変動を示す。周囲の MOSFET のしきい値電圧は平均 0 mV、標準偏差 30 mV の正規分布にしたがうとし、50 通りの試行を行なった。図 7 より、弱反転領域と強反転領域の両方で回路全体の遅延変動が周囲の MOSFET のしきい値電圧によらず近いことが確認できる。そのため、式 (13) が成り立つために必要な仮定が成り立っている。

弱反転領域 ($V_{\text{dd}} = 0.3 \text{ V}$, 0.4 V) と強反転領域 ($V_{\text{dd}} = 0, 0.7 \text{ V}$) において、インバータを用いた 7 段リングオシレータの 3 段目のインバータの NMOS のみに -100 mV から 100 mV までのしきい値電圧変動が生じた場合の回路全体の遅延を線形モデルと非線形モデルでモデル化した結果を図 8 に示す。線形モデルのグラフの傾きが式 (5) における遅延のしきい値電圧感度係数 K_{lin} に対応している。非線形モデルを用いた場合、すべての電圧領域で HSPICE シミュレーション結果を正確に表現できている。その一方で、線形モデルを用いた場合、強反転領域では HSPICE シミュレーション結果に近いものの、弱反転領域ではしきい値電圧変動量が大きいほど HSPICE シミュレーション結果との誤差が大きくなる。インバータを用いた 7 段リングオシレータのその他の MOSFET、およびその他の回路の MOSFET の場合でも図 8 と同様の結果が得られた。

3.3 静的なランダムばらつき

静的なランダムばらつきでは、MOSFET のしきい値電圧が正規分布にしたがってばらつくことが知られている。本論文では、NMOS と PMOS のしきい値電圧変動が平均 0 mV、標準偏差 30 mV の正規分布にしたがう場合を想定した。また、1000 回のモンテロシミュレーションを行い、試行回数ごとにリングオシレータを構成するすべての

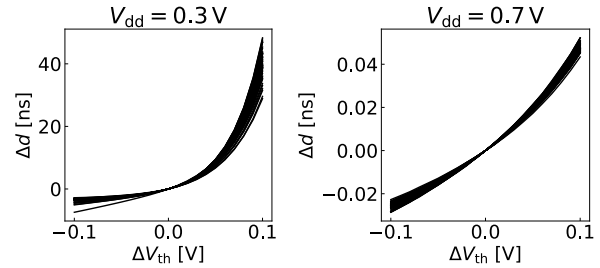


図 7 インバータを用いた 7 段リングオシレータの 3 段目のインバータの NMOS にしきい値電圧が変動した場合の回路全体の遅延変動 (対象としている NMOS 以外の MOSFET のしきい値電圧は平均 0 mV、標準偏差 30 mV の正規分布にしたがってばらつく。試行回数は 50 回。)

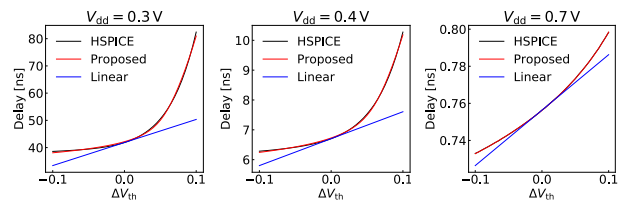


図 8 インバータを用いた 7 段リングオシレータの 3 段目のインバータの NMOS のみにしきい値電圧が変動した場合の回路全体の遅延変動モデル

MOSFET のしきい値電圧を上記の分布でばらつかせた。

弱反転領域 ($V_{\text{dd}} = 0.3 \text{ V}$, 0.4 V) と強反転領域 ($V_{\text{dd}} = 0, 0.7 \text{ V}$) におけるインバータ、2 入力 NAND、2 入力 NOR を用いた 7 段リングオシレータの静的なランダムばらつきについて、HSPICE シミュレーション結果と線形モデルおよび非線形モデルを用いた場合の数値計算結果との比較結果をそれぞれ図 9~ 図 11 に示す。図 9~ 図 11 より、すべての評価回路で同様の結果が得られていることがわかる。非線形モデルを用いた場合では、弱反転領域と強反転領域の両方で HSPICE シミュレーション結果を再現していることがわかる。その一方で、線形モデルを用いた場合では、強反転領域において HSPICE シミュレーション結果が再現できているものの、弱反転領域では再現できていない。これは、図 8 で示されているように、弱反転領域における遅延変動の非線形性が線形モデルを用いた場合ではうまく表現できないため、静的なランダムばらつきの分布の非線形性が正確に表現できないことが原因であると考えられる。

また、遅延分布の中央値に注目すると、弱反転領域において HSPICE シミュレーション結果の値と非線形モデルを用いた場合の数値計算結果は近い一方で、線形モデルを用いた場合の数値計算結果では誤差が生じている。これは、線形モデルとは異なり、非線形モデルではしきい値電圧が正の方向にばらつく場合と負の方向にばらつく場合で遅延変動の振る舞いが異なることが原因であると考えられる。線形モデルでは、遅延の傾きがしきい値電圧によらず一定であるため、しきい値電圧が正規分布に従う場合、し

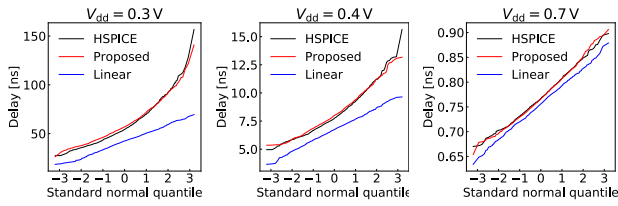


図9 インバータを用いた7段リングオシレータの静的なランダムばらつきの再現結果

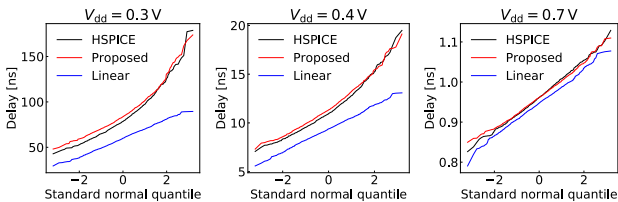


図10 2入力NANDを用いた7段リングオシレータの静的なランダムばらつきの再現結果

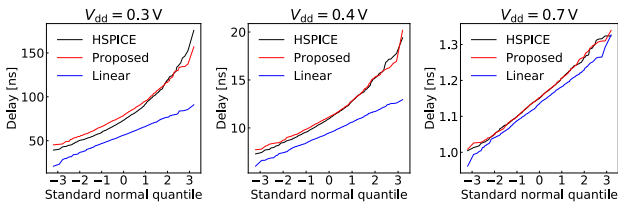


図11 2入力NORを用いた7段リングオシレータの静的なランダムばらつきの再現結果

きい値電圧変動の中央値は0となり遅延変動の中央値も0となる。そのため、線形モデルが正しいとした場合、線形モデルとHSPICEシミュレーション結果の中央値は一致する。その一方で、非線形モデルではしきい値電圧によって遅延の傾きは変動し、正の方向にしきい値電圧がばらついたときの方が遅延の変動量が大きい。そのため、しきい値電圧が正規分布にしたがう場合でも各ゲート遅延変動の和である回路全体の遅延変動の中央値は0ではなく正の値をとると考えられる。したがって、弱反転領域においてMOSFETのしきい値電圧が正規分布に従ってばらつく場合、回路全体の遅延変動の中央値はすべてのMOSFETにばらつきが無い場合の回路全体の遅延変動量よりも正の方向にシフトした値になると考えられる。非線形モデルを用いた遅延ばらつき解析では、この遅延変動の中央値の正方向へのシフトも正確に表現できる。

4. 結論

弱反転領域のような低電圧で回路を動作させる場合、回路遅延は非線形に変動し、線形モデルを用いた従来の遅延ばらつき解析手法では回路遅延のばらつきを正確に解析することができない。そこで本論文では、非線形関数を用いて回路遅延をモデル化することにより非線形な遅延変動を

正確に表現し、さらにこの非線形遅延モデルとモンテカルロ法を用いて遅延ばらつき解析を行う手法を提案する。弱反転領域と強反転領域の両方で、線形モデルを用いた場合と非線形モデルを用いた場合の回路遅延の静的なランダムばらつきの再現精度を比較した。その結果、幅広い電圧領域における回路遅延ばらつき解析において提案手法が従来の線形モデルを用いた手法と比べてより有効であることを示した。本研究の今後の方針として、実測値を提案手法によってモデル化し、MOSFETのしきい値電圧の中央値や標準偏差といったパラメータの抽出を目指す。また、静的なランダムばらつきおよび動的なランダムばらつきに起因する遅延ばらつき量の推定を目指す。

謝辞 本研究の一部は、JSPS 科研費(16H01713, 19K20233)の支援を受け、東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社の協力で行われたものである。

参考文献

- [1] R. H. Dennard *et al.*, “Design of ion-implanted mosfet’s with very small physical dimensions,” *IEEE Journal of Solid-State Circuits*, vol. 9, no. 5, pp. 256–268, October 1974.
- [2] H. Mahmoodie, S. Mukhopadhyay, and K. Roy, “Estimation of delay variations due to random-dopant fluctuations in nanoscale cmos circuits,” *IEEE Journal of Solid-State Circuits*, vol. 40, no. 9, pp. 1787–1796, September 2005.
- [3] N. Tega, H. Miki, F. Pagette, D. J. Frank, A. Ray, M. J. Rooks, W. Haensch, and K. Torii, “Increasing threshold voltage variation due to random telegraph noise in fets as gate lengths scale to 20 nm,” in *2009 Symposium on VLSI Technology*, vol. 36, no. 4, pp. 658–665, June 2009.
- [4] D. Blaauw *et al.*, “Statistical timing analysis: From basic principles to state of the art,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 27, no. 4, pp. 589–607, 2008.
- [5] H. A. Balef *et al.*, “All-region statistical model for delay variation based on log-skew-normal distribution,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 35, no. 9, pp. 1503–1508, September 2016.
- [6] Y. Cao and L. T. Clark, “Mapping statistical process variations toward circuit performance variability: An analytical modeling approach,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 26, no. 10, pp. 1866–1873, October 2007.
- [7] C. C. Enz, F. Krummenacher, and E. A. Vittoz, “An analytical mos transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications,” *Analog integrated circuits and signal processing*, vol. 8, no. 1, pp. 83–114, July 1995.
- [8] T. Sakurai and A. R. Newton, “Alpha-power law mosfet model and its applications to cmos inverter delay and other formulas,” *IEEE Journal of Solid-State Circuits*, vol. 25, no. 2, pp. 584–594, 1990.
- [9] S. Keller, D. M. Harris, and A. J. Martin, “A compact transregional model for digital cmos circuits operating near threshold,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 22, no. 10, pp. 2041–2053, 2014.