

幅広い動作性能領域で最小エネルギー動作を実現する 電源電圧としきい値電圧の動的決定手法

園田 翔也^{1,a)} 塩見 準¹ 小野寺 秀俊¹

概要: 本稿では、要求遅延制約に応じて電源電圧としきい値電圧を動的に調節し、集積回路の消費エネルギーを最小化する手法を提案する。本稿では、要求遅延制約を満たしつつ消費エネルギーを最小化する電源電圧としきい値電圧の組を最小エネルギー点とよぶ。先行研究では、最小エネルギー点の追跡に反復的かつ微量の電圧調節が必要になる、または追跡可能な動作性能領域に限られる課題があった。本稿では、要求遅延制約と電圧のルックアップテーブル、および MEP をモデル化した式に基づき、幅広い動作性能領域で 2–6 回の電圧調節により最小エネルギー点を追跡可能な手法を提案する。さらに、商用の 65 nm SOTB プロセスを用いて設計した 32bit RISC プロセッサの実測で、提案手法により消費エネルギーのオーバーヘッド 5% 以内で最小エネルギー点を追跡可能であることを示す。

Runtime Energy Optimization over a Wide Operating Performance Region Based on Dynamic Supply and Threshold Voltage Scaling

SHOYA SONODA^{1,a)} JUN SHIOMI¹ HIDETOSHI ONODERA¹

Abstract: This paper proposes a runtime voltage-scaling method that optimizes the supply voltage (V_{dd}) and the threshold voltage (V_{th}) under a given delay constraint. This paper refers to the optimal voltage pair as a Minimum Energy Point (MEP). Although MEP tracking techniques have been widely studied, there are some issues; for example, (1) the target operating performance region is limited, or (2) fine-grained and iterative V_{dd} tuning is required. This paper proposes a voltage scaling technique enabling to set V_{dd} and V_{th} to near the MEP without iteratively tuning the voltages. The proposed technique is based on a lookup table and a closed-form function that determines the MEP over a wide operating performance region ranging from the above-threshold region down to the sub-threshold region. Measurement results based on a 32-bit RISC processor fabricated in a 65-nm process technology shows that the proposed method estimates the MEP within a 5% energy error in comparison with the actual MEP operation.

1. 序論

近年、普及が進む IoT デバイスの多くは内蔵バッテリーのみで長時間継続して動作する必要がある。したがって、集積回路の低消費エネルギー化は重要な課題となっている。

集積回路の消費エネルギーを低減する手法として、電源電圧 (V_{dd}) やしきい値電圧 (V_{th}) の動的調節が挙げられる。Dynamic Voltage and Frequency Scaling (DVFS) により要求遅延制約に応じて V_{dd} を調節することで、動的消費エ

ネルギー (E_d) を低減できる [1]。Adaptive Body Biasing (ABB) により V_{th} を調節することで、回路の動作速度を遅くし静的消費エネルギー (E_s) を低減できる [1]。DVFS と ABB を組み合わせて V_{dd} と V_{th} を同時に調節することで、要求遅延制約を満たしながらより効果的に消費エネルギーを削減できる [1]。本稿では要求遅延制約を満たしながら、集積回路の消費エネルギーを最小化する V_{dd} と V_{th} の組を最小エネルギー点 (Minimum Energy Point: MEP) と呼ぶ。MEP は要求遅延制約、活性化率、チップ温度により幅広く変動する [2]。活性化率は回路中のトランジスタが 1 クロックサイクルで 0 から 1 に変化する平均確率を表し、

¹ 京都大学大学院情報学研究所

^{a)} s_sonoda@vlsi.kuee.kyoto-u.ac.jp

E_d と強い相関がある。同様に、チップ温度は E_s と強い相関がある。

MEP の追跡に関する研究は 20 年以上前から行われており、様々な手法が提案されている。先行研究 [2,3] により要求遅延制約、活性化率、チップ温度が変化しても幅広い動作性能領域で MEP を追跡することができる。しかし、反復的かつ微量量の V_{dd} の調節を必要とするため、MEP の追跡に時間がかかり、同時にハードウェアコストが大きい課題がある。先行研究 [4-6] は MEP を解析的に導出しているため反復的な電圧調節を必要としないが、解析式を利用可能な動作性能領域に限られている課題がある。本稿では、要求遅延制約、 V_{dd} 、 V_{th} のルックアップテーブル (LookUp Table: LUT) と解析式に基づき MEP を追跡する手法を提案する。提案手法により、幅広い動作性能領域で、反復的かつ微量量の V_{dd} の調節を行わずに MEP を追跡できる。

本稿の構成を以下に示す。第 2 章では、先行研究と本稿の成果を述べる。第 3 章では、対応表と解析式に基づき MEP を追跡する手法を述べる。第 4 章では、商用の 65 nm SOTB プロセスを用いて設計した 50 段 ファンアウト 4 (FO4) インバータチェーンのトランジスタレベルシミュレーションと 32-bit RISC プロセッサの実測により、提案手法の検証を行う。第 5 章で本稿をまとめる。

2. 関連研究と本稿の成果

集積回路の消費エネルギーを低減するための電圧調節技術は広く研究されている。電圧調節に基づく低消費エネルギー化の代表的な手法として DVFS がある。DVFS は、要求動作速度と V_{dd} の LUT を事前に用意し、LUT に基づき V_{dd} を変更する技術である [7]。DVFS により、要求動作速度が遅くなった場合に消費エネルギーを低減できるが、以下の 2 点の理由により、消費エネルギーのオーバーヘッドが発生する。

- V_{th} の変更を行わないため E_s を効率よく削減できない。
- 事前に用意した LUT に基づき V_{dd} を決定するため、温度の変化や製造プロセスで生じる性能ばらつきを考慮した V_{dd} のマージンが必要になる。

DVFS で発生する消費エネルギーのオーバーヘッドを改善するために、要求動作速度を満たしながら V_{dd} と V_{th} を同時に調節することで、消費エネルギーを最小化する手法が研究されている。文献 [8] で提案されている基板電圧生成回路 (Body Bias Generator: BBG) により自律的に V_{th} を調節し、要求遅延制約を満たしながら E_s を最小化できる。

本稿では要求遅延制約を満たしながら、集積回路の消費エネルギーを最小化する V_{dd} と V_{th} の組み合わせを MEP と呼ぶ。文献 [2,3] では、反復的かつ微量量の V_{dd} 、 V_{th} の調節により、MEP を追跡するアルゴリズムが提案されている。文献 [2,3] の手法により要求遅延制約、活性化率、温

度が幅広く変化しても MEP を追跡できる。しかし、電圧調節のたびに回路の稼働状況をモニタし MEP 動作しているか確認する必要があるため追跡にかかる時間が長く、反復的かつ微量量の V_{dd} の調節にかかるハードウェアコストが大きい課題がある。文献 [4-6] では、Complementary Metal-Oxide Semiconductor (CMOS) 回路の性能モデル式を利用して MEP をモデル化した式が提案されている。しかし、MEP をモデル化可能な動作性能領域が、アバブスレッシュヨルド領域 ($V_{dd} \gg V_{th}$) またはサブスレッシュヨルド領域 ($V_{dd} \leq V_{th}$) の一方かつその内部のみに限られている課題がある。

本稿では、LUT と MEP を閉形式関数でモデル化した式 (MEP 決定式) を利用して、MEP を追跡する手法を提案する。提案手法では、LUT に基づき V_{dd} 、 V_{th} を調節し、必ず要求遅延制約を満たす動作点に移動する。ただし、DVFS では要求動作速度と V_{dd} の対応関係を保持した LUT を利用していたが、提案手法では要求遅延制約と V_{dd} 、 V_{th} の対応関係を保持した LUT を利用する。LUT に基づき V_{dd} 、 V_{th} を変更した後、MEP 決定式により最適な V_{dd} 、 V_{th} の値を決定する。MEP 決定式の計算には現在の動作点における E_d 、 E_s 、 T の測定結果を利用する。 E_d の測定に利用するモニタ回路は文献 [9,10] で提案されている。同様に、 E_s のモニタ回路は文献 [10,11] で、 T のモニタ回路は文献 [11] で提案されている。MEP 決定式により V_{dd} 、 V_{th} の最適値を求められるため、反復的かつ微量量の V_{dd} の調節が不要になる。さらに、本稿で提案する MEP 決定式は、ニアスレッシュヨルド領域 ($V_{dd} \approx V_{th}$) を含む幅広い動作性能領域で利用可能である。

3. 最小エネルギー一点追跡手法

3.1 最小エネルギー一点の性質

本稿では、集積回路の消費エネルギーを 1 クロックサイクルあたりに消費されるエネルギーと定義する。式 (1)–(3) に示すように、総消費エネルギー E_t は動的消費エネルギー E_d と静的消費エネルギー E_s の和で表せる。 E_d は負荷容量の充放電により消費されるエネルギーで、式 (2) に示すように V_{dd} の 2 乗に比例して変化するが、 V_{th} には依存しない。 E_s は主にサブスレッシュヨルドリーク電流により消費されるエネルギーで、式 (3) に示すように、 V_{dd} とクリティカルパス遅延 D に比例し、 V_{th} の指数関数に比例する。 k_1 、 k_2 はフィッティング係数である。 V_0 は MOSFET の理想係数 n と熱電圧 v_t の積である。 v_t は絶対温度 T に比例して変化する。

$$E_t = E_d + E_s. \quad (1)$$

$$E_d = k_1 \cdot V_{dd}^2. \quad (2)$$

$$E_s = k_2 \cdot D \cdot V_{dd} \cdot e^{-\frac{V_{th}}{V_0}}. \quad (3)$$

D は式 (4)–(6) でモデル化できる。式 (4)–(6) はそれぞ

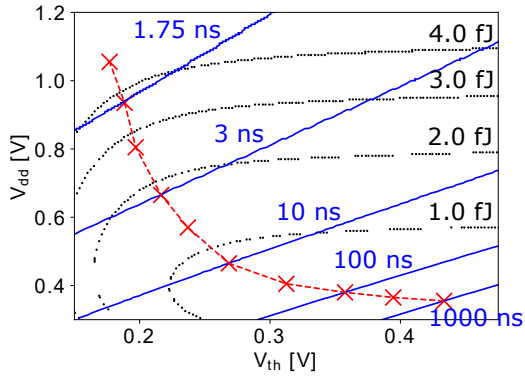


図 1 温度 25 °C, 活性化率 0.01 における遅延等高線, エネルギー等高線, MEP.

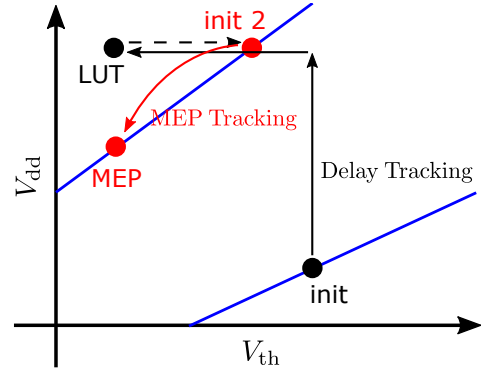


図 2 提案手法の概要図.

れアバブスレッシュヨルド領域 [4], ニアスレッシュヨルド領域 [12], サブスレッシュヨルド領域 [6] の遅延を表す. k_3 から k_7 と α はフィッティング係数を表し, α は 1 から 2 の値を取る.

$$D = \frac{k_3 \cdot V_{dd}}{(V_{dd} - V_{th})^\alpha}. \quad (4)$$

$$D = k_4 \cdot V_{dd} \cdot e^{-k_5(V_{dd} - V_{th}) - k_6(V_{dd} - V_{th})^2}. \quad (5)$$

$$D = k_7 \cdot V_{dd} \cdot e^{-\frac{V_{dd} - V_{th}}{\alpha V_0}}. \quad (6)$$

先行研究 [4-6] では式 (4) または (6) に基づき MEP をモデル化しているため, MEP をモデル化した式を利用可能な動作性能領域に制限がある. そこで, 本稿では式 (7) に示す Enz-Krummenacher-Vittoz (EKV) モデルに基づく遅延モデルを利用して, 幅広い動作性能領域で MEP をモデル化する [13].

$$D = \frac{KV_{dd}}{\ln^\alpha \left(1 + e^{\frac{V_{dd} - V_{th}}{\alpha V_0}} \right)}. \quad (7)$$

図 1 に遅延等高線, エネルギー等高線, MEP の軌跡の一例を示す. 図 1 は 50 段 ファンアウト 4 (FO4) インバータチェーンのトランジスタレベルシミュレーションから得られた結果である. 青い線, 黒い点線, 赤いバツ印はそれぞれ遅延等高線, エネルギー等高線, MEP を表す. 図 1 が示すように, 一般的な CMOS 回路において遅延等高線は概ね直線状になり, エネルギー等高線は年輪上に広がっていく. さらに, MEP は遅延等高線とエネルギー等高線の接点になる [2].

3.2 提案手法の概要

本稿は幅広い動作性能領域で MEP を追跡する手法を提案する. 図 2 に提案手法の概要を示す. “init” は現在の動作点を表す. 図 2 に示すように, 始めに要求遅延制約と V_{dd} , V_{th} の対応関係を持する LUT に基づき動作点を変更する. ただし, DVFS と同様, 必ず要求遅延制約を満たす動作点に移動するために, マージンを設定した LUT を利用する必要がある. したがって, LUT に基づき決定した動

作点は要求遅延制約よりも小さい遅延で回路が動作しているため, V_{th} を変更し要求遅延制約を追跡する. 文献 [8] の BBG により, V_{th} を自律的に変更し要求遅延制約を追跡できる. 以降, LUT に基づき電圧調節を行った後, 基板電圧生成回路を用いて要求遅延制約を満たす動作点に移動することを “LUT と BBG に基づき遅延制約を追跡する” と表現する. LUT と BBG に基づく要求遅延制約の追跡に必要な電圧調節回数は 3 回である.

次に, 図 2 に示すように “init2” を初期点として MEP を追跡する. ただし, 要求遅延制約の追跡が完了している状態でのみ MEP の追跡を行うため, 追跡の前後で要求遅延制約は変化しないと仮定する. MEP の追跡には, 幅広い動作性能領域で MEP をモデル化した MEP 決定式を利用する. 現在の動作点で E_d , E_s , T をモニタし, MEP 決定式に代入することで, MEP の推定値を求める. その後, V_{th} , V_{dd} を MEP の推定値に調節する. MEP の推定値の追跡に必要な電圧調節回数は 2 回または 3 回である. LUT の詳細は 3.3 節で述べる. MEP 決定式の導出は 3.4 節で述べる. MEP 決定式を利用して MEP を追跡するアルゴリズムは 3.5 節で述べる.

3.3 ルックアップテーブルの作成

3.2 節で述べたように, 提案手法では LUT と BBG に基づき, 必ず要求遅延制約を満たす動作点に移動する. LUT を参照することで, 要求遅延制約を入力すると 1 つの動作点, つまり V_{th} , V_{dd} の組を出力できる. 出力された V_{th} , V_{dd} に動作点を移動させることで, 必ず要求遅延制約を満たす動作点に移動できる. ただし, DVFS と同様, 温度や製造プロセスで生じる性能ばらつきを考慮し, V_{th} または V_{dd} にマージンを設定する必要がある. したがって, 静的タイミング解析などを用いて, クリティカルパス遅延の最悪値を事前に評価した結果に基づいて, V_{th} , V_{dd} のマージンを設定し LUT を作成する.

3.4 最小エネルギー一点決定式の導出

3.1 節で述べたように, 本稿では EKV モデルに基づく遅

延モデルを利用して MEP 決定式を導出する。MEP 決定式の導出には、文献 [2, 4] と同様、以下に示す CMOS 回路の 2 つの特性を利用する (図 1 参照)。

- 遅延等高線は概ね直線状になる。
- MEP は遅延等高線とエネルギー等高線の接点になる。遅延等高線が概ね直線状になることから、遅延等高線は式 (8) のように近似できる。ただし、 $f(D)$, $g(D)$ は遅延等高線の傾き、切片をそれぞれ表す。

$$V_{dd} = f(D)V_{th} + g(D). \quad (8)$$

3.2 節で述べたように、MEP の追跡は要求遅延制約が一定という条件の下で行われる。そこで、要求遅延制約を満たす動作点の 1 つを $(V_{th,init}, V_{dd,init})$ とする。 $f(D), g(D)$ は $V_{th,init}, V_{dd,init}$ を用いて式 (9)–(11) のように表せる。

$$p = \exp\left(\frac{V_{dd,init} - V_{th,init}}{\alpha V_0}\right). \quad (9)$$

$$f(D) = \frac{\frac{\partial D}{\partial V_{th}}}{-\frac{\partial D}{\partial V_{dd}}} = \frac{V_{dd,init}}{V_{dd,init} - (1 + \frac{1}{p}) \cdot V_0 \cdot \ln(p + 1)}. \quad (10)$$

$$g(D) = V_{dd,init} - f(D)V_{th,init}. \quad (11)$$

$f(D)$ と同様にして、MEP におけるエネルギー等高線の傾き s_E を式 (12) に示すように求められる。

$$s_E = \frac{\frac{\partial E_s}{\partial V_{th}}}{-\frac{\partial E_s}{\partial V_{dd}}} = \frac{E_{s,MEP} \cdot V_{dd,MEP}}{(2E_{d,MEP} + E_{s,MEP})V_0}. \quad (12)$$

MEP は遅延等高線とエネルギー等高線の接点になることから、MEP において $f(D) = s_E$ が成り立つ。したがって、式 (10) と (12) を等式で結ぶことで、MEP における E_s と E_d の比を式 (13) のように求められる。ただし、 $V_{dd,MEP}$ は $f(D)V_0$ より 5–10 倍以上大きいことから式 (13) に示す近似を用いている。

$$(E_s/E_d)_{MEP} = \frac{2f(D) \cdot V_0}{V_{dd,MEP} - f(D)V_0} \approx \frac{2f(D) \cdot V_0}{V_{dd,MEP}}. \quad (13)$$

式 (13) の左辺に式 (2), (3) を代入することで、 $V_{th,MEP}$ を式 (14) のように求められる。式 (14) を式 (8) に代入することで $V_{dd,MEP}$ を式 (15) のように求められる。

$$V_{th,MEP} = V_0 \cdot \ln\left(\frac{k_2 \cdot D}{2k_1 \cdot f(D) \cdot V_0}\right). \quad (14)$$

$$V_{dd,MEP} = f(D) \cdot V_{th,MEP} + g(D). \quad (15)$$

式 (14) には回路の稼働状況に応じて変動するフィッティング係数 k_1, k_2 が含まれている。本稿では、 k_1, k_2 の動的変動を予測するために、 E_s, E_d をモニタ回路により測定した値を利用する。したがって、式 (2), (3) を利用し k_1, k_2 を消去することで、MEP 決定式 (16)–(19) を初期点における回路の稼働状況 $V_{dd,init}, V_{th,init}, E_{d,init}, E_{s,init}, T_{init}$ の

関数で表現できる。ただし、 α と n は事前にフィッティングを行い、求めておく必要がある。

$$p = \exp\left(\frac{V_{dd,init} - V_{th,init}}{\alpha V_0}\right). \quad (16)$$

$$f(D) = \frac{V_{dd,init}}{V_{dd,init} - (1 + \frac{1}{p}) \cdot V_0 \cdot \ln(p + 1)}. \quad (17)$$

$$V_{th,MEP} = V_{th,init} + V_0 \cdot \ln\left(\frac{E_{s,init} \cdot V_{dd,init}}{2f(D)V_0 \cdot E_{d,init}}\right). \quad (18)$$

$$V_{dd,MEP} = f(D)(V_{th,opt} - V_{th,init}) + V_{dd,init}. \quad (19)$$

3.5 最小エネルギー点追跡アルゴリズム

MEP 追跡アルゴリズムのフローチャートを図 3 に示す。始めに、回路の稼働状況をモニタし、現在の動作点が MEP 動作しているか判定する。MEP 動作していないと判定された場合のみ、MEP の追跡を行う。MEP を追跡する場合、モニタ結果を MEP 決定式 (16)–(19) に代入して MEP の推定値を求める。推定値に基づき、 V_{th}, V_{dd} を変更することで MEP を追跡する。

MEP 動作判定は、文献 [3] と同様の方法で行う。MEP 付近では E_s/E_d が変化しても消費エネルギーのオーバーヘッドはほとんど発生しないことが知られている。したがって、MEP 動作判定式 $r_{min} \leq E_{s,init}/E_{d,init} \leq r_{max}$ を満たすかによって MEP 動作しているか判定する。

図 4 に MEP 追跡のために V_{th}, V_{dd} を調節するときの要点を示す。ただし、 D_{clk} はクロック周期を表す。MEP 追跡中にタイミングバイオレーションを起こさないために、図 4 に示すように、常に D_{clk} の遅延等高線より左上の領域で動作点を移動させる。したがって、 $V_{dd,init}$ と $V_{dd,MEP}$ の大小

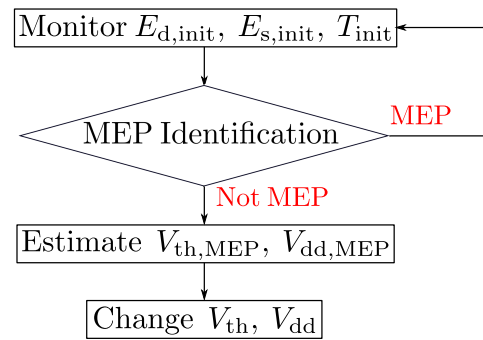


図 3 最小エネルギー点追跡アルゴリズムのフローチャート。

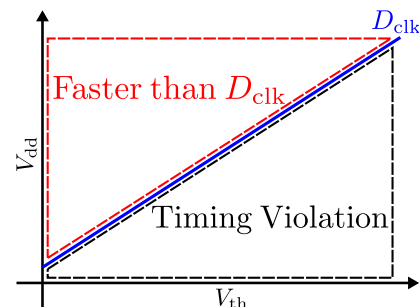


図 4 タイミングバイオレーション。

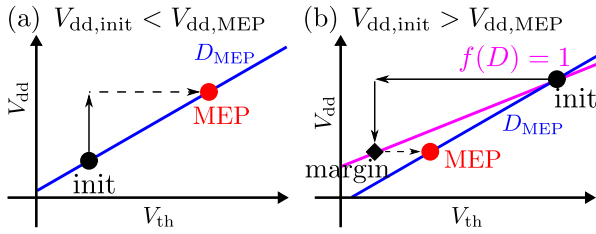


図 5 MEP 追跡時の電圧調節順序.

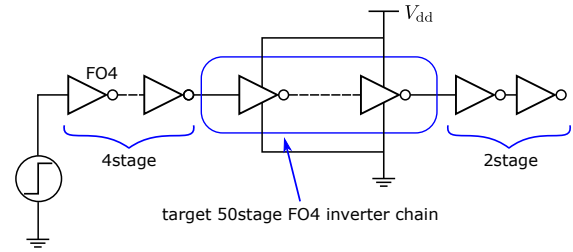


図 6 評価対象の 50 段 FO4 インバータチェイン.

関係により V_{th} , V_{dd} の調節順序を変更する. 図 5 に MEP 追跡時の動作点の変更順序を示す. $V_{dd,init} < V_{dd,MEP}$ のとき, V_{dd} を $V_{dd,MEP}$ に変更してから V_{th} を変更する. したがって, 必要な電圧調節回数は 2 回である. V_{th} の変更文献 [8] の BBG を利用することで, D_{MEP} の遅延等高線上に, 動作点を自律的に移動させることができる. $V_{dd,init} > V_{dd,MEP}$ のとき, はじめに V_{th} を $V_{th,margin}$ に変更してから, V_{dd} を $V_{dd,MEP}$ に変更する. $V_{th,margin}$ はタイミングバイオレーションを起こさないように $V_{th,MEP}$ にマージンを取ったしきい値電圧を表す. その後, V_{th} を変更し D_{MEP} の遅延等高線上に動作点を移動させる. したがって, 必要な電圧調節回数は 3 回である. ただし, 動作点 ($V_{th,margin}$, $V_{dd,MEP}$) は, いかなる状況においても, 常に D_{MEP} の遅延等高線より左上の領域に存在しなければならない. 遅延等高線の傾きは常に 1 より大きくなるため [14], 初期点を通る傾き 1 の直線上で $V_{dd} = V_{dd,MEP}$ となる点を考えることで, $V_{th,margin}$ を式 (20) のように表せる.

$$V_{th,margin} = V_{th,init} + V_{dd,MEP} - V_{dd,init}. \quad (20)$$

4. 提案手法の検証

本章では, 50 段 FO4 インバータチェインのシミュレーション結果と 32-bit RISC プロセッサの実測結果を用いて, 提案手法の検証を行う. 要求遅延制約の変化による MEP の変化を追跡する場合, MEP の追跡を開始する初期点は LUT と BBG に基づいて決定される. 本章では, LUT と BBG に基づき求められた電圧条件を初期点として MEP 追跡アルゴリズムの検証のみを扱う. 検証対象の回路の設計には 65-nm SOTB プロセスを用いた. MEP 動作判定式の r_{min} , r_{max} は, それぞれ 0.05 および 0.40 とする. 検証対象の FO4 インバータチェインが $D_{MEP} = 2$ ns, $act = 0.01$, $T = 25$ °C で動作するとき, MEP 動作点判定式 $0.05 \leq r \leq 0.40$ を満たす動作点では, MEP と比べた消費エネルギーのオーバーヘッドが 5% 以内になる. act は活性化率を, r は E_s/E_d を表す. D_{MEP} , act , T が幅広く変動しても, MEP 動作点判定式を満たす動作点では, MEP と比べた消費エネルギーのオーバーヘッドが概ね 5% 以内になる.

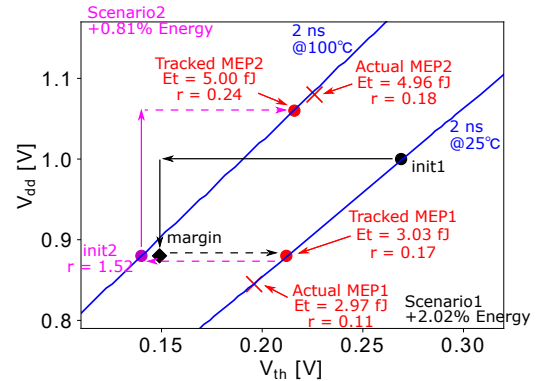


図 7 シナリオ 1, 2 の MEP 追跡.

4.1 50 段 ファンアウト 4 インバータチェインの検証結果

始めに, 図 6 に示す 50 段 FO4 インバータチェインのトランジスタレベルシミュレーション結果を用いて, 提案手法の有効性を検証する. 前段の 4 つの FO4 インバータと後段の 2 つの FO4 インバータは, それぞれ入力スレートと負荷容量を再現するために挿入する. MEP の追跡は以下のシナリオを想定して行う.

- (1) 活性化率 0.01, 温度 25 °C において, 要求遅延制約が 2 ns に変化する. LUT と BBG に基づき要求遅延制約を満たす動作点に移動してから MEP の追跡を行うため, 変化前の要求遅延制約の値は考慮しない.
- (2) 温度が 100 °C に上昇する. ただし, 温度の変化による遅延の変化は BBG により, 自律的に追跡されていると仮定する.
- (3) 要求遅延制約が 100 ns に変化し, 活性化率が 0.05 に変化する.

シナリオ 1, 2 の結果を図 7 に示す. ただし, r は E_s/E_d を表す. “init1” はシナリオ 1 において LUT と BBG に基づく要求遅延制約の追跡が完了した動作点である. “init1” では真の MEP (“Actual MEP1”) と比べた消費エネルギーのオーバーヘッドが 20.2% となる. 提案手法により MEP を追跡し, 動作点を “Tracked MEP1” に移動させることで, 消費エネルギーのオーバーヘッドは 2.02% に減少する. “init2” はシナリオ 2 において MEP の追跡を開始する点である. 温度の上昇により, E_s が増加し r は大きくなる. したがって, “init2” は MEP 動作判定式を満たさなく

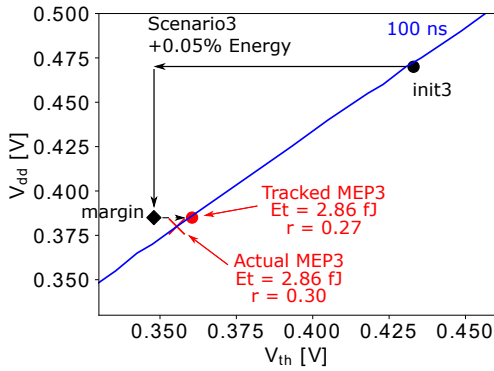


図 8 シナリオ 3 の MEP 追跡.

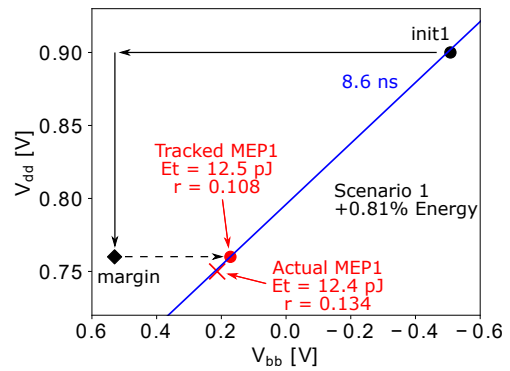


図 10 シナリオ 1 の MEP 追跡.

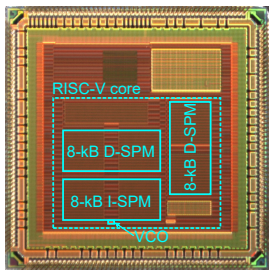


図 9 測定対象の 32-bit RISC プロセッサ.

なり、再度 MEP の追跡が行われる。“init2”では 46.0% の消費エネルギーのオーバーヘッドが発生するが、“Tracked MEP2”に動作点を移動させることで消費エネルギーのオーバーヘッドは 0.81% に減少する。

シナリオ 3 の結果を図 8 に示す。ただし、LUT と BBG に基づき要求遅延制約を追跡する過程は示していない。“init3”は LUT と BBG に基づく要求遅延制約の追跡が完了した動作点である。“init3”では MEP と比べた消費エネルギーのオーバーヘッドが 22.0% となる。提案手法により MEP を追跡することで、消費エネルギーのオーバーヘッドは 0.05% に減少する。

4.2 32-bit RISC プロセッサを用いた検証

次に、32-bit 4 段パイプラインの RISC プロセッサの実測結果を用いて、提案手法の有効性を検証する。ただし、プロセッサは離散コサイン変換を計算するプログラムを実行する。図 9 に検証対象のプロセッサのチップ写真を示す。プロセッサは 8-kB の I-SPM (Scratch Pad Memory) と 16-kB の D-SPM を搭載する。SPM はラッチを用いたデジタルメモリにより設計される。VCO (Voltage-Controlled Oscillator) はチップに供給するクロック信号の生成に利用される。MEP の追跡は以下のシナリオを想定して行う。ただし、 V_{th} は基板電圧 V_{bb} を印加して調節する [1]。

- (1) 温度 25 °C において、要求遅延制約が 8.6 ns に変化する。
- (2) 要求遅延制約が 160 ns に変化する。
- (3) 活性化率が 1/8 に減少する。ただし、MEP の活性化

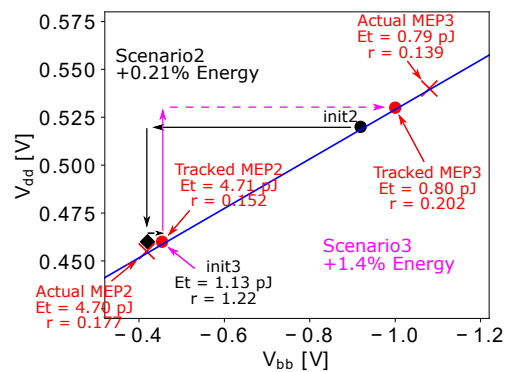


図 11 シナリオ 2, 3 の MEP 追跡.

率依存性を評価するために E_d は活性化率に比例すると仮定する。

シナリオ 1 の結果を図 10 に示す。“init1”は LUT と BBG に基づく要求遅延制約の追跡が完了した動作点である。“init1”では MEP と比べた消費エネルギーのオーバーヘッドが 25.0% となる。提案手法により MEP を追跡し、動作点を“Tracked MEP1”に移動させることで、消費エネルギーのオーバーヘッドは 0.81% に減少する。

シナリオ 2, 3 の結果を図 11 に示す。“init2”はシナリオ 2 において LUT と BBG に基づく要求遅延制約の追跡が完了した動作点である。“init2”では MEP と比べた消費エネルギーのオーバーヘッドが 13.4% となる。提案手法により MEP を追跡することで、消費エネルギーのオーバーヘッドは 0.21% に減少する。“init3”はシナリオ 3 において MEP の追跡を開始する点である。活性化率の減少により、 E_d が減少し r は小さくなる。したがって、“init3”は MEP 動作判定式を満たさなくなり、再度 MEP の追跡が行われる。“init3”では 42.7% の消費エネルギーのオーバーヘッドが発生するが、MEP を追跡することで消費エネルギーのオーバーヘッドは 1.4% に減少する。

検証結果より、幅広い動作性能領域で MEP と比べた消費エネルギーのオーバーヘッド 5% 以内で MEP を追跡できることを示した。先行研究 [2,3] では V_{th} , V_{dd} を 10 mV ずつ反復的に調節し MEP を追跡するため、10–150 回の電

圧調節が必要である。提案手法では、LUT と解析式を利用することで 2–6 回の電圧調節で MEP を追跡できる。つまり、提案手法により、MEP 推定精度を落とさずに電圧調節回数を大きく削減できる。

5. 結論

本稿では、電源電圧 V_{dd} としきい値電圧 V_{th} を動的に変更し、幅広い動作性能領域で最小エネルギー点 (MEP) を追跡する手法を提案した。提案手法により要求遅延制約、活性化率、温度が幅広く変動しても MEP を追跡することができる。提案手法は要求遅延制約と V_{dd} , V_{th} の対応関係を保持するルックアップテーブル (LUT) と基板電圧生成回路を利用し、要求遅延制約を満たす動作点に移動した後、MEP を閉形式関数でモデル化した式を利用して MEP を追跡する。MEP をモデル化した式に、現在の動作点における動的消費エネルギー、静的消費エネルギー、温度を測定した値を代入することで MEP の推定値を求められる。

65-nm SOTB プロセスで設計した 50 段 ファンアウト 4 インバータチェーンのシミュレーション結果と 32-bit RISC プロセッサの実測結果を用いて提案手法の検証を行った。要求遅延制約、活性化率、温度が幅広く変化しても提案手法により、消費エネルギーのオーバーヘッド 5% 以下で MEP を追跡できる。

MEP の追跡を開始する初期点は MEP 推定精度に影響を与える。したがって、MEP 追跡精度を向上される LUT の詳細な実装方式は今後の検討課題である。

謝辞 本研究は JSPS 科研費 (19K21531, 16H01713) による支援によって行われた。本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社の協力で行われた。測定したプロセッサのアーキテクチャの設計を行われた、名古屋大学大学院情報学研究所の石原亨教授に感謝申し上げる。

参考文献

- [1] L. Yan, Jiong Luo, and N. K. Jha, “Joint Dynamic Voltage Scaling and Adaptive Body Biasing for Heterogeneous Distributed Real-Time Embedded Systems,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 24, no. 7, pp. 1030–1041, July 2005.
- [2] S. Hokimoto, T. Ishihara, and H. Onodera, “Minimum Energy Point Tracking Using Combined Dynamic Voltage Scaling and Adaptive Body Biasing,” in *2016 29th IEEE International System-on-Chip Conference (SOCC)*, Sep. 2016, pp. 1–6.
- [3] J. Lee, Y. Zhang, Q. Dong, W. Lim, M. Saligane, Y. Kim, S. Jeong, J. Lim, M. Yasuda, S. Miyoshi, M. Kawami-nami, D. Blaauw, and D. Sylvester, “A Self-Tuning IoT Processor Using Leakage-Ratio Measurement for Energy-Optimal Operation,” *IEEE Journal of Solid-State Circuits*, vol. 55, no. 1, pp. 87–97, 2020.
- [4] K. Nose and T. Sakurai, “Optimization of V_{DD} and V_{TH} for Low-Power and High-Speed Applications,” in *Proceedings 2000. Design Automation Conference. (IEEE Cat. No.00CH37106)*, Jan 2000, pp. 469–474.
- [5] D. Markovic, V. Stojanovic, B. Nikolic, M. A. Horowitz, and R. W. Brodersen, “Methods for True Energy-Performance Optimization,” *IEEE Journal of Solid-State Circuits*, vol. 39, no. 8, pp. 1282–1293, Aug 2004.
- [6] Bo Zhai, D. Blaauw, D. Sylvester, and K. Flautner, “Theoretical and Practical Limits of Dynamic Voltage Scaling,” in *Proceedings. 41st Design Automation Conference, 2004.*, July 2004, pp. 868–873.
- [7] H. Okano, T. Shiota, Y. Kawabe, W. Shibamoto, T. Hashimoto, and A. Inoue, “Supply Voltage Adjustment Technique for Low Power Consumption and Its Application to SOCs with Multiple Threshold Voltage CMOS,” in *2006 Symposium on VLSI Circuits, 2006. Digest of Technical Papers.*, 2006, pp. 208–209.
- [8] A. Quelen, G. Pillonnet, P. Flatresse, and E. Beigne, “A $2.5\mu\text{W}/0.0067\text{mm}^2$ Automatic Back-Biasing Compensation Unit Achieving 50% Leakage Reduction in FDSOI 28nm over 0.35-to-1V VDD Range,” in *2018 IEEE International Solid - State Circuits Conference - (ISSCC)*, 2018, pp. 304–306.
- [9] A. Sinha, N. Ickes, and A. P. Chandrakasan, “Instruction Level and Operating System Profiling for Energy Exposed Software,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 11, no. 6, pp. 1044–1057, Dec 2003.
- [10] H. T. Mair, G. Gammie, A. Wang, R. Lagerquist, C. J. Chung, S. Gururajarao, P. Kao, A. Rajagopalan, A. Saha, A. Jain, E. Wang, S. Ouyang, H. Wen, A. Thippana, H. Chen, S. Rahman, M. Chau, A. Varma, B. Flachs, M. Peng, A. Tsai, V. Lin, U. Fu, W. Kuo, L. Yong, C. Peng, L. Shieh, J. Wu, and U. Ko, “A 20nm 2.5GHz Ultra-Low-Power Tri-Cluster CPU Subsystem with Adaptive Power Allocation for Optimal Mobile SoC Performance,” in *2016 IEEE International Solid-State Circuits Conference (ISSCC)*, Jan 2016, pp. 76–77.
- [11] A. K. M. M. Islam, J. Shiomi, T. Ishihara, and H. Onodera, “Wide-Supply-Range All-Digital Leakage Variation Sensor for On-Chip Process and Temperature Monitoring,” *IEEE Journal of Solid-State Circuits*, vol. 50, no. 11, pp. 2475–2490, Nov 2015.
- [12] S. Keller, D. M. Harris, and A. J. Martin, “A Compact Transregional Model for Digital CMOS Circuits Operating Near Threshold,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 22, no. 10, pp. 2041–2053, Oct 2014.
- [13] C. C. Enz, F. Krummenacher, and E. A. Vittoz, “An Analytical MOS Transistor Model Valid in All Regions of Operation and Dedicated to Low-Voltage and Low-Current Applications,” *Analog integrated circuits and signal processing*, vol. 8, no. 1, pp. 83–114, 1995.
- [14] T. Takeshita, T. Ishihara, and H. Onodera, “Guidelines for Effective and Simplified Dynamic Supply and Threshold Voltage Scaling,” in *2016 International Symposium on VLSI Design, Automation and Test (VLSI-DAT)*, April 2016, pp. 1–4.