

入力ダイナミックレンジを拡張した 有線通信用レシーバ回路の設計開発

青山晃大^{†1} 岩田達哉^{†1} 吉河武文^{†1}

LVDS などの高速有線通信用にレシーバ回路を設計開発し評価した。このレシーバ回路は、差動アンプと差動・シングル変換アンプの2段構成である。差動アンプは、Rail-to-Railの構成と適応バイアス電流制御により、広い入力レンジと帯域を確保している。また、次段の差動・シングル変換アンプは、そのバイアス電流を上記の初段のバイアス電流の変動に応じてコントロールすることによって、動作点を安定させて適切な出力デューティ比を確保している。チップ評価により、Rail-to-Railの入力ダイナミックレンジと高温で500Mbit/sec以上の帯域が示された。

A Data Receiver with Wide Input Dynamic Range for Wireline Communication

AKIHIRO AOYAMA^{†1} TATSUYA IWATA^{†1}
TAKEFUMI YOSHIKAWA^{†1}

A LVDS Receiver with wide input dynamic range has been proposed for high speed wireline communication. The receiver has 2 circuit blocks, i.e. differential amplifier and differential-to-single converter. The differential amplifier has wide input dynamic range and bandwidth using adaptive bias current control. The differential-to-single converter adjusts its bias points according to the bias current of the differential amplifier, then produces single-ended signal with proper duty ratio. Actual measurement shows rail-to-rail receiver operation in 500Mbit/sec bandwidth.

1. はじめに

人工衛星などに搭載されるLSIは、故障しても修理交換が出来ないので、システム的には冗長な構成が採用される。すなわち、動作するLSIとは別に同じLSIを予めスペアとして用意しておき、動作しているLSIに故障が発生したらスペアLSIに適宜切り替えて、システムの動作を継続させるという思想である。このようなシステムにおいては、動作するLSIとスペアLSIのそれぞれの入出力が互いに接続されて、データバス構造が形成される。そして、スペアLSIの電源がOFFになるとともに、入出力を高インピーダンスにすることによって、データ通信を実現しているのである。このような状況では、動作LSIもしくはスペアLSIに不具合が発生すると、データの入出力レンジが変わってしまうが、この状態でも、宇宙空間で動作する機器では正常なデータ通信が求められるのである

本件は、動作LSIもしくはスペアLSIに何らかの不具合が発生してもデータ受信を継続せしめるために、広いダイナミックレンジを持つレシーバを設計開発した。

2. 冗長システム構成

実際にシステムを冗長化して信頼性を向上させる手法として、「コールドスペア」を想定している。図1にコールドスペアの構造を示す。同じデバイスを多重にしてシステムを構成し、アクティブなデバイス以外の電源を落としハイ

インピーダンスを保つ。動作中のデバイスが壊れた際、スペアのデバイスを起動しシステムの動作を維持する。このようにすることで信頼性、堅牢性を向上させ、より安全なシステムを実現できる。

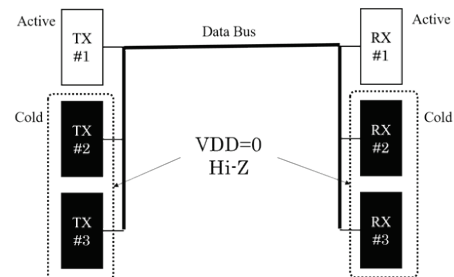


図1. コールドスペアの構造

3. システムインターフェース

複数デバイスでシステムを構成するためのインターフェースとして、宇宙環境では、低消費電力・高ノイズ耐性かつ高速通信が可能な Low Voltage Differential Signaling (LVDS)が一般に使用されている[1,2]。本件も、LVDSをベースにインターフェース回路構成を検討する。

3.1 LVDSレシーバの全体構成

図2に示すように、レシーバは、差動入力アンプと差動シングル変換回路により構成される。差動入力アンプは、広い入力レンジを実現するため、Rail-to-Railを構成しており、PMOSとNMOSの双方でデータを受けることで、接地電位から電源電圧までの範囲に入力レンジを拡張している。こ

^{†1} 富山県立大学 工学部
Toyama Prefectural University

の入力段においては、入力のコモン電圧によって当該PMOSがOFF、NMOSがOFF、双方ONの3パターンがある。それぞれのパターンに応じてバイアス電流(Bias Ctrl1,2)を調整することでゲインと帯域を確保する。

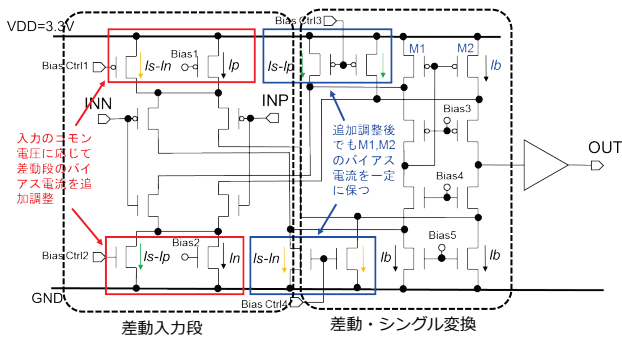


図2. レシーバ構成

3.2 差動・シングル変換回路

差動・新靴変換回路では、差動入力アンプからの差動信号をシングル信号に変換する。上記のバイアス電流調整により、バイアスポイントがずれてしまい、出力信号のデューティ比が劣化してしまう。その対策として、入力段のバイアス電流に応じて、出力段へのバイアス電流を調整する(Bias Ctrl3,4)回路を加えた。この回路によって、入力段のバイアス電流が増減しても、出力段のバイアスポイントを所定にすることができる。図3に出力段に流れる電流の様子を示す。M1に流れる電流及びVmを一定にすることで出力のデューティ比が安定する。

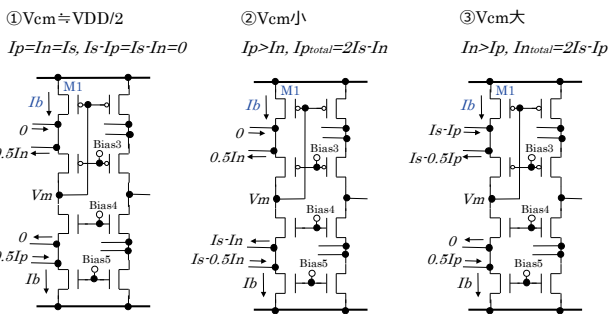


図3. 差動・シングル変換回路

4. Simulation と測定結果

4.1 Simulation 結果

図4に受信側のシミュレーションの結果を示す。

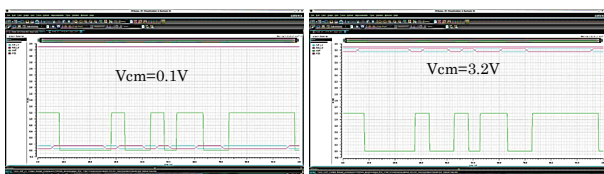


図4. シミュレーション結果

入力のコモン電圧が0.1、3.2Vのそれぞれの場合において正常な出力が得られていることが確認できる。

4.2 測定結果

信号発生器により50MHzの差動入力データを与えて、LVDS-RXからシングルでCMOS振幅の受信データを出力させた。このとき、入力する差動データのコモン電位(Vcm)を、電源電圧付近、1.2V付近、GND付近のそれぞれに設定した。図5に示すように、すべてのVcmに対して所望の受信データの出力が観測された(図4)。

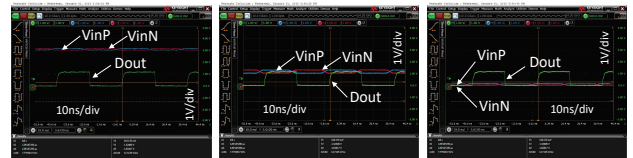


図5. 入力レンジ測定結果

また、Bit Error Rate(BER)の測定では、530Mbit/sec以上の帯域が確認されるとともに、電源電圧が2.2Vでも500Mbit/secのデータ受信がRail-to-Railで認められた(図5)。

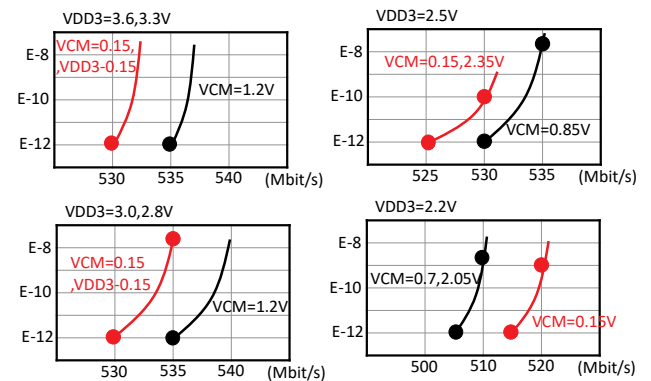


図5. BER測定結果

5. まとめ

LVDSのレシーバを設計開発し、適応バイアス電流制御により、Rail-to-Railの入力ダイナミックレンジと500Mbit/sec以上の受信帯域が実機測定で実現された。このような幅広い入力レンジと帯域は宇宙用途への適用が期待される。

謝辞

本研究はJSPS 科研費17K00090の助成を受け実施した。

参考文献

- [1] IEEE Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface(SCI), 1596.3 SCI-LVDS Standard, IEEE Std. 1596.3-1996, March 1996.
- [2] G. A. Graceffa, U. Gatti, C. Calligaro, "A 400 Mbps Radiation Hardened By Design LVDS Compliant Driver and Receiver" in *Proceedings of 2016 IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, pp. 109-112, 2016.