

二分決定グラフに基づく光論理回路の消費電力削減手法

松尾 亮祐^{1,a)} 塩見 準¹ 石原 亨² 小野寺 秀俊¹ 新家 昭彦^{3,4} 納富 雅也^{3,4}

概要: 近年ナノフォトニックデバイスを用いた光論理回路は、超高速な動作が見込めるために注目を集めており、光論理回路の合成法に関する研究も同様の理由で活性化している。しかし、既存の光論理回路の合成法の多くは、二分決定グラフ (BDD) などのデータ構造をそのまま実現する方法を採っている。単純に BDD に基づいて光論理回路を構成する場合には、消費電力が大きくなるという問題が生じる。これは、光の入力から出力までのパス上に多くの光スイッチが存在することや、光導波路中の枝分かれにおける光信号強度の損失が大きいことが原因である。本稿では、この問題への対策として、回路を多段化してパス上に存在する光スイッチの数が小さい回路に変形する手法と、光導波路の枝分かれにおける光信号強度の損失を削減するためのいくつかの手法を提案する。最後に、提案手法を算術演算に適用することでその効果を示す。

1. 序論

近年、ナノフォトニクス発展によって、光通信技術は短距離での通信やシリコンチップ上での通信に用いられるようになりつつある [1]。そして今日、ナノフォトニックデバイスを用いた高速動作の演算回路の実現に期待が集まりつつある。ナノフォトニック方向性結合器に基づく光論理ゲートの信号伝搬遅延は数百 fs のオーダーである [2]。これは、CMOS 論理ゲートよりも 10 倍以上高速である。

光論理回路の構成法として、ダイレクティッドロジック (以下では DL) が提案されている [3]。この論理構成法では、方向性結合器 (以下では DC) を基本素子として用いる。DC は光入力と光出力をそれぞれ 2 つ持つ。DC に入力された光の出力先は電圧制御入力によって制御される。図 1 に示すように、制御入力の電圧が 0 であるときには、入力光はそのまま出力まで通過する。一方で、制御入力に正の電圧が与えられているときには、入力光は出力先を入れ替えられて出力される。光が DC を高速で伝搬するために、このゲートでは複雑な論理関数を低遅延で実現することができる。しかし、DL 回路では多数の DC が直列に接続されたパスを光信号が通過する状況が発生する。このために、DL 回路では入力数の大きな関数を実現する際に遅延が膨大になる問題がある。文献 [4] では、2 段構成の DL 回路アーキテクチャが提案されている。このアーキテクチャ

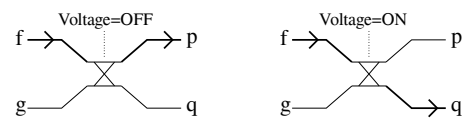


図 1 方向性結合器 (DC) の動作

は、2 段構成によって論理関数の積和標準形をそのまま実装したものであり、特定の論理関数を実現する際に必要になる DC の数を劇的に減らすことができる利点がある。しかし、最悪の場合には積項の数が入力数の指数オーダーになるために、クリティカルパスの遅延が大きくなる。文献 [5] では、二分決定グラフ (以下では BDD) に基づく回路が提案されている。BDD をそのまま光回路で表現した場合には、回路の消費電力が膨大になることが問題となる。これは、パスでの光信号強度の減衰が入力数の指数オーダーで増加することや、光が導波路の分岐を通過する際に信号強度の損失が生じることが原因である。本稿では、回路の消費電力を削減する手法をいくつか提案する。

本稿は以下のような章構成となる。2 章では、先行研究をまとめる。3 章では、回路構造の変更により光源の消費電力を削減する手法を提案する。4 章では、算術演算回路に提案手法を適用した場合の回路特性を示すことで提案手法の効果を示す。5 章では、本稿の結論を述べる。

2. 関連研究と提案手法の概要

2.1 関連研究

図 2 (a) に示す BDD を光回路で実現した例を図 2 (b) に示す。BDD に基づく光論理回路設計においては、図 2 (b) のように根を光の出力先として用い、葉を光を入射する部

¹ 京都大学大学院情報学研究所
² 名古屋大学大学院情報学研究所
³ NTT ナノフォトニクスセンタ
⁴ NTT 物性科学基礎研究所
^{a)} matsuo@vlsi.kuee.kyoto-u.ac.jp

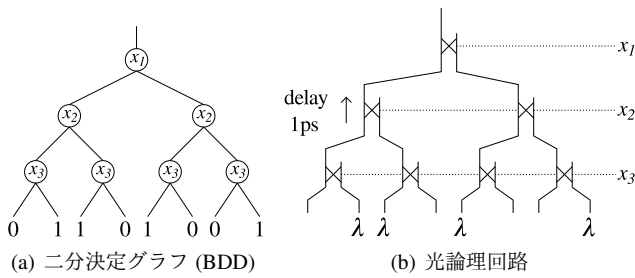


図2 二分決定グラフの光回路への実装

分とする。BDDの*i*番目の節点の値が1であるとき、波長 λ の光を回路の対応する葉に入力する。論理関数の入力信号はBDDのノードの制御信号として用いられる。クリティカルパス上のBDDのノード数は、論理関数の入力数と等しくなる。BDDのノードは光回路では、DCに置き換えられる。DCでの伝搬遅延はpsのオーダーであるために超高速で演算が行える。DCに制御信号が並列に与えられると、全てのDCのルーティングが同時に完了し、光が出力に到達するまでの時間で論理関数の演算結果が得られる。この超高速動作であるという点が、光論理回路の設計にBDDを用いる大きな要因である。

BDDに基づく光回路は、CMOS集積回路に対して動作速度の点では優位性があるが、消費エネルギーの点では劣っている。光がDCを通過する際に光の信号強度が減衰する。BDDに基づく光回路では、入力光が出力に到達するまでに多数のDCを通過することになるために、回路の出力において十分な信号強度を確保するために光源で大量のエネルギーを消費することになる。このDCでの信号強度の減衰は論理関数の入力数に対して指数オーダーで大きくなる。加えて、BDDの葉の数は入力数の指数オーダーで大きくなるために、光を入力する葉の数も指数オーダーで大きくなる。つまり、一つの葉に入力する光の信号強度は指数オーダーであり、それら指数オーダーの信号強度を持つ光を入力する葉の数も指数オーダーになる。このように、入力数が大きい関数をBDDに基づく光回路で実現する場合には消費電力が非常に大きくなる。文献[6]で、入力数の大きい回路に対して多段化を適用することで消費電力を削減する手法が提案されている。本稿では、入力数の大きいBDDに基づく回路を、回路の多段化を適用することで、いくつかの入力数が小さいBDDに基づく回路から構成される回路に変形する手法を提案する。本稿における多段化とは、

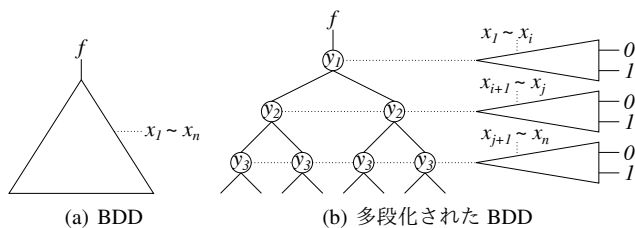


図3 BDDの多段化

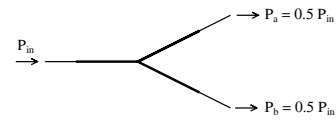


図4 スプリッターでの光の減衰

BDDに基づく回路の出力信号をBDDの木構造を構成するDCの制御入力信号として用いることを意味する。多段化をグラフレベルで考える。図3(a)に示すBDDを多段化すると、図3(b)のように、いくつかの入力数の小さいBDDと、それらのBDDの出力値を変数入力とするBDDを持つ構成に変形される。

BDDに基づく回路のもう一つの大きな問題は、分岐が多数存在することである。光導波路において分岐に対応するスプリッターを通過する際には信号強度が減少するために、光源での消費エネルギーの増加に繋がる。図4のように、スプリッターに光が入力されたときその信号強度は一定の比率で二つの出力先に分配される。図4では分配の比率 $P_a : P_b$ は1:1に設定されている。この分配の比率をスプリッターの分割比と定義する。スプリッターの分割比はさまざまな値に調整可能である。BDDに基づく回路では、スプリッターの二つの出力先の両方の光が同時に最終的な回路の出力光となることはない。したがって、最終的な回路の出力の観点から考えると、スプリッターで信号強度の損失が生じるとみなすことができる。また、この損失はスプリッターの分割比によって変化する。文献[7]では、スプリッターの分割比を適切な値に調整して信号強度の損失を削減する手法が提案されている。スプリッターへの対応としては、入力光をDCで制御してどちらか一方の出力先に伝搬させることで信号強度の損失を削減するという手法も存在する。しかし、DCを通過する際には信号強度の減衰が生じるために、この手法による消費電力削減の効果には限界がある。

2.2 提案手法の概要と意義

図5(a)のBDDに多段化を適用することを考える。図5(a)は、 x_1 から x_i までを入力変数とする部分BDDの葉(全体のBDDからみると枝とみなすことができる)が2つのノードのうちのどちらかに接続されており、2つのノードはそれぞれ部分関数 f_0, f_1 に対応しているということを表している。このように部分BDDの葉が接続されるノードの数をその部分BDDの幅という。部分BDDの幅を考えたときには部分BDDの葉の数を考慮する必要はない。図5(a)のBDDに多段化を適用することで図5(b)のBDDが得られる。 x_1 から x_i までを入力変数とする部分BDDの出力を y_0 として用いる。図5(b)のBDDを実現するためにカスケード接続という手法を用いる。図6のように、 x_1 から x_i までを入力変数とするBDDに基づく回路の出力で得られる光信号を、光電変換してDCの制御入力端子に入力する。このように、光回路の出力を光電変換を

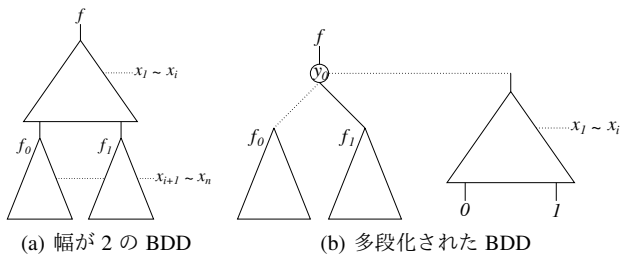


図5 幅が2の部分BDDを対象とした多段化

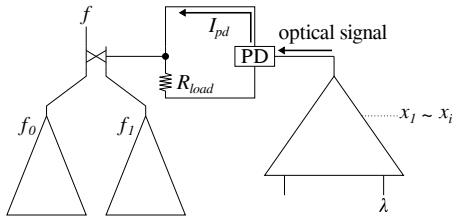


図6 カスケード接続が適用された回路

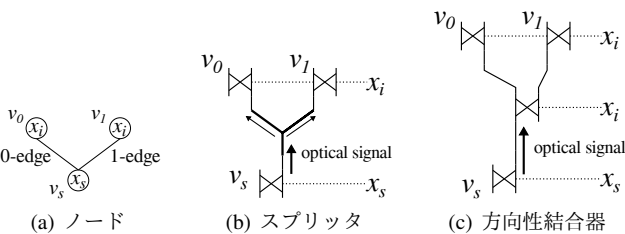


図7 BDDにおける分岐の光回路での実装

ともなってDCの制御入力端子に接続する手法をカスケード接続という。ここでは、文献[8]で提案されている光電変換回路を用いる。光検出器(Photodetector, 以下PD)で光が検出されるとき電流 I_{pd} が生成され、この電流がDCの制御入力端子を充電する。ゆえに光信号によるDCの制御が可能となる。カスケード接続において、制御信号を生成するためのBDDを前段のBDD、前段のBDDで生成された信号を入力変数とするBDDを後段のBDDと定義する。例えば、前段のBDDの出力が1の場合には、後段のBDDの入力変数 y_0 の論理値は1となる。後段のBDDにおいてカスケードの対象となった部分は、長さが n から1に小さくなっていることがわかる。カスケード接続の対象となる部分BDDの幅を w とすると、後段のBDDにおいてカスケード接続の対象部分は入力数が $\log_2 w$ の部分BDDに置き換えられる。このように、十分に節点が削除され幅が小さくなっている部分BDDをカスケード接続の対象とすると、入力数の大きいBDDを入力数の小さいBDDに変形することができ、消費電力を小さくすることができる。

スプリッタにおける信号強度の損失はスプリッタの出力先で必要な信号強度の比率と深く関係する。図7(a)中のBDDのノード v_s について考える。 v_s は同じ変数を入力とする親ノード v_0, v_1 を持つ。 v_s から、 v_0 または v_1 に信号が伝搬する場合を考える。この場合には図7(b)に示すようにスプリッタが必要となる。ここで、 v_0 と v_1 の入力で必

要な信号強度をそれぞれ P_0 と P_1 として、 v_s の出力で必要な信号強度を P_s とする。例として、 $P_0 : P_1 = 2 : 1$ の場合について考える。スプリッタの分割比が1:1のとき $P_s = 2P_0 = 4P_1$ となる。スプリッタへの入力光の信号強度の0.5倍の信号強度が P_0 よりも小さい場合には回路の出力において十分な信号強度が確保できないため、 P_0 を2倍した値の信号強度が P_s で必要となる。一方、分割比が2:1のとき $P_s = P_0 + P_1 = 3P_1$ となる。このように、信号強度の分配比が2:1かつ、スプリッタの入力光の信号強度が3の場合に、 P_0 と P_1 を同時に過不足なく満たすことができる。分割比が2:1以外の値をとる場合には、 $P_s = 3$ としたときに P_0 か P_1 のどちらかで信号強度が不足するため、 P_s を3よりも大きい値にしなければならない。したがって、スプリッタの分割比を $P_0 : P_1$ とすることでスプリッタでの電力の損失を最小化できる。スプリッタの分割比を調整してスプリッタでの電力の損失を最小化することをスプリッタの分割比最適化と定義する。図7(c)のようにスプリッタをDCで置き換えることでさらに電力の損失を削減することができる場合がある。スプリッタの分割比最適化の説明と同様に $P_0 : P_1 = 2 : 1$ の場合を考える。スプリッタをDCのみに置き換える手法では、DCにより出力先を選択して光の出力先を一つに絞ることで電力の損失を削減している。しかし、光がDCを通過する際に信号強度が $\frac{4}{5}$ 倍に減衰することため、DCの出力で必要な信号強度の $\frac{5}{4}$ 倍の信号強度の光をDCに入力しなくてはならない。また、DCの入力の信号強度は v_0 と v_1 のどちらが出力として選ばれても信号強度が不足しないような値でなくてはならない。したがって、 P_s は P_0 と P_1 のうち大きいほうに $\frac{5}{4}$ をかけた値になる。つまり、 $P_s = \frac{5}{4}P_0$ となり、スプリッタの分割比最適化よりもさらに P_s を小さくできることがわかる。スプリッタをDCに置き換える場合にはDCの制御信号に用いる変数を適切に選ぶ必要がある。変数の選択が不適切な場合には光のルーティングが正しく行われず誤った出力結果が得られる。図7(c)のように、 v_s の出力が v_0 の0枝と v_1 の1枝に接続されている場合には、 x_i を制御入力とするDCでスプリッタを置き換えることができる。これは、 $x_i = 1$ のときのみ v_s の出力が v_1 に伝わり、 $x_i = 0$ のときのみ v_s の出力が v_0 に伝わるためである。以上のことからスプリッタの分割比最適化やスプリッタの置き換えを適用することで消費電力を削減することができることがわかる。しかし、スプリッタの置き換えの適用により回路規模と遅延が増加する。これは、DCの遅延がおおよそ1psであるのに対してスプリッタの遅延は無視できるほど小さく、加えて、サイズも無視できるほどに小さいためである。ゆえに、スプリッタをDCに置き換える場合には、回路規模と消費電力、遅延のトレードオフを考慮する必要がある。

3. BDDに基づく光論理回路の電力削減手法

3.1 BDDの多段化

2.2節では、カスケード接続の対象とする部分BDDの幅が2である場合について説明した。しかし、多段化は部分BDDの幅が3以上の場合でも適用することが可能である。カスケード接続の対象とする部分BDDの幅が4の場合の回路の実装方法について説明する。図8に示すBDDに対して多段化を適用することを考える。図8は、 x_1 から x_i までを入力変数とする部分BDDの幅は4であり、それぞれの葉が部分グラフ f_0, f_1, f_2, f_3 に対応するノードに接続されていることを表している。図8のBDDをカスケード接続を用いて多段化することで図9のBDDが得られる。 x_1 から x_i までを入力変数とする部分BDDがカスケード接続の対象となっている。前段のBDDの出力を後段のBDDの入力変数 y_0 と y_1 として用いる。部分グラフ f_i に接続される枝にラベル i を与える。つまり、それぞれの枝に0から3のラベルを与える。0から3を2進数表現して、 $2^0, 2^1$ をそれぞれ y_0, y_1 に対応させる。つまり、入力変数 y_0 を制御する前段のBDDの葉の値は 2^0 の桁の値に対応しており、入力変数 y_1 を制御する前段のBDDの葉の値は 2^1 の桁の値に対応している。例えば、前段のBDDにおいて左から2番目の葉が出力結果として選ばれる場合には、 $y_1 y_0$ の論理値は01となる。したがって、後段のBDDにおいても、カスケード接続により生成された部分BDDの枝のうちで左から2番目のものが出力結果として選ばれるために、論理が一貫していることがわかる。カスケード接続の対象となる部分BDDの幅が4であるために、後段のBDDにおいては入力数2の部分BDDに置き換えられている。このように、カスケード接続により生成された部分BDDの入力数は、カスケード接続の対象となっている部分BDDの

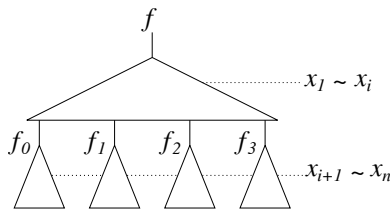


図8 幅が4のBDD

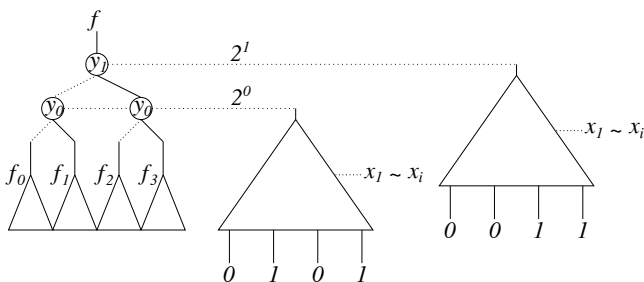


図9 多段化されたBDD

元の幅の対数オーダーになる。したがって、カスケード接続の対象とする部分BDDの幅が入力数に対して十分に小さいときには後段のBDDの入力数が小さくなるため、回路の消費電力削減の効果が大きくなる。

3.2 光回路によるスプリッタの置き換え

図7で示したように、スプリッタはDCによって置き換えることができる。しかし、2.2節で説明した手法は、分岐先の数が2の場合という限定的な手法である。この節では、より幅広い条件で適用可能なスプリッタの置き換えを説明する。例として、図10中の3分岐を持つ黒塗りのノード V について考える。3分岐を光回路で最も簡単に実装すると3出力のスプリッタになる。ここで、3出力のスプリッタを図11(c)に示す光回路のようなDC-treeに置き換えることを考える。図11(c)の下端にあるラベル A, B, C はDC-treeの3つの出力に対応する。初めに、ノード V の3つの親ノードにラベル付けする。次に、図10に示すBDDの根に与えた信号がそれぞれ A, B, C を通過してノード V に到達する条件を表す論理関数を抽出すると図11(a)が得られる。図11(a)に示す部分グラフの根を入力として用いて、 A, B, C を出力として用いる回路によって3出力のスプリッタを置き換えることができる。この置き換えによって回路中の信号強度の損失を低減できる。しかし、図11(a)に示すグラフは、 A, B, C でラベル付けされたノード以外の終端ノードをドントケアとみなすことによって縮約可能である。これは、図11(a)の部分グラフを3出力のスプリッタの置き換えとして用いる場合には、ドントケアでラベル付けされたノードは図10のグラフが表現する論理関数の最終的な結果には影響を与えないためである。図11(a)のグラフにBDDの縮約を適用すると図11(b)のグラフが得られる。BDDの縮約によりDCの数が削減されていること

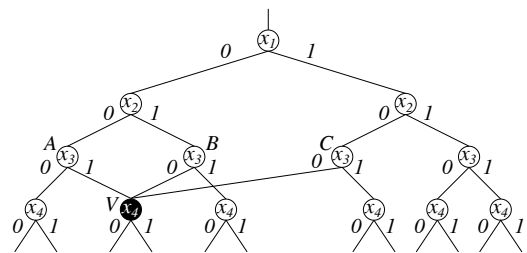


図10 3分岐を持つBDD

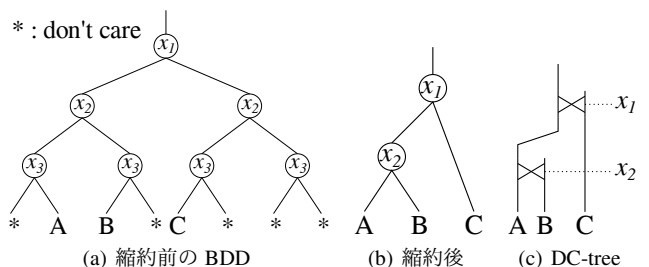


図11 光回路によるスプリッタの置き換えと電力削減

がわかる。図 11 (b) のグラフに相当する光回路は図 11 (c) に示す DC-tree のようになる。図 11 (c) に示す DC-tree の上端を入力として用いて、 A, B, C を出力として用いることで、この回路を 3 出力のスプリッタの置き換えとして用いることができる。以上の手順でスプリッタを DC に置き換える手法はスプリッタの分岐先の数によらず適用することが可能である。

3.3 スプリッタ置き換えの適用条件

スプリッタを DC で置き換えるよりも、文献 [7] で提案されているスプリッタの分割比最適化を適用したほうが信号強度の損失が小さくなる場合がある。この条件は、親ノードで必要な信号強度と DC-tree の構造によって決まる。図 11 (c) の場合について考える。ノード A, B, C で必要な信号強度を P_A, P_B, P_C とする。ノード V で必要な信号強度を P_V とする。スプリッタの分岐先の数が 3 以上の場合にも、2.2 と同様にスプリッタの分割比を親ノードで必要な信号強度の比率と等しい値にすることで、信号強度の損失が最小となり P_V は親ノードで必要な信号強度の総和と等しくなる。したがって、スプリッタの分割比を最適化した場合には $P_V = P_A + P_B + P_C$ となる。スプリッタを DC-tree で置き換える場合について考える。ノード A で十分な信号強度が確保できるような P_V の値は、DC での減衰が -1 dB であるとき、DC での 2 回の減衰を考慮して、 $P_V = (\frac{5}{4})^2 P_A$ となる。同様にノード B で十分な信号強度を確保するためには、 $P_V = (\frac{5}{4})^2 P_B$ となる。ノード C で十分な信号強度を確保するためには、DC での 1 回の減衰を考慮して、 $P_V = \frac{5}{4} P_C$ となる。どのノードが選ばれた場合にも十分な信号強度が確保できなくてはならないために、 P_V は 3 つの値のうちで最大の信号強度と等しい値になる。この値がスプリッタの分割比最適化を適用した場合の値よりも小さくなる時がスプリッタを DC-tree で置き換えたほうが電力をより削減できる条件となる。したがって、DC での減衰が -1 dB のとき、スプリッタを DC-tree で置き換えたほうが電力をより削減できる条件は式 (1) となる。

$$P_A + P_B + P_C > \max\{(\frac{5}{4})^2 P_A, (\frac{5}{4})^2 P_B, \frac{5}{4} P_C\} \quad (1)$$

このように、スプリッタの適用条件は、親ノードで必要な信号強度とノード V から親ノードへのパス中に存在する DC の数および DC あたりの信号減衰率によって定まる。

4. 算術演算への適用

4.1 数値設定

光が DC を通過する際の伝搬遅延は 1 ps とする [9]。DC は、スプリッタよりも、サイズが十分に大きいために回路中の DC 数によって回路規模が決まると考えられる [9][10]。DC での光信号強度の減衰は -1 dB とする [9][11]。光電変換における遅延は 25 ps であるとする [8]。光源で消費され

る電力は、光デバイスでの光信号強度の減衰に基づいて概算する。光源の出力光強度は、全ての回路出力光の強度が $10 \mu\text{W}$ を下回らない大きさにする。

4.2 パラレルカウンタ

15-4 パラレルカウンタに提案手法を適用した場合について考える。この回路は入力 15 ビット中の 1 の数を 4 ビットで出力する回路である。入力数が 15 であるため、演算結果は 0 から 15 の値をとる。15-4 パラレルカウンタは、4 種類の出力関数を表現する BDD に基づく回路から構成される。4 種類の出力関数に対応する BDD を図 12 から図 15 に示す。ノードを黒丸、0 枝を破線、1 枝を実線で表現している。また、0 定数節点に繋がる枝は削除している。図 12 に示す BDD は 2^0 の桁の出力関数に対応する。図 13 は 2^1 の桁、図 14 は 2^2 の桁、図 15 は 2^3 の桁の出力関数に対応する。これらの BDD は既約化されている。

表 1 に図 12 から図 15 に示す BDD に基づく回路の合成結果をまとめた。図 12 から図 15 に示す BDD に基づく回路のスプリッタの分割比を均等にした場合の回路の特性を表 1 の 1 行目に示す。図 12 から図 15 に示す BDD に基づく回路のスプリッタの分割比を最適化した場合の回路の特性を表 1 の 2 行目に示す。図 12 から図 15 に示す BDD に

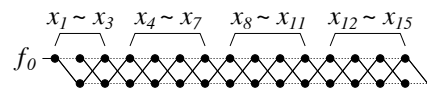


図 12 2^0 の桁の出力関数の BDD

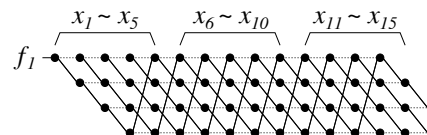


図 13 2^1 の桁の出力関数の BDD

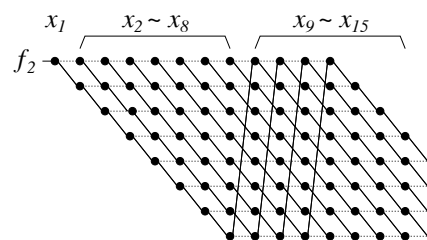


図 14 2^2 の桁の出力関数の BDD

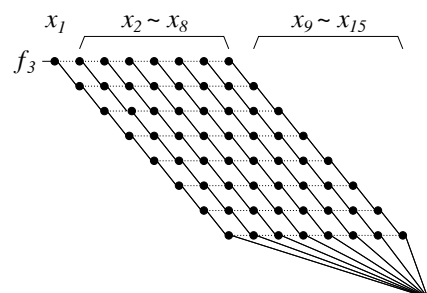


図 15 2^3 の桁の出力関数の BDD

基づく回路に対してスプリッタ置き換えを適用した回路の特性を表1の3行目に示す。図12から図15に示すBDDに基づく回路を多段化して、さらにスプリッタ置き換えを適用した回路の特性を表1の4行目に示す。多段化する際には前段のBDDと後段のBDDの入力数が均等になるように、カスケード接続対象となる部分BDDを選択した。これは、BDDに基づく光論理回路の消費電力は、およそ入力数の指数関数であるため、分割した部分BDDの入力数が等しい場合に消費電力の合計が最小になると考えられるためである。 f_0 のBDDは、 x_1 から x_3 、 x_4 から x_7 、 x_8 から x_{11} 、 x_{12} から x_{15} と分割してカスケード接続を適用することで、4入力の前段のBDDを3つと3入力の前段BDDを1つ、そして4入力の後段のBDDから構成されるグラフに変形できる。 f_0 のBDDでは、部分BDDの幅が2で一定であるため、それぞれの部分BDDには図5に示した変形を適用でき後段のBDDでは1入力の部分BDDに変形される。 f_1 のBDDは、 x_1 から x_5 、 x_6 から x_{10} 、 x_{11} から x_{15} と分割してカスケード接続を適用することで、5入力の前段のBDDを3つと6入力の後段のBDDから構成されるグラフに変形できる。 f_1 のBDDでは、入力数が4より大きい部分BDDの幅は4であるため、それぞれの部分BDDには図9に示した変形を適用でき後段のBDDでは2入力の部分BDDに変形される。 f_2 と f_3 のBDDは、 x_1 はそのまま後段のBDDの入力変数として用い、 x_2 から x_8 、 x_9 から x_{15} と分割してカスケード接続を適用することで、7入力の前段のBDDを2つと7入力の後段のBDDから構成されるグラフに変形できる。 f_2 と f_3 のBDDでは、入力数が7の部分BDDの幅は8であるため、それぞれの部分は後段のBDDでは3入力の部分BDDに変形される。このように、前段のBDDと後段のBDDの入力数がほぼ等しくなるように多段化を適用した回路の特性を表1の4行目に示している。以上の結果から提案手法によって、消費電力が大幅に削減されていることがわかる。

5. 結論

本稿では、入力数の大きいBDDに基づく回路を多段化して入力数の小さいBDDに基づく回路のカスケード接続で構成される回路に変形する手法を提案した。また、スプリッタでの光信号強度の損失を削減するために、スプリッタの分割比最適化とスプリッタを光回路で置き換える手法について提案した。最後に、15-4パラレルカウンタの回路に対して提案手法を適用した場合の回路特性を計算し、提案手法により回路の消費電力を大幅に削減可能であることを示した。本稿では、いくつかの消費電力削減技術を場当たり的に適用する方法のみを示した。今後は、本稿で示した手法を一般化し、形式的な消費電力削減アルゴリズムを構築する予定である。

表1 回路の合成結果

	P [mW]	#DCs	Delay
BDD	9.12×10^4	239	15
分割比最適化 [7]	3.86×10^4	239	15
スプリッタ置き換え	165	403	29
多段化	17.0	412	49

謝辞

本研究の一部は、JSTのCREST「新たな光機能や光物性の発現・利活用を基軸とする次世代フォトニクスの基盤技術」(JPMJCR15N4)の助成により行われた。

参考文献

- [1] Y. Vlasov, "Silicon Photonics for Next Generation Computing Systems," in *Proc. European Conference on Optical Communications*, no. Tu.1.A.1, Sept. 2008.
- [2] N. Yamamoto, T. Ogawa, and K. Komori, "Photonic Crystal Directional Coupler Switch with Small Switching Length and Wide Bandwidth," *Optics Express*, vol. 14, no. 3, pp. 1223–1229, Feb. 2006.
- [3] J. Hardy and J. Shamir, "Optics Inspired Logic Architecture," *Optics Express*, vol. 15, no. 1, pp. 150–165, Jan. 2007.
- [4] Q. Xu and R. Sorei, "Reconfigurable Optical Directed-Logic Circuits Using Microresonator-Based Optical Switches," *Optics Express*, vol. 19, no. 6, pp. 5244–5259, Mar. 2011.
- [5] C. Condrat, P. Kalla, and S. Blair, "Logic Synthesis for Integrated Optics," in *Proc. Great lakes symposium on VLSI*, May 2011, pp. 13–18.
- [6] T. Egawa, T. Ishihara, H. Onodera, A. Shinya, S. Kita, K. Nozaki, K. Takata, and M. Notomi, "Multi-Level Optimization for Large Fan-In Optical Logic Circuits using Integrated Nanophotonics," in *IEEE International Conference on Rebooting Computing*, Nov. 2018, pp. 43–50.
- [7] Z. Zhao, Z. Wang, Z. Ying, S. Dhar, R. T. Chen, and D. Z. Pan, "Logic Synthesis for Energy-Efficient Photonic Integrated Circuits," in *Proc. Asia-South Pacific Design Automation Conference*, Jan. 2018.
- [8] K. Nozaki, S. Matsuo, T. Fujii, K. Takeda, A. Shinya, E. Kuramochi, and M. Notomi, "Femtofarad Optoelectronic Integration Demonstrating Energy-Saving Signal Conversion and Nonlinear Functions," *Nature Photonics*, vol. 13, pp. 454–459, July 2019.
- [9] H. C. Nguyen, N. Yazawa, S. Hashimoto, S. Otsuka, and T. Baba, "Sub-100 μm Photonic Crystal Si Optical Modulators: Spectral, Athermal, and High-Speed Performance," *IEEE Journal of Selected Topics in Quantum Electronics*, vol. 19, no. 6, pp. 127–137, June 2013.
- [10] K. Yamada, T. Tsuchizawa, T. Watanabe, J. Takahashi, E. Tamechika, M. Takahashi, S. Uchiyama, H. Fukuda, T. Shoji, S. Itabashi, and H. Morita, "Microphotonics Devices Based on Silicon Wire Waveguiding System," *IEICE Transactions on Electronics*, vol. E87-C, no. 3, pp. 351–358, Mar. 2004.
- [11] L. O'Faolain, D. M. Beggs, T. P. White, T. Kampfrath, K. Kuipers, and T. F. Krauss, "Compact Optical Switches and Modulators Based on Dispersion Engineered Photonic Crystals," *IEEE Photonic Journal*, vol. 2, no. 3, pp. 404–414, June 2010.