

幅広い動作環境にわたってLSIの最大遅延特性を追跡する クリティカルパスレプリカの構成法

福田 展和¹ 塩見 準² 石原 亨² 小野寺 秀俊²

概要：集積回路の最大遅延特性を温度、コーナーケース、電源電圧、基板電圧の異なる幅広い動作環境にわたって実時間で正確に追跡することができるクリティカルパスレプリカを構築する設計方法を開発することを目的とする。本稿では回帰分析に基づくクリティカルパスレプリカの構築法を提案する。論理ゲートを直列に接続して遅延ブロックを合成し、最大遅延特性を追跡するために最適なブロック数を求める。ISCAS ベンチマーク回路を用いたシミュレーションによって、提案手法が最大遅延時間を誤差 7.3%で模擬できることを示した。

キーワード：省エネルギー化, 遅延模擬, クリティカルパスレプリカ

A Method of Constructing a Replica Circuit Tracking Maximum Delay Characteristics of an LSI Circuit over a Wide Range of Operating Environments

FUKUDA NOBUKAZU¹ SHIOMI JUN² ISHIHARA TOHRU² ONODERA HIDETOSHI²

Abstract: The aim of this paper is to develop a systematic design method of constructing a critical path replica that can accurately track the maximum delay characteristics at runtime over a wide range of operating environments such as corner case, temperature, supply voltage, and threshold voltage. This paper proposes a method of constructing a critical path replica based on linear regression analysis. This approach synthesizes delay units by serially connecting logic gates and seeks the optimal number of delay units to track the maximum delay characteristics of the circuit. Experimental results obtained using an ISCAS benchmark circuit showed that the error of the proposed method is 7.3%.

Keywords: processor energy consumption minimization, delay estimation, critical path replica

1. はじめに

集積回路の動作状態や動作負荷に合わせて電源電圧と基板電圧を動的に調節することで消費エネルギーを削減できることが報告されている [1]。そのためには、様々な動作環境における回路の最大遅延時間を正確に見積もり、定められたクロック周波数でタイミング違反無く回路が動作することを確認することが重要である。回路の最大動作速度は

クリティカルパス (Critical Path: CP) の最大遅延時間に依存し、動作電圧や温度が動的に変動すると回路の性能が動的に変化する。回路の電源電圧と基板電圧を調節すると最大遅延時間が変化する。さらに、回路の遅延特性は製造ばらつきやチップ温度にも依存する。

様々な動作環境において回路の最大遅延時間を模擬するためにクリティカルパスレプリカ (Critical Path Replica: CPR) が用いられる。本稿の目的は、幅広い動作環境において対象回路の最大遅延特性を模擬することができる CPR の設計手法の構築である。遅延時間に影響を与える条件として温度、コーナーケース、電源電圧、基板電圧を動作環境

¹ 京都大学工学部
36-1 Yoshida-honmachi, Sakyo-ku, Kyoto 606-8501, Japan
² 京都大学大学院情報学研究科
36-1 Yoshida-honmachi, Sakyo-ku, Kyoto 606-8501, Japan

として定義する。これらの動作環境が変化する幅広い範囲にわたって回路の最大遅延特性を実時間で模擬する CPR の構成を目的とする。CPR に関する先行研究として、ある動作環境もしくはその近傍の動作環境範囲において回路の最大遅延を模擬する手法 [2], [3] などが提案されてきたが、幅広い動作環境にわたって回路の最大遅延特性を模擬する手法は少ない。本手法では、論理ゲートを直列に接続した回路の論理段数、論理種を制御可能な変数として扱うことで、対象回路の最大遅延特性を模擬する遅延特性を持つ CPR を回帰分析に基づき設計する手法を提案する。

本論文の構成を以下に示す。第 2 章では CPR に関連する先行研究と本稿の特徴について述べる。第 3 章では本稿で提案する CPR の構成手法について説明する。第 4 章では 65-nm プロセスで設計されたベンチマーク回路のシミュレーションに基づく検証について述べる。最後に第 5 章で本稿をまとめる。

2. 関連研究と本稿の特徴

2.1 クリティカルパスレプリカを用いた電圧制御技術

集積回路の動作条件に合わせて電源電圧や基板電圧を適応的に調節することによって消費エネルギーを削減することができる。電圧制御に伴って集積回路の遅延時間が変動するため、タイミング制約を保証するために CPR が用いられる。CPR の模擬精度が低いと、対象回路の誤動作や性能低下につながる。以下に CPR の適用例を示す。

Dynamic Voltage and Frequency Scaling は、処理の負荷に応じて電源電圧と動作周波数を調節することで、消費エネルギーを削減する手法である。Adaptive Voltage Scaling は、動作環境の変化に応じて要求動作周波数を維持するために電源電圧を調節する手法である。電源電圧と基板電圧を同時に調節することで消費エネルギーを削減する方法も提案されている。与えられた要求動作周波数を満たす電源電圧と基板電圧の組は多数存在し、その電圧組の中で消費エネルギーを最小にするものが存在する。要求周波数動作を満たしながら、1 サイクル当たりの消費エネルギーを最小にする、電源電圧と基板電圧の組を最小エネルギー点 (Minimum Energy Point: MEP) と呼ぶ。温度条件や活性化率などの動作環境の動的な変化に応じて MEP は変化する。MEP 追跡 (MEP Tracking: MEPT) 手法は動作環境の動的な変動に応じて移動する MEP を追跡し、MEP を実現する電圧条件を制御することで消費エネルギーを削減する手法である。これらの省エネルギー化手法は電圧やクロック周期の制御に用いるため、温度や電圧垂下などの動的な動作環境の変動の下で対象回路の最大遅延時間をモニタする必要がある。

2.2 モチベーション

本稿では、幅広い動作環境で CP 遅延を模擬する回路

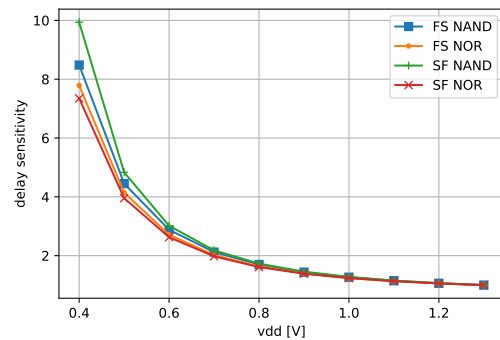


図 1 NAND チェインと NOR チェインの遅延感度比較 (25 °C、 $V_{BB} = 0.0$ V)。

を設計する。その際の問題点を示す。幅広い動作環境にわたって遅延特性は論理ゲートによって異なる。4 入力 NAND (以後 NAND と呼ぶ) からなる 20 段のチェーンと 4 入力 NOR (以後 NOR と呼ぶ) からなる 20 段のチェーンの遅延特性を比較する。25 °C、 $V_{BB} = 0.0$ V において、SF 条件と FS 条件における V_{DD} に対する NAND チェインと NOR チェインの遅延感度の比較を図 1 に示す。縦軸は $V_{DD} = 1.3$ V における遅延時間で正規化した遅延時間である。SF 条件では NAND ゲートの NMOS トランジスタを流れるプルダウン電流が減少し、PMOS トランジスタを流れるプルアップ電流が増加する。低電源電圧ではスタック効果によって、NMOS トランジスタを流れるプルダウン電流の減少が NAND チェインの遅延時間に与える影響が大きくなる。したがって、NAND チェインは FS 条件より SF 条件の遅延感度が大きい。同様に、FS 条件の低電源電圧では、スタック効果によって NOR ゲートの PMOS トランジスタによるプルアップ電流が小さくなる。したがって、NOR チェインは SF 条件より FS 条件の遅延感度が大きい。このように、動作環境に対する遅延特性は論理ゲートによって異なり、このような論理ゲートから構成される CP の遅延時間が幅広い動作環境にわたって入れ替わり得ることを示している。また、しきい値電圧が高い場合、または電源電圧が低い場合などでは論理ゲートの遅延時間が急激に増大するため、考慮する動作環境が広いほど、追従すべき対象回路の最大遅延時間が取り得る範囲も広がる。

2.3 関連研究

タイミング違反を検出する手法として、Razor-FF [4] やカナリア FF [5] などが提案されてきた。しかし、対象回路の CP となり得るパスの遅延を直接モニタするこれらの方法では、パスを活性化させるテストパターンを入力する必要がありコストが大きくなる。また一般に、実際に回路を動作させるまでタイミング違反が発生するパスを特定することは困難である。そのため、事前に CP 遅延を推定す

る手法や、CP 遅延を模擬する CPR を構成する手法などが考えられてきた。CPR を用いる手法では、対象回路の他に CPR 回路を設計する必要があるが、活性化され得る CP の最大遅延を模擬できるため、対象回路の CP を活性化させる必要がないという利点がある。最大遅延モニタや CPR に関する関連研究の一部として以下の [1], [2], [3], [6] が挙げられる。

動作環境変動に対する遅延感度が最大となる論理ゲートを用いて CPR を構成する手法として [1], [6] がある。ここで遅延感度とは、論理ゲートが最速で動作する動作環境での遅延時間で正規化した論理ゲートの遅延時間である。全ての論理ゲートの遅延感度を比較し、遅延感度の大きな論理ゲート (Logic Representative: LR) を抽出する。選択された LR を用いてリングオシレータを構成し、それらの最大遅延を用いる。設計コストは比較的小さく、LR の種類は対象回路に影響されない。CMOS ゲートのライブラリに対して LR が定まり回路に依存しないため、設計コストを小さくすることができる。しかし一方で、論理ゲート構成などの対象回路の特徴を反映した CPR や、動作環境範囲にわたる対象回路の遅延特性を平均的に模擬できる CPR を構成することができない。タイミング制約を満たすことが保証されている一方、悲観的な模擬が精度を悪化させることが考えられる。

[2] は一部の代表的な CP (Representative Critical Path: RCP) の特徴量と遅延時間から、他の CP 集合の遅延時間を模擬する。対象回路の CP の回路構成や電圧垂下などの特徴量をモニタしておき、選択した代表的な RCP の特徴量と遅延時間の関係から全ての CP の遅延時間を推定する。全ての CP の特徴量と RCP の遅延時間をモニタする必要があるため、実装コストが大きくなる。全ての CP の遅延時間の計算には逆行列の計算などの比較的計算量の大きな演算を必要としており、実時間での遅延模擬には不利である。レプリカ回路等の回路を遅延模擬に用いないため特別な回路設計は不要となる。RCP の数を増やすことによって任意の精度まで模擬精度を向上させることができる。しかし、全ての CP の遅延時間を推定する特徴量モデルによる誤差が幅広い動作環境にわたって増大すると考えられる。また、遅延時間の計算においてタイミング制約が考慮されていない。

回路毎に遅延感度の異なるリングオシレータを構成し、対象回路に応じてそれらを組み合わせて用いる手法 [3] が提案されている。 V_{DD} 、ゲート長、移動度などの変動源による遅延変動の感度を用いた遅延モデルから最大遅延時間を模擬する。同一種類の論理ゲートを直列に接続したゲートモジュールを直列に接続することでリングオシレータ (Design-Dependent Ring Oscillator: DDRO) を構成する。ゲートモジュールの内側の論理ゲートの遅延特性は入力スルーと出力容量に対して低感度である。DDRO を構成する

ゲートモジュールの段数を整数計画問題から求め、DDRO 遅延の最小二乗回帰によって最大遅延時間を模擬する。遅延時間の模擬における数値計算コストのために実時間での模擬には不利であると考えられる。また、 V_{DD} を含む全ての変動源に対して、遅延時間が線形に変動すると近似する遅延モデルは、幅広い動作環境においてその誤差が増大すると考えられる。さらに、遅延変動を説明し得るだけの変動源を考慮する必要がある。

2.4 本稿の特徴

本稿では MEPT を動作させる幅広い動作環境において CPR を用いることを考える。実時間で模擬可能な回路規模の小さい回路を構成する必要がある。また、CPR の構成時に CPR の遅延が対象回路の最大遅延より大きくなるようにすることを考慮する。対象回路と同様の論理ゲートを用いて CPR を構成することで、自動設計のコストを小さくすることができる。

対象回路の CP を構成する論理ゲートなどの情報を用いて、それらの論理ゲートを接続した 1 本のパスを構成する。1 本のパスだけでも幅広い動作環境に対して最大遅延特性を 7.3% で模擬できることを示す。構成される CPR は論理ゲート数が少ないことから面積コストが小さく、完全デジタルであるのでセルベース設計による自動設計が可能である。

3. 回帰分析に基づいて構成されたクリティカルパスレプリカ

3.1 本手法のコンセプト

CP となるパスの遅延時間を模擬する CPR を構成するためには、パスに用いられている論理ゲートや部分パスを含む回路を構成することが考えられる。もしくは、CP と等しいパスをレプリカ回路として用いることで遅延時間を模擬することができる。しかし、動作環境に依存して CP は切り替わるため、1 本の CP の遅延時間を模擬するだけでは不十分である。対象回路において異なる CP 間で部分的に共有されるパスや、異なる CP 間に頻出する論理ゲートや部分パスが存在する。特に多くの CP や CP の中に頻出する部分パスの遅延特性は CP 遅延時間や最大遅延時間に影響すると考えられる。このような CP 間で共通する部分パスを用いることで最大遅延時間を精度良く模擬できると考えられる。

図 2 のように、様々な遅延特性を持つブロックを直列に接続して CPR を構成する。ブロックは変動パスと緩衝パスからなり、変動パスを緩衝パスで挟んだもので構成される。変動パスは対象回路の CP から抽出した部分パスを用い、異なる変動パスは動作環境に対して異なる遅延特性を持っている。緩衝パスはブロック間の遅延時間の相関を低減させる目的があり、ブロックをどのように接続しても遅

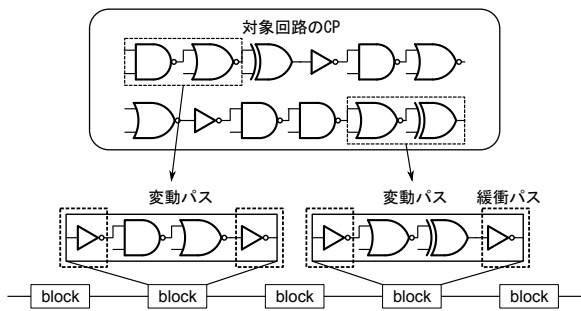


図 2 ブロックの構造。

延時間が一定になるようにする。以上の手法により、CPR の構成を回帰分析に定式化することができ、遅延時間の点からブロックの種類と数を最適化する。

3.2 ブロックの構成法

変動パスの目的は CP の持つ様々な遅延特性を模擬することである。変動パスは複数の種類の論理ゲートを直列に接続したパスで構成される。変動パスとして CP から抽出した部分パスを用いて、様々な遅延特性を持つブロックを構成する。CPR の構成に変動パスの短いブロックを用いると、緩衝パスの占める割合が大きいため、その遅延特性において緩衝パスが支配的になる。一方、変動パスの長いブロックを用いると、ブロックの段数が多いために回帰精度が悪化する。回帰分析に用いる十分な種類の部分パスを変動パスとして CP から抽出する必要がある。さらに、遅延時間の計算や回帰分析の計算量を削減するために、適当と考えられる段数の変動パスからなるブロックに限定する。

緩衝パスの目的はブロックの遅延時間に対するブロックの入力スルーと出力容量の影響を小さくすることである。このため、ブロックをどのように直列に接続してもブロック単体の遅延時間は変化しないと仮定することができる。CPR の遅延時間がブロックの種類と数によって定まると考えることができ、CPR を構成する問題を単純化できる。ブロック間のスルーを規格化するために、緩衝パスは同一種類の論理ゲートを直列に接続したパスを用いる。また、ブロックがバッファと論理的に等価になるように、緩衝パスの段数が選択される。具体的には、変動パスが偶数段であれば緩衝パスは偶数段となり、変動パスが奇数段であれば緩衝パスは奇数段となる。緩衝パスが短いと、ブロックの入力スルーと出力容量による変動パスの遅延時間への影響を十分に小さくすることができない可能性がある。一方、緩衝パスが長いと CPR における緩衝パスの割合が大きくなることや、ブロックの段数が長くなることから模擬精度を悪化させる。緩衝パスの長さが短すぎることによりブロック間のスルーの規格化が不十分である場合には、回帰分析の結果に比べて CPR の遅延時間の模擬誤差が悪化する。また、最適化においてどのようなブロックが選択さ

れたとしても CPR には緩衝パスが一定の割合で含まれる。したがって、緩衝パスに用いる論理ゲートには CP に高頻度に含まれる論理ゲートや、論理ゲート単体で最大遅延特性を精度良く模擬できる遅延特性を持つ論理ゲートを選択すべきであると考えられる。

上記に加えてブロックの構成には考慮すべき点が存在する。対象回路の CP を模擬するために、ファンアウト数や配線 RC 成分を追加することや、ブロックに様々な遅延特性を模擬させるために配線長や出力容量を調整することである。ブロックの遅延時間の計算には、配線成分を考慮したポストレイアウトシミュレーションが望ましいが、本稿では簡便な方法として、各論理ゲート間に一様に容量を付加することにより配線遅延を模擬する。

3.3 問題設定と計画問題

CP 遅延を模倣する CPR の構成法を、各ブロック遅延の CP 遅延への回帰問題として考える。回帰問題は式 (1) で表される。ここで、 i は動作環境を表し、 j はブロックの種類を表す。本稿では動作環境とは V_{DD} 、 V_{BB} 、温度、コーナーケースの異なる条件である。 y_i は対象回路の最大遅延を表し、 x はブロック遅延を表し、 w は係数を表す。この w が求めたい係数であり、この値に基づいて CPR が設計される。

$$y_i \sim \sum_j x_{ij} w_j. \quad (1)$$

本稿が対象とする計画問題は以下の式で表される。

$$\begin{aligned} \min_w \quad & \mathbf{1} \cdot \bar{\mathbf{X}} \mathbf{w} \\ \text{s.t.} \quad & \bar{\mathbf{X}} \mathbf{w} \geq \mathbf{1}, \quad \mathbf{w} \geq \mathbf{0}, \quad \mathbf{w} \in \mathbb{Z}. \end{aligned} \quad (2)$$

本稿で扱う動作環境範囲は広いと、目的変数である最大遅延時間の取り得る範囲が広い。 $\mathbf{1} \cdot \mathbf{X} \mathbf{w}$ を目的関数とすると、低遅延側を小さく評価することになり、低遅延側での模擬誤差が大きくなる。最大動作速度を向上させるためには、低遅延側での模擬誤差を小さくしなければならない。そのため $\bar{\mathbf{X}} = \bar{x}_{ij} := x_{ij}/y_i$ を用いることで、相対誤差の総和を最小化する。

w はブロック数を表すので非負の値である。また、CPR 遅延時間は CP 遅延時間より常に遅くなくてはならないので、 $\mathbf{y} \leq \mathbf{X} \mathbf{w}$ の制約条件を設けている。式 (2) を整数線形計画問題として計算する [7]。

3.4 構成法の手順

本手法の主な流れを以下に示す (図 3)。ブロックを抽出するために、全動作環境での CP 遅延だけでなく CP を構成する論理ゲートの情報が必要となる。また回帰分析を実行するために、全ブロックの遅延時間を全動作環境にわ

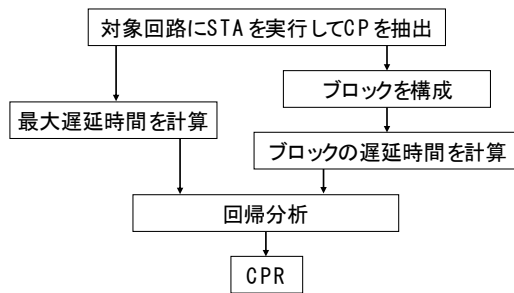


図 3 CPR 構成法の流れ。

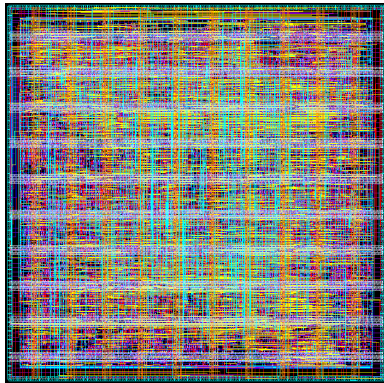


図 4 s38584 のレイアウト。

たって計算する必要がある。

- (1) 配置配線を行った対象回路に対して静的遅延解析ツール (Static Timing Analysis: STA) を用いて CP を抽出する。
- (2) 抽出した CP に対してトランジスタレベルの回路シミュレータ (以下、回路シミュレータ) を用いて遅延時間を計算する。
- (3) CP のパス情報を基に、各ブロック (緩衝ゲートと変動パス) を定める。
- (4) 回路シミュレータを用いて各ブロックの遅延時間を計算する。
- (5) 最大遅延時間と各ブロックの遅延時間から、回帰分析によってブロック毎の段数 w を決める。

各ブロックの段数が定まると、その段数から CPR が構成される。

4. ベンチマーク回路を用いた検証

4.1 対象回路と検証手法

本稿の解析対象は 65-nm Fully Depleted Silicon-On-Insulator (FD-SOI) プロセスで設計された ISCAS'89 ベンチマーク回路の 1 つである s38584 である [8]。s38584 は 25 °C、TT 条件、 $V_{DD} = 0.4$ V、 $V_{BB} = 0.2$ V において論理合成と配置配線を行った (図 4)。STA には Synopsys 社の PrimeTime を用いて、回路シミュレータには Synopsys 社の HSPICE を用いた。

対象回路の最大遅延時間を求めるために、以下の手順でシミュレーションを行った。STA を実行する動作環境を以

下の 135 点とする。

- 温度 : -25 °C, 25 °C, 75 °C (3 点)
- コーナーケース : TT, FF, SS, FS, SF (5 点)
- V_{DD} : 0.4 V, 0.85 V, 1.3 V (3 点)
- V_{BB} : -2.0 V, -0.9 V, 0.2 V (3 点)

上記 135 点において、STA を実行しパスを遅延時間の大きい方から 100 本ずつ、計 13,500 本抽出した。

動作環境範囲は以下の 1,800 点とする。

- 温度 : -25 °C, 25 °C, 75 °C (3 点)
- コーナーケース : TT, FF, SS, FS, SF (5 点)
- V_{DD} : 0.4 V, 0.5 V, ..., 1.2 V, 1.3 V (0.1 V 刻みの 10 点)
- V_{BB} : -2.0 V, -1.8 V, ..., 0.0 V, 0.2 V (0.2 V 刻みの 12 点)

抽出した 13,500 本のパスに対して、上記 1,800 点の動作環境にわたって回路シミュレータを用いて遅延時間を計算した。

4.2 クリティカルパスレプリカの構成結果

対象回路の CP に含まれる部分パスの内、論理ゲートの数が 2 つから 5 つのものを抽出した。抽出した部分パスを変動パスとしてブロックを構成する。変動パスを挟む緩衝ゲートの数には、ブロックがバッファと論理等価になるように 2 つか 3 つを選択する。また本稿では、緩衝パスに用いる論理ゲートとして NAND3_02X を選択する。このように、490 個のブロックが構成された。

まず、ブロックの各論理ゲート間に容量を付加せずに、ブロックの遅延時間を計算した後、CPR を構成する。この CPR の Layout Parasitic Extraction (LPE) 後の遅延時間は、回帰分析時の遅延時間より配線遅延分増加する。CPR と同様の各論理ゲート間に一樣の容量を付加することによって、LPE 後の遅延時間を模擬する容量値を探索した。回路シミュレータを用いて、各論理ゲート間に容量を付加した各ブロックの遅延時間を計算する。

対象回路の最大遅延時間とブロック遅延時間から回帰分析を実行し、CPR を構成する各ブロックの段数を計算する。表 1, 2 に本手法の回帰分析の結果を示す。ブロックの遅延時間を計算する際に各論理ゲート簡に付加した容量は 0.57 pF とした。複数の種類のブロックが選択されており、様々な論理ゲートからなる CPR が選択された。表 1 から、CPR の構成に選択されたブロックの変動パスは最長でも 4 段であることから、変動パスの長さは十分であったと考えられる。

表 1 に基づいて CPR を構成した。配置配線後のサイズは s38584 が 250 μm \times 250 μm 、CPR は 120 μm \times 10.8 μm であり、CPR の面積は対象回路の面積の 2% 程度となった。回路シミュレータを用いて LPE 後に CPR の遅延時間を計算した。CPR による対象回路の最大遅延時間の模擬誤差を表 3 に示す。表 3 の CPR1 は回帰分析によって得られ

表 1 CPR の構成。

| ブロック (変動パス) | 段数 |
|--|----|
| NAND3.02X, INV_08X, NAND2.00p5X, NAND3.01X | 4 |
| INV_08X, NAND2.00p5X | 1 |
| NAND3.04X, INV_04X | 1 |
| NOR2.08X, NAND4.01X | 1 |

表 2 回帰結果。

| 相対誤差 | | | | rmspe |
|--------|--------|--------|--------|--------|
| 平均 | 標準偏差 | 最小値 | 最大値 | |
| 0.0516 | 0.0335 | 0.0004 | 0.1437 | 0.0615 |

表 3 CPR の模擬誤差。

| | 相対誤差 | | | | rmspe |
|------|--------|--------|---------|--------|--------|
| | 平均 | 標準偏差 | 最小値 | 最大値 | |
| CPR1 | 0.0380 | 0.0337 | -0.0141 | 0.1313 | 0.0507 |
| CPR2 | 0.0640 | 0.0352 | 0.0089 | 0.1599 | 0.0730 |

た回路自身の遅延時間の模擬誤差である。CPR1 ではその遅延時間が動作環境によっては模擬すべき最大遅延時間を下回っている。周辺回路等によってこの遅延時間を調整する必要がある。本稿では緩衝ゲートである NAND3.02X を 1 段追加することにより、タイミング制約を満たす表 3 の CPR2 を得た。

4.3 問題点と課題

本稿の CPR を用いる際に必要となる回路について述べる。[1], [3], [9] のように、CPR をリングオシレータとして発振させて用いることができる。安定して発振させるためにリングオシレータのインバータの段数が素数段になるように緩衝ゲート等を適当に挿入する必要がある。また、調整可能な遅延素子を挿入することによってチップ製造後に遅延時間を調整することができる。論理ゲートを挿入する分だけ遅延時間が増大するため模擬精度が悪化する。あるいは、[10], [11] のようにクロックと CPR の位相を比較して用いる。クロック信号が伝搬するパスに遅延素子を挿入することによって、CPR の遅延時間を減少させることができ、CPR の遅延時間をチップ製造後により自由に調節することができる。本稿では 1 本のパスからなる CPR について検証したが、[3] のように複数のパスを用いることによって模擬精度を向上させることができると考えられる。これらの追加回路を実装して、動的な電圧調節を行うことにより対象回路の省エネルギー動作を実証することが今後の課題である。そのほかの本稿の課題として、CP 解析精度の向上、配線遅延やポストレイアウト後の遅延を考慮した CPR 構成法などが課題である。

5. 結論

集積回路の電源電圧や基板電圧を動的に調整して消費エネルギーを削減する手法には CPR が必要である。CPR の

構成をブロックの構成に単純化することで、回帰分析を適用できることを述べた。回帰分析に基づく CPR 構成手法によって、対象回路の最大遅延特性を精度良く模擬できる CPR を構成できることを述べた。検証には 65-nm プロセスを用いて設計した ISCAS'89 ベンチマーク回路の s38584 を利用した。提案手法に基づいて CPR を設計することにより、提案手法が最大遅延時間を誤差 7.3% で模擬できることを示した。

謝辞 本研究は JSPS 科研費 (17H01712 および 16H01713) による支援によって行われた。本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社の協力で行われた。

参考文献

- [1] Hokimoto, S., Ishihara, T. and Onodera, H.: Minimum Energy Point Tracking Using Combined Dynamic Voltage Scaling and Adaptive Body Biasing, *International System-on-Chip Conference*, pp. 1–6 (2016).
- [2] Firouzi, F., Ye, F., Chakrabarty, K. and Tahoori, M. B.: Aging- and Variation-Aware Delay Monitoring Using Representative Critical Path Selection, *ACM Trans. Des. Autom. Electron. Syst.*, Vol. 20, No. 3, pp. 39:1–39:23 (2015).
- [3] Chan, T. B., Gupta, P., Kahng, A. B. and Lai, L.: Synthesis and Analysis of Design-Dependent Ring Oscillator (DDRO) Performance Monitors, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Vol. 22, No. 10, pp. 2117–2130 (2014).
- [4] Das, S. et al.: A self-tuning DVS processor using delay-error detection and correction, *IEEE Journal of Solid-State Circuits*, Vol. 41, No. 4, pp. 792–804 (2006).
- [5] 佐藤寿倫, 国武勇次: ばらつき耐性を持つカナリア FF を利用したデザインマージン削減による省電力化, *情報処理学会論文誌*, Vol. 49, No. 6, pp. 2029–2042 (2008).
- [6] Park, J. and Abraham, J. A.: A fast, accurate and simple critical path monitor for improving energy-delay product in DVS systems, *IEEE/ACM International Symposium on Low Power Electronics and Design*, pp. 391–396 (2011).
- [7] Makhorin, A.: GNU Linear Programming Kit, (online), available from (<http://www.gnu.org/software/glpk/>).
- [8] Brglez, F., Bryan, D. and Kozminski, K.: Combinational profiles of sequential benchmark circuits, *IEEE International Symposium on Circuits and Systems*, pp. 1929–1934 vol.3 (1989).
- [9] Ikenaga, Y. et al.: A 27% active-power-reduced 40-nm CMOS multimedia SoC with adaptive voltage scaling using distributed universal delay lines, *2011 Symposium on VLSI Circuits - Digest of Technical Papers*, pp. 186–187 (2011).
- [10] Bowman, K. A. et al.: All-Digital Circuit-Level Dynamic Variation Monitor for Silicon Debug and Adaptive Clock Control, *IEEE Transactions on Circuits and Systems I: Regular Papers*, Vol. 58, No. 9, pp. 2017–2025 (2011).
- [11] Cho, M. et al.: Postsilicon Voltage Guard-Band Reduction in a 22 nm Graphics Execution Core Using Adaptive Voltage Scaling and Dynamic Power Gating, *IEEE Journal of Solid-State Circuits*, Vol. 52, No. 1, pp. 50–63 (2017).