

② 機械学習とFPGAを用いた配線問題解法への取り組み

川村一志 長谷川健人 多和田雅師 戸川 望 | 早稲田大学

LSI設計に欠かせない配線問題への取り組み

近年のモバイル・IoT (Internet of Things) デバイスの普及とアプリケーションの多様化に伴い、デバイス上の計算処理量が増加し、大規模なシステムを集積化し1つのLSI (Large-scale integrated circuit) に封入することが要求されている。大規模システムではモジュール間の通信量が多くなり、端子と端子を接続する配線の面積がLSIの大部分を占める。配線の面積などハードウェアコストを最小化するように端子間を配線で接続する問題は組合せ最適化問題の一種であり配線問題と呼ばれる。配線問題はNP困難問題であり、最適解を求めるために膨大な計算時間を要する。加えて、微細LSI製造技術の光学的な限界から、集積度を高めるためのLSI 3次元積層技術が研究されており、配線問題を解くのにかかる計算時間はますます大きくなっている。

解の候補となる配線パターンの集合(解空間)が大きい配線問題においては、厳密な最適解を求めることが現実的に不可能となる。一方で、配線問題の解は厳密な最適解ではなく近似された準最適解でも実用に耐える可能性がある。そのため実際には、計算時間と解の最適度を考慮して、近似された準最適解を求めるヒューリスティックなアプローチが使用される。ヒューリスティックなアプローチでは、探索と呼ばれる行為を繰り返し、解候補を列挙、あるいは解空間を限定し最終的な準最適解を求める。有限の時間で探索を終了させるためには、効率よく解空間を限定していく、ある意味熟練者の経験則のようなものを実装すればよい。こ

の“経験則”をアルゴリズム上で再現するための技術として機械学習が注目されている。本稿では機械学習を用いた2次元および3次元の配線手法を紹介し、配線問題の解空間を効率的に限定するために機械学習がどのように活用されるのかを解説する。さらに、ヒューリスティック配線の探索時間を削減するための取り組みとしてFPGA (Field-programmable gate array, 再構成可能なハードウェア) を用いた配線問題解法システムを紹介する。

機械学習を用いた2次元配線手法

広大な解空間を持つ配線問題においては、探索対象となる解空間を適切に限定することが重要となる。その方法の1つとして、機械学習の活用が考えられる。機械学習では、あらかじめ用意された解答データベースを教師データとして学習することで、未知の問題から解答を予測する解答予測器を構成可能である。過去の配線パターンを反映した配線結果を解答予測器により得ることができれば、解探索時の大きな手助けとなる。

機械学習を用いた2次元配線手法のフローを図-1に示す。フローは5つのフェーズからなる。Phase 1では、配線データベースを機械学習し、配線予測器を構成する。ニューラルネットワークを用いて配線予測器を構成することにより、過去の配線パターンが持つ潜在的かつ複雑な特徴を反映することができる。Phase 2では、Phase 1で構成した配線予測器を用いて、配線問題の配線を予測する。我々が実施した計算機シミュレーションの結果、Phase 2の時点で約79%の配線が正しく

予測できていることを確認している。Phase 3以降では、Phase 2の時点で正しく配線することのできなかった配線を再配線する。Phase 3にて、配線が途切れている等の理由から正しく配線できていない領域を改善範囲として指定し、Phase 4で改善範囲に対してのみヒューリスティックなルーティングアルゴリズムを適用する。Phase 4で用いるルーティングアルゴリズムとしてさまざまな手法が候補に挙がるが、たとえば、タッチ&クロス法¹⁾に基づくルーティングアルゴリズムを採用することが考えられる。Phase 4で正しい配線結果が

得られなかった場合は、Phase 5で改善範囲を拡張して再度Phase 4のルーティングを試みる。

機械学習を用いた2次元配線手法における配線予測(Phase 2)の詳細を図-2に示す。配線予測フェーズでは、配線領域中の各マスの配線形状をニューラルネットワークで構成された配線予測器を用いて予測する。図-2にあるように、対象となるマスの周囲に存在する端点の配置情報に基づいて配線予測がなされる。我々が実施した計算機シミュレーションを通して、高い予測精度を得るためには周囲9×9マス以上の端点情報が必要であることが分かっている。本手法により、ヒューリスティックなルーティング手法のみでは解を導出できなかった配線問題(36×36マス相当の問題)に対しても解を導出することに成功している。

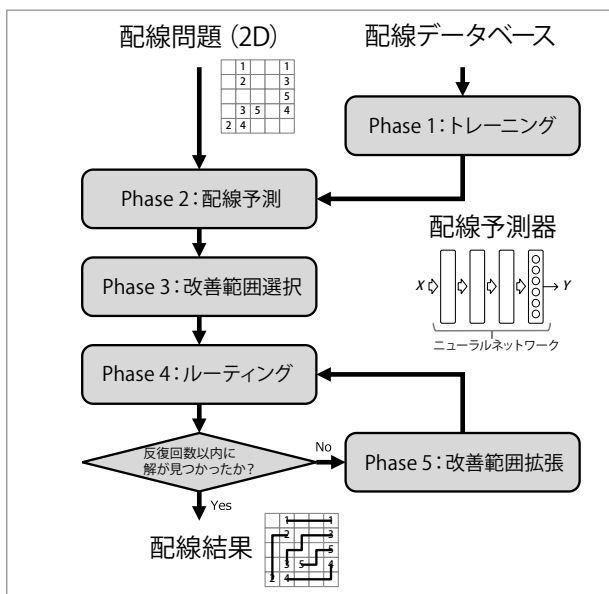


図-1 機械学習を用いた2次元配線手法

機械学習を用いた3次元配線手法

3次元の配線問題では、平面的な配線だけでなく階層を跨いだ配線が必要となる。配線が階層を跨ぐためにはビアと呼ばれる接続ポイントを通過する必要がある。通常、複数の配線が1つのビアを共有することは許されない。したがって、3次元の配線をする際には端点とその端点が通過するビアの対応関係を決めておく必要がある。その組合せ数により(2次元の配線問題と比較して)

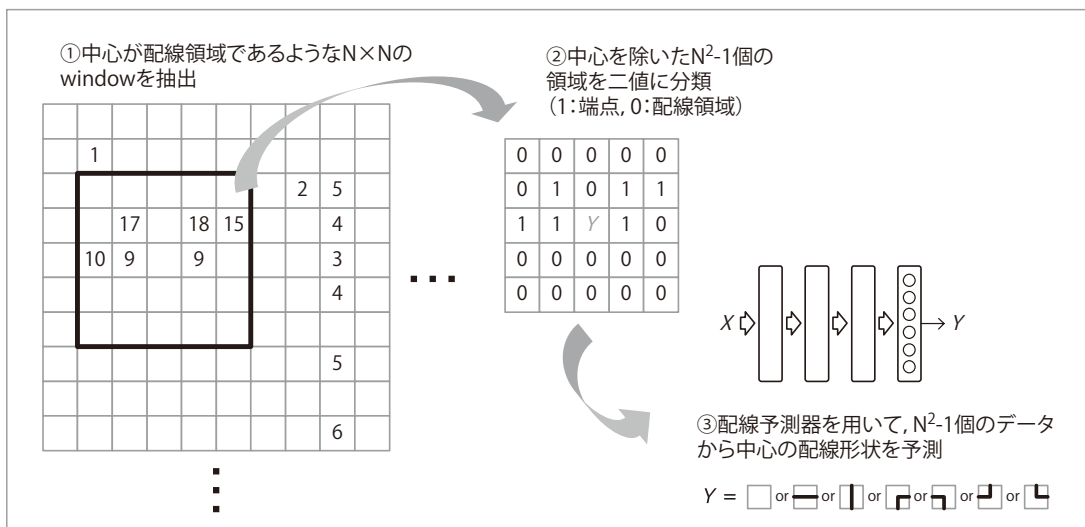


図-2 配線予測 (図-1, Phase 2)

解空間が一気に大きくなる。機械学習により過去の配線パターンから端点とビアの対応関係をあらかじめ限定することができれば、解探索時の大きな手助けとなる。

機械学習を用いた3次元配線手法のフローを図-3に示す。フローは3つのフェーズからなる。Phase 1では、配線データベースを機械学習し、ビア予測器を構成する。ビア予測器は2次元配線問題における配線予測器同様、ニューラルネットワークで構成され、端点が通過するビアのおおよその位置を予測するものである。Phase 2では、Phase 1で構成したビア予測器を

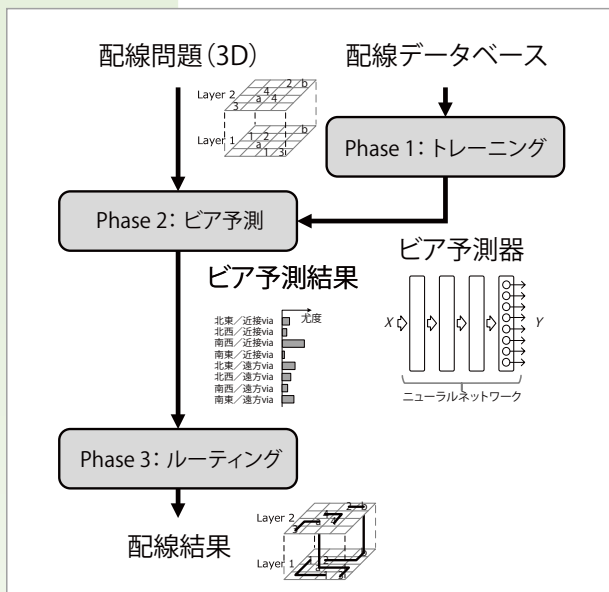


図-3 機械学習を用いた3次元配線手法

用いて、各端点が通過するビアの位置を尤度リストとして出力する。すなわち、Phase 2にて各端点が通過するビアが「おおよその位置にありそうか」を予測し、Phase 3で探索する解空間を限定する。Phase 3では、Phase 2の結果に基づき、ヒューリスティックなルーティングアルゴリズムを適用し、配線結果を得る。

機械学習を用いた3次元配線手法におけるビア予測(Phase 2)の詳細を図-4に示す。ビア予測フェーズでは、各端点が通過するビアのおおよその位置をニューラルネットワークで構成されたビア予測器を用いて予測し、尤度リストとして出力する。尤度リストには、8通りの位置(遠・近と4方向の組合せ)のそれぞれについて、対象となる端点が通過するビアがその位置に存在する可能性を数値化して記録する。図-4にあるように、ビア予測は対象となる端点の周囲に存在するほかの端点およびビアの配置情報に基づいてなされる。

FPGA を用いた配線システム

ヒューリスティックなルーティング手法を用いて配線問題を解くためには高速な解法システムが必要となる。また、解の収束性を考慮に入れると、複数のパラメータで同時並行的に試行するような解法システムが望ましい。これらをソフトウェアで実現するためには高性能

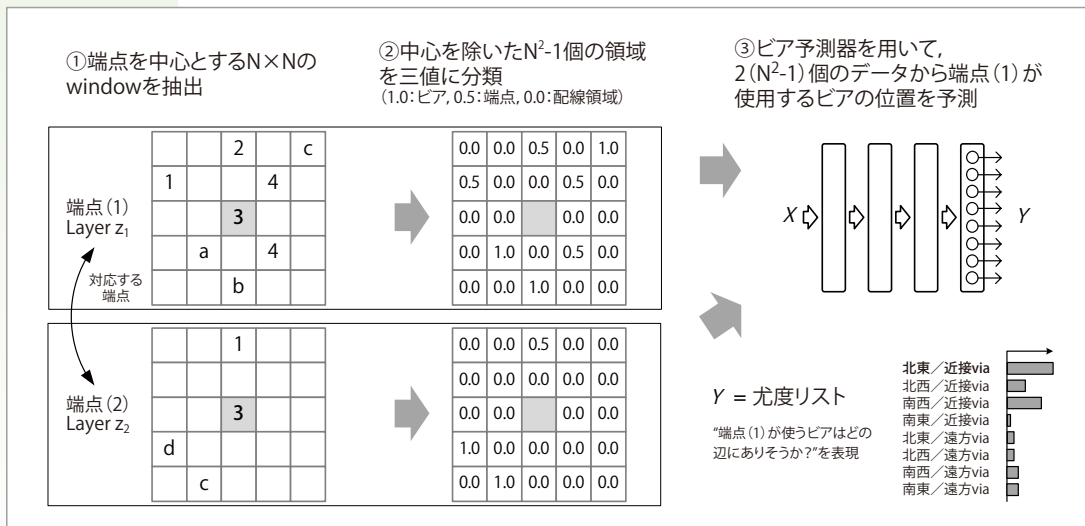


図-4 ビア予測
(図-3, Phase 2)

な CPU が必要となることから、我々は複数の FPGA に配線手法を実装し、複数のパラメータで並列実行可能な配線問題解法システムを構築することにした。本章では、我々が構築した FPGA を用いた配線問題解法システムを紹介する。

図-5 に FPGA を用いた配線問題解法システムの外観を示す。本システムは我々が 2017 年に構築したものであり、配線手法を実装するための FPGA ボードとして Xilinx 社の PYNQ-Z1 ボードを 8 台使用している。PYNQ-Z1 ボードには ZYNQ コア (FPGA) と ARM プロセッサが搭載されている。これらは共有メモリを介して接続されており、1つのボードで Linux OS 上でのソフトウェア動作と FPGA 上でのハードウェア動作が実現される。さらに、これらのボードを集中管理するホストマシンとして Raspberry Pi を使用した。

配線問題を解く際は、Raspberry Pi から 8 台の PYNQ-Z1 に対して問題と乱数のシード値を配信する。

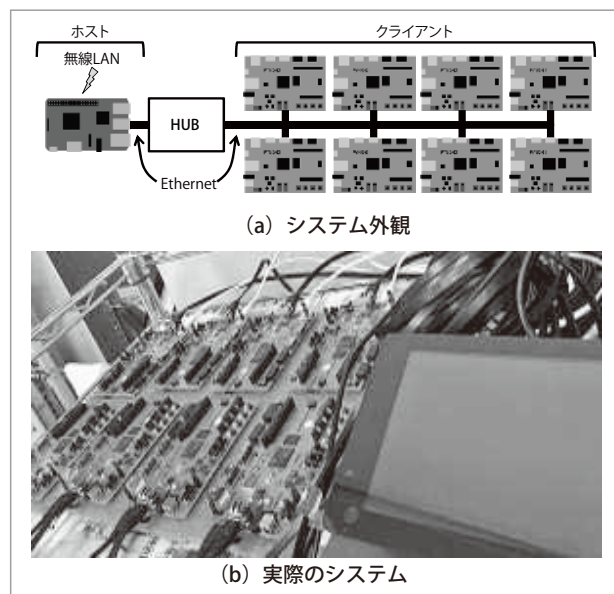


図-5 8台のFPGAボードを用いた配線問題解法システム

表-1 3次元配線問題の解答時間比較 [sec]

問題	Size	端点の総数	CPU	FPGA
A	72 × 72 × 8	6	0.208	0.00409
B	8 × 8 × 4	20	0.137	0.00167
C	15 × 15 × 4	81	10.018	0.236
D	60 × 60 × 4	999	9.389	0.274

このとき、予測器を用いて得た予測結果も同時に送信する。乱数のシード値はそれぞれのボードで異なる値とし、8台のPYNQ-Z1上で与えられたシード値に基づき問題を解く。解が収束した場合はRaspberry Piに解答を送信する。解が収束せずに解答が得られなかった場合もRaspberry Piにその旨を送信する。Raspberry Piでは各PYNQ-Z1から解答を回収し、最も早く解けたものを解答とする。一定時間以内にいずれのPYNQ-Z1からも解答が得られなかった場合、システム全体として解答が得られなかったものとする。

表-1にFPGA上で実際に3次元配線問題を解いたときの解答時間を示す。比較対象として用いたのは、Raspberry Pi上で動作させたソフトウェアである。ソースコードはC++で実装した同一のものであり、Raspberry Piで動作させる場合はソフトウェアとしてコンパイルし、FPGA上で動作させる場合は高位合成ツール(Xilinx社のVivadoHLS 2016.1)を用いて実装した。

本稿で紹介したような“機械学習やFPGAを活用して配線問題を解くシステム”は現状実用レベルに達していない。しかしながら、今後ますます複雑化する配線問題の効率的な解決に向け、これらの技術が非常に重要な意味を持つであろうことが予想される。

参考文献

- 1) Kawamura, K., Shindo, T., Shibuya, T., Miwatari, H. and Ohki, Y.: Touch and Cross Router, 1990 IEEE International Conference on Computer-Aided Design, pp.56-59 (Nov. 1990).

(2017年11月21日受付)

■川村一志 (正会員) kazushi.kawamura@togawa.cs.waseda.ac.jp

2016年に早稲田大学大学院情報理工学専攻修了。博士(工学)。現在、同大学理工学術院総合研究所次席研究員。

■長谷川健人 (学生会員) kento.hasegawa@togawa.cs.waseda.ac.jp

2017年に早稲田大学大学院情報理工学・情報通信専攻修士課程修了。現在、同博士後期課程在籍。

■多和田雅師 (正会員) tawada@togawa.cs.waseda.ac.jp

2015年に早稲田大学大学院情報理工学専攻修了。博士(工学)。現在、同大学情報通信学科助教。

■戸川 望 (正会員) togawa@togawa.cs.waseda.ac.jp

1997年に早稲田大学大学院電気工学専攻修了。博士(工学)。現在、同大学情報通信学科教授。