

# LSIの 配線問題

— DA シンポジウムの配線問題解法コンテスト —

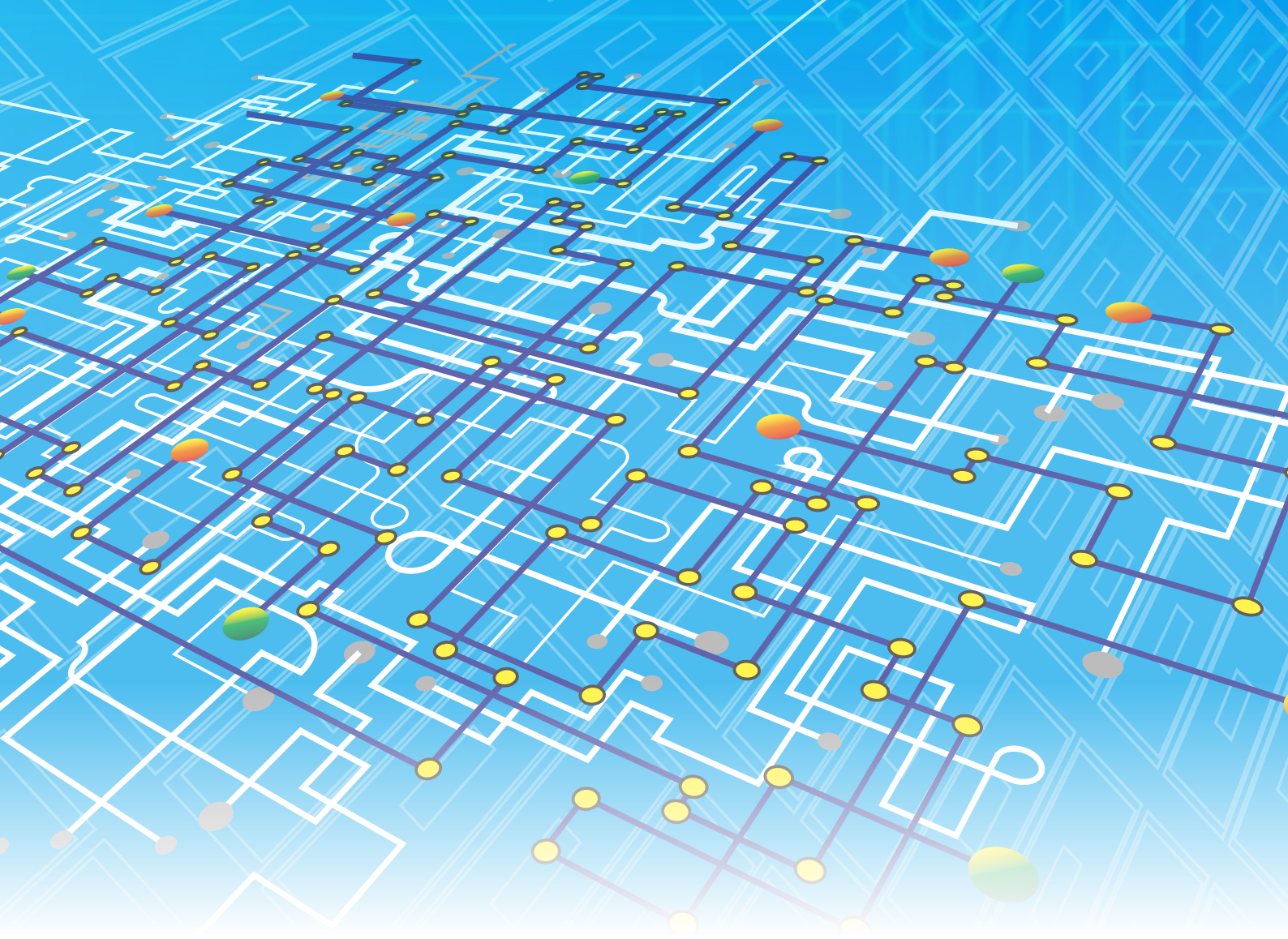
## 編集にあたって

島村光太郎 | (株) 日立製作所

配線問題は、電子システムの設計自動化(EDA: Electronic Design Automation)の分野で古くからある重要な問題の1つである。たとえば、身近な電子機器であるパソコンやスマートフォンなどを開けてみると、プリント基板と呼ばれる板の上にLSI(大規模集積回路)を中心とする多数の電子部品が搭載されており、プリント基板に埋め込まれた配線で接続されている。さらに、LSIの内部に目を向けると、シリコンで作られた多数のトランジスタがシリコン上に形成された複数の配線層を使用して接続されている。これらの配線の経路を決めるのが配線問題である。

配線は交差すると短絡して信号を正しく伝えられなくなるため、ほかの配線との交差を避けるためにしばしば迂回する必要が発生する。配線問題の解の品質が低い(迂回による配線経路長の増加率が高い)と、信号の伝達に必要な時間が増加して性能が低下したり、所定の配線層数ですべての配線が収容できなくなって部品の搭載密度を下げざるを得なくなったりする。つまり、配線問題の解法は電子機器の高性能化や小型化を支える重要な基盤技術の1つである。また、特にLSIはチップサイズがコストに与える影響が大きいため、低コスト化を支える技術ともなっており、その点でも重要性が高い。

本会 システムとLSIの設計技術研究会では、2012年から配線問題の解法を競うコンテストを開催している。配線問題の解法にはさまざまなアプローチがあるが、本小特集ではコンテストの参加チームが採用した解法を紹介することとした。



まず最初に、コンテストの参加チームの解法を紹介する前置きとして、LSIの配線問題の概要と、古くから用いられている典型的な解法である迷路法に関して高島氏に解説していただいた。その後、DAシンポジウムの解法コンテストについて筆者が解説した。

次に、参加チームの解法の一番目として、機械学習とFPGA（再構成可能なハードウェア）を用いた解法について、川村氏、長谷川氏、多和田氏、戸川氏に解説していただいた。機械学習は画像認識などの分野で最近注目を集めているが、配線問題にも適用できる可能性が示されたことは注目に値する。

次に、SAT（充足可能性判定）を用いた解法について、松永氏、田村氏に解説していただいた。解を得るのに必要な時間を短縮する手法や、後処理で解の品質を向上する手法に関しても解説されており、実用性の高い記事となっている。

次に、整数計画法を用いた解法について、松井氏、

滝田氏に解説していただいた。整数計画法は目的関数を最小化する手法であり、最適解を得られる保証はないものの質の高い解を優先的に探索できる点が特徴である。

最後に、ZDD（ゼロサプレス型二分決定グラフ）を用いた解法について、湊氏に解説していただいた。ZDDは比較的規模の小さい問題に対しては存在するすべての解を列挙することが可能であり、最適解を求めるのに適している点が特徴である。

各チームの解法に使用されている技術は汎用性の高いものであり、配線問題以外でもさまざまな分野で活用されている。本小特集を通じて配線問題に関して理解を深めていただくことはもちろんであるが、使用されている個々の技術に関する理解も深めていただき、配線問題以外への活用もご検討いただけると幸いである。

(2017年12月21日)