

トポロジー可変リングオシレータを用いた電圧感度の小さい動作温度モニタ

岸本 真^{1,a)} 石原 亨¹ 小野寺 秀俊¹

概要: 本稿は、回路トポロジー可変なリングオシレータを用いた電源電圧依存性の小さい動作温度モニタ回路についての提案を行う。トランジスタのサブスレショルドリーク電流は温度に対して指数関数的に変化することが知られている。また強反転電流を使用する場合と比較し、その電源電圧依存性を低減させることが可能である。トポロジー可変リングオシレータはその構成により、しきい値電圧変動や温度変動に対する周波数の感度が異なる。リングオシレータの周波数がリーク電流に依存して変化する構成を用いることで、温度に対し周波数を大きく変化させることが可能である。商用の CMOS 65 nm プロセステクノロジーを用いた実測及び計算機実験により、提案するモニタ回路についての特性及び性能評価を行った。電源電圧による発振周波数の変動を実測したところ、室温での 0.4 V から 1.0 V までの範囲において 2.6%であった。また 20 °C と 80 °C の 2 点での補正後の温度推定誤差は 10 °C から 100 °C までの範囲において実測では ± 0.5 °C 以下であった。

An On-Chip Temperature Monitor using a Topology Reconfigurable Ring Oscillator with a Low Supply-Voltage Sensitivity

TADASHI KISHIMOTO^{1,a)} TOHRU ISHIHARA¹ HIDETOSHI ONODERA¹

Abstract: This paper proposes a temperature monitor circuit that exhibits a low supply-voltage sensitivity adopting a circuit topology of a reconfigurable ring oscillator. The frequency of each topology of this circuit has different sensitivities to the process variation, supply voltage and temperature. The circuit topology of the temperature monitor determines its frequency by subthreshold leakage current. Subthreshold leakage current varies largely by the variation of threshold voltage and temperature. Another important characteristic of the monitor is its low supply-voltage sensitivity. Subthreshold leakage current has low supply sensitivity compared with strong inversion current. In this paper, we show the characteristics and ability of this monitor circuit by simulation and measurement of the test chip fabricated in a 65 nm CMOS process. The measured oscillation frequency of the test chip varies only 2.6% under a wide range of supply-voltage from 0.4 V to 1.0 V at room temperature. A temperature estimation error ranges within ± 0.5 °C over a temperature range of 10 °C to 100 °C in the measurement.

1. 序論

近年、集積回路は製造プロセスの微細化により高性能化、高集積化が可能となっている。しかし、その一方でパラメータのばらつきによる LSI への影響は大きくなっている。集積回路の特性にばらつきを与える主な要因としてプロセス変動量 (P)、電圧 (V)、動作温度 (T) が知られている [1]。このばらつきは一般に PVT ばらつきと呼ばれる。

プロセス変動量としては、トランジスタのしきい値電圧変動やチャネル長変動が挙げられる。プロセス変動によるしきい値電圧変動の影響として、トランジスタに流れる電流値の変化が挙げられる。しきい値電圧変動は静的電力に影響を及ぼす。トランジスタに流れる電流量が変わるため回路素子の遅延時間に対しても影響を与える。高温状態では、BTI などの影響により、トランジスタの劣化が加速する [2]。また回路のリーク電流も増加する。最大消費電力に制約が存在する場合、リーク電流の増加による静的電力の増加は回路性能の制約となる。チップの温度の観測はこ

¹ 京都大学大学院情報学研究所

^{a)} tkishimoto@vlsi.kuee.kyoto-u.ac.jp

これらの影響を観測するために重要となる。電圧も同様に回路に対して影響を与える。回路特性を正確に推定することで、回路特性に応じて基板バイアス等でしきい値電圧の調整を行うことができる。これにより設計時に想定される回路特性からの変動量を補償することができる [3]。

温度を推定するためにはモニタ回路の周波数が温度に対して大きく変化する必要がある。温度の変化に対しその量が大きく変化するものとしてサブスレシヨルドリーク電流が挙げられる。以下サブスレシヨルドリーク電流のことをリーク電流と表記する。そのためリーク電流により発振周波数が決まるリングオシレータを実現すれば、周波数変動量からしきい値電圧や温度の変動を推定することができる。本稿ではリーク電流を用いた構成について、その周波数の電源電圧依存性についての議論を行う。

動作温度を推定する手法として、例えば文献 [4] ではプロセス変動量を推定するための再構成可能なリングオシレータ [5] を用いて発振周波数から動作温度を推定する手法が提案されている。本稿では文献 [5] の回路をより温度に対して安定して推定を行えるように改良を行った。提案回路を用いることで、プロセス変動量も推定可能である。プロセス変動量については文献 [5], [6] で提案されている手法を用いることで推定可能である。そこで本稿では提案回路を用いた温度推定について主に議論を行う。

本稿の構成を以下に示す。2節ではリーク電流を用いることの利点について説明を行う。3節ではリーク電流を活用し発振を行うリングオシレータ回路についての提案を行う。4節では商用 65 nm プロセスを用いた計算機実験および実測における結果についての紹介を行う。5節では提案回路の温度モニタ回路としての性能についての評価を行う。6節で本稿のまとめを行う。

2. リーク電流の利用による利点

トランジスタのリーク電流は温度変動に対して指数関数的な変化を示すことが知られている。そのため、リーク電流に依存して遅延が変動する素子を用いることで、温度に対して遅延が敏感に変動する。この特性を利用し、リーク電流を活用した温度モニタ回路も提案されている [7-9]。

図 1 に、あるプロセスを仮定した場合のリーク電流の温度依存性をしめす。図 1 よりリーク電流は温度に対して指数関数的に変化していることがわかる。リーク電流は以下の式で表すことができる [10]。

$$I_{\text{leak}} = I_0 e^{\frac{V_{\text{gs}} - V_{\text{th}} + \lambda V_{\text{ds}} - \gamma V_{\text{sb}}}{n v_T}} \quad (1)$$

ここで $I_0 = \mu C_{\text{ox}} (W/L) v_T^2 e^{1.8}$ である。 $v_T = k_B T / q$ は熱電圧、 n はサブスレシヨルドスイング係数、 λ は DIBL 係数、 k_B はボルツマン定数、 q は素電荷、 T は絶対温度である。 μ はキャリアの移動度、 C_{ox} はトランジスタの単位面積あたりのゲート容量である。 W はトランジスタのゲート

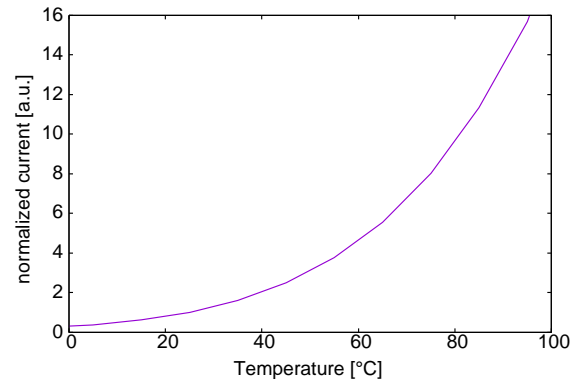


図 1: リーク電流の温度依存性.



図 2: 強反転電流測定回路 図 3: リーク電流測定回路

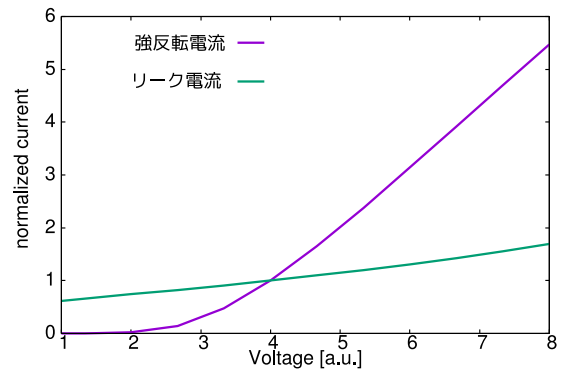


図 4: 強反転電流とリーク電流の電源電圧依存性の比較.

ト幅、 L はトランジスタのチャネル長である。 V_{gs} はゲートソース間電圧であり、 V_{ds} はドレインソース間電圧である。式 (1) において電源電圧に依存する項は V_{gs} が固定の場合、 DIBL に依存する項の λV_{ds} のみである。 DIBL 係数は一般的に 0.1 程度であるため DIBL に関する項は非常に小さくなる。そのため λV_{ds} に関してテイラー展開を行うと

$$I_{\text{leak}} = I_0 e^{\frac{V_{\text{gs}} - V_{\text{th}} - \gamma V_{\text{sb}}}{n v_T}} + \frac{1}{n v_T} I_0 e^{\frac{V_{\text{gs}} - V_{\text{th}} - \gamma V_{\text{sb}}}{n v_T}} (\lambda \cdot V_{\text{ds}}) \quad (2)$$

となる。式 (2) より、リーク電流は電源電圧に関する一次式に近似することができる。よってリーク電流は電源電圧に対しては一次関数的に緩やかに変化する。

強反転領域での電流は式 (3) で表すことができる [11]。

$$I_{\text{ds}} = \frac{1}{2} \mu C_{\text{ox}} \frac{W}{L} (V_{\text{gs}} - V_{\text{th}})^\alpha \quad (3)$$

強反転領域動作の場合、ゲートにかかる電圧も変化するため、電源電圧依存性は大きくなる。電源電圧に対して、流れる電流は α 乗の式となる。

ここで強反転電流により遅延が決定される回路を強反転駆動回路と呼ぶ。強反転駆動回路の場合、ゲートソース間電圧、ソースドレイン間電圧ともに V_{SS} から V_{DD} まで変化

する。そのため強反転駆動回路に流れる電流を模擬するためダイオード接続を行ったトランジスタを用いた。強反転電流解析のためのテスト回路が図2である。またリーク電流により遅延が決定される回路をリーク駆動回路と呼ぶ。リーク駆動回路の場合、トランジスタのゲートソース間電圧は固定であり、ソースドレイン間電圧のみが変化する。それを模擬した回路が図3である。図2, 3の回路を用いて強反転電流、リーク電流の電源電圧依存性を比較した結果が図4である。図4において横軸は電源電圧であり、縦軸はリーク電流、強反転電流それぞれについて正規化を行った際の電流である。図4より強反転電流は電源電圧がしきい値電圧を超えたあたりから急激に増加している。その一方でリーク電流は電源電圧に対し、強反転電流と比較して緩やかな増加である。リーク電流と強反転電流を比較した場合、リーク電流のほうがより電圧依存性が小さい。

インバータの遅延時間はトランジスタに流れる電流と、負荷容量に蓄積される電荷量に依存する。負荷容量を C_1 とおいた時に遅延時間 D は近似的に式 (4) で表すことができる。

$$D = k_1 \cdot \frac{C_1 V_{DD}}{I} \quad (4)$$

ここで k_1 は論理しきい値などで決定される係数であり、 I はトランジスタに流れる電流量である。式 (4), (2), (3) よりトランジスタを流れる電流は電源電圧が増加すると遅延時間を減少させる方向に働く。一方式 (4) 中の $C_1 V_{DD}$ は、電源電圧が増加すると遅延時間を増加させる方向に働く。強反転駆動回路の場合、電源電圧変動に対し、流れる電流は2次関数的に変化する。そのため電源電圧に対し、遅延時間は急激に変動する。しかしリーク駆動回路の場合、電源電圧変動に対し、強反転電流と比べ流れる電流は一次関数的な変化にとどまる。そのため電源電圧に対し、遅延時間は緩やかに変動する。

実際に CMOS 65 nm プロセスを仮定したパラメータを用いて検証を行った。強反転駆動回路の場合、電源電圧が 0.4 V から 1.0 V まで変化した時の遅延の変動量は式 (4) より、989%程度となる。一方でリーク駆動回路の場合、電源電圧が 0.4 V から 1.0 V まで変化した時の遅延の変動量は式 (4) より 30%程度になる。よって、リーク駆動回路の場合、強反転駆動回路を使用する場合と比べ大幅に遅延時間の電源電圧依存性を減少させることができる。

以下の議論ではこのリーク電流を積極的に活用可能なモニタ回路についての提案を行う。

3. トポロジー可変リングオシレータ

本節ではリーク電流を積極的に活用可能な回路についての提案を行なう。

動作中の回路の PVT ばらつきを直接測定することは現実的ではなく、回路の電流やモニタ回路の周波数などで間接的な測定を行うことが一般的である。また PVT ばら

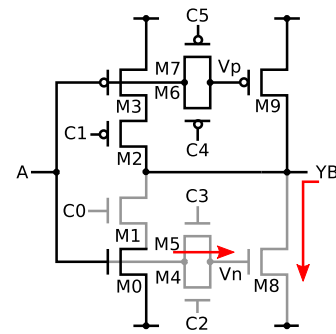


図 5: 再構成可能リングオシレータ [5] の温度測定構成 [4].

つきは回路に対して同時に作用する。そのため、PVT ばらつきを分離することは困難である。ばらつき量を分離するためにはその他の量の影響を低減させる必要がある。

温度モニタとして用いる場合を考える。プロセスばらつきに関しては静的な変動であるため、キャリブレーションにより補正可能である。しかし電源電圧変動は動的な変動である。そのため、電源電圧変動に対して周波数感度の低いモニタ回路が求められる。

PVT ばらつきを測定するためには様々な手法が提案されている。そのなかでリングオシレータを用いた推定はその実装及び測定の容易さから一般的に用いられている方法の一つである [5,6]。例として、文献 [6] ではプロセス変動量の推定のためにリングオシレータの組み合わせを用いている。また文献 [5] では再構成遅延セルを用い、1つの回路で複数のばらつき要因に対して、異なる感度を持った構成を実現している。リーク電流を利用した回路として、文献 [5] の回路を改良し、リーク電流を用いてプルダウン、プルアップを行う構成を実現することで温度モニタ回路として用いる方法も提案されている [4]。図7に再構成可能遅延セルの構成のうち文献 [4] で提案されているリーク電流による温度推定構成について示す。その動作原理について簡単に示す。図5中の M1, M4, M5 のトランジスタを OFF にする。このとき、図5中 Vn がわずかに上昇する。この影響で M8 のトランジスタのリーク電流が他のリークパスに流れる電流よりも支配的になる。よって M8 のトランジスタによって出力 YB のプルダウンを行う。

2節で述べたようにリーク電流は温度に対して指数関数的に変化する。そのため、リーク電流により発振周波数が決定される回路構成の場合、温度に対して周波数が高い感度を持つ。よって温度モニタ回路として利用可能である。

しかし、文献 [4] の手法では問題点が存在している。図5の回路において、リーク電流を用いたプルダウンで支配的になっているのは M8 のトランジスタである。しかし M8 のリーク電流はフローティングノードである Vn の電圧により決定される。フローティングノードとなる M8 のゲート電圧 Vn は、入力ノード間との寄生容量などによって決まるため、予測性に問題が生じる。また高インピーダンスであるため外来ノイズの影響を受けやすいことが予測され

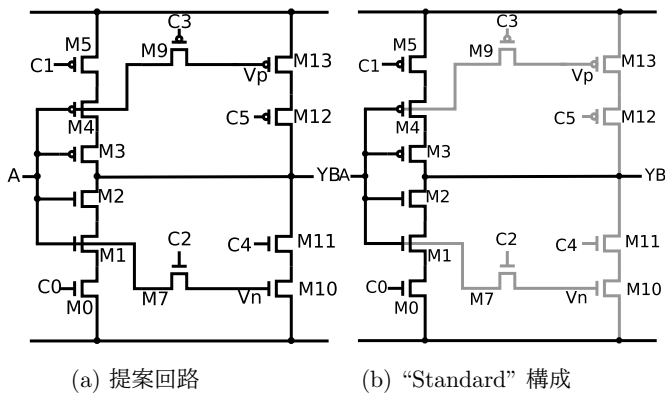


図 6: 提案するトポロジー可変リングオシレータ及び回路構成例。

表 1: 提案回路における温度モニタとして利用可能な構成。

| C5 | C4 | C3 | C2 | C1 | C0 | Mode |
|----|----|----|----|----|----|----------|
| 1 | 0 | 1 | 0 | 0 | 0 | “N_leak” |
| 1 | 0 | 1 | 0 | 1 | 1 | “P_leak” |

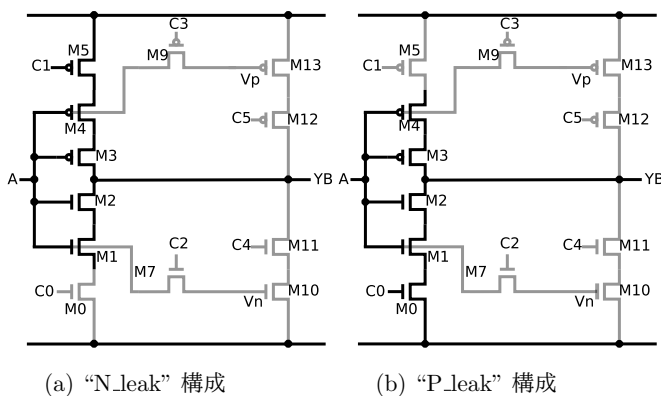


図 7: 提案回路の温度推定構成。

る。このため理想的なリーク電流の特性からずれてしまう可能性がある。

そこで図 5 の回路の前段と後段に意図しないリークパスを遮断するためのトランジスタを配置した図 6 の回路を提案する。図 6(b) に構成の例を示す。この構成を“Standard”構成と呼ぶ。この構成はスタックドインバータと同様の動作を行う。提案回路は文献 [5] の手法と同様の手法を用いることでプロセス変動量についても推定可能である。本稿では特に温度推定のための構成に着目して議論を行う。

提案する温度測定構成を図 7 に示す。また表 1 に温度モニタとして利用可能な構成及びその構成の信号入力について示す。図 7(a) は NMOS トランジスタのリーク電流を用いてプルダウンを行う。プルアップに関しては通常のインバータと同様の動作を行う。図 7(b) は PMOS トランジスタのリーク電流を用いてプルアップを行う。プルダウンに関しては通常のインバータと同様の動作を行う。文献 [4] の手法と比較し、リーク電流が流れるトランジスタのゲー

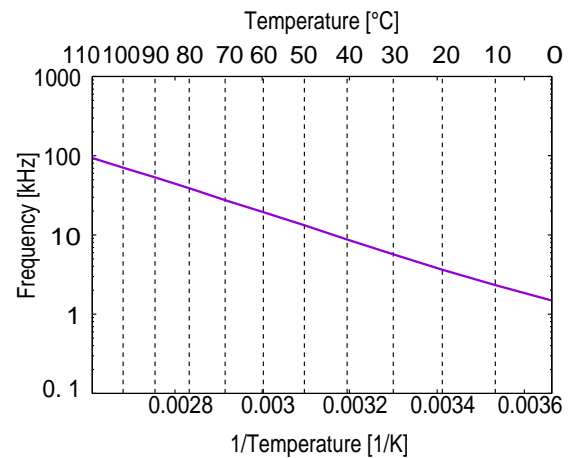


図 8: 電源電圧 1.0 V におけるシミュレーションにおける“N_leak”構成の周波数の温度依存性。

ト電圧は 0 となる。そのためトランジスタのゲートソース間電圧が 0 の状態での特性を利用可能である。

この回路の問題点としては、プロセステクノロジーに依存したゲートリークが挙げられる。トランジスタ数が増えたことでトランジスタのゲートリークも増大している。この影響で特にしきい値電圧が高く、サブスレシールドリーク電流が小さくなる低温領域において、サブスレシールドリーク電流の他にゲートリーク電流の影響も大きくあらわれる。そのため、低温領域で理想的なサブスレシールド特性から乖離してしまうといった問題がある。

4. 実測及びシミュレーション結果

本節では商用 65 nm プロセスによるシミュレーションおよび実測による提案回路の温度特性及び電圧特性を示す。ここでは温度測定構成として“N_leak”構成を主に取り上げる。今回使用したプロセスの場合、コーナー条件およびゲート幅の組み合わせによっては“N_leak”構成、“P_leak”構成ともに発振を行わない可能性がある。よって発振の安定性のために、ゲート幅に関しては NMOS トランジスタの大きさを PMOS トランジスタの大ききの 3 倍に設定した。リングオシレータの段数は 127 段とした。図 8 にシミュレーションにおける“N_leak”構成の温度に対する周波数依存性を示す。対数プロットを行った時に、周波数は温度の逆数に対してほぼ直線的に変化する。この特性は文献 [4] で示されている特性と同様の特性である。そのため文献 [4] と同様の手法を用いることで、温度推定が可能である。

図 9 に商用 65 nm で作成された提案回路のチップ写真について示す。“N_leak”構成および“Standard”構成について、その周波数の電源電圧依存性について実際のチップを用いて測定を行った。その結果を図 10 に示す。図 10 では、それぞれの構成について電源電圧 0.8 V の周波数で正規化を行なっている。図 10 より“N_leak”構成の周波数は

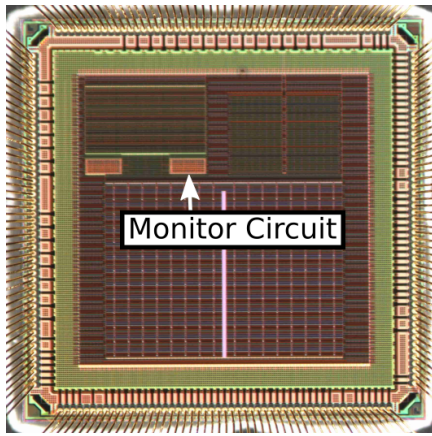


図 9: 商用 65 nm プロセスを用いて作成されたテストチップ全体像.

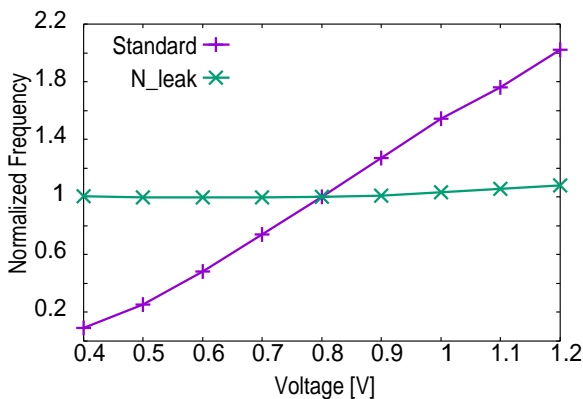


図 10: 室温での“N_leak”構成および“Standard”構成の周波数の電源電圧依存性の比較.

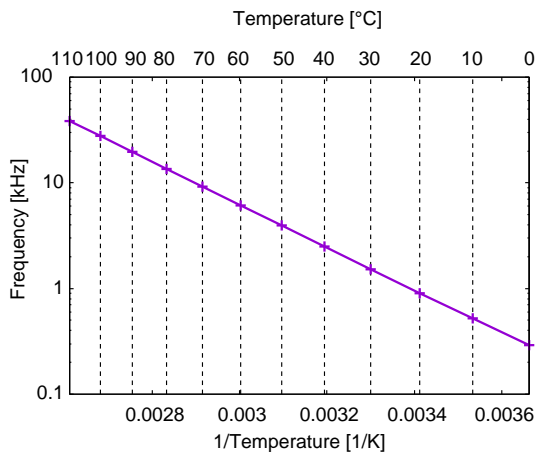


図 11: “N_leak”構成, 電源電圧 1.0 V における周波数の温度依存性.

電源電圧が 0.4 V から 1.0 V の範囲ではほぼ一定である。周波数が 0.4 V から 1.0 V まで変化した時に周波数の変化率は 2.6%以下となる。一方で “Standard” 構成については 0.4 V から 1.0 V まで変化した時に 1573%の変化となる。

周波数の温度依存性について測定した結果を図 11 に示す。この時電源電圧は 1.0 V に設定した。実測においても

温度の逆数に対してほぼ直線的な特性を示している。温度変動に対する周波数変動については 20 °C から 30 °C 変動した時に 68.2%周波数が変動する。これと先ほどの周波数の電源電圧による変化率を比較した場合、0.63 °C/V となる。

5. 温度推定結果

本節では提案回路を温度モニタとして用いた場合の評価について行う。図 11 で示す、発振周波数の温度に対する指数関数的な特性を利用する。リングオシレータの発振周波数の対数は温度の逆数の式として以下の式で表すことができる。

$$\ln(F) = a_T \cdot \frac{1}{T} + b_T. \quad (5)$$

ここで F はリングオシレータの周波数であり、 a_T, b_T は温度に対する係数である。2 点のキャリブレーションを行うことで a_T, b_T の 2 つの係数を求めることができる。

図 12 に 20 °C と 80 °C の 2 点でのキャリブレーションを行った際の温度推定誤差について示す。ここで電源電圧は 1.0 V としている。図中の実線が実測の結果を用いた場合での推定誤差である。図中の点線がシミュレーションでの結果を用いた場合の推定誤差である。シミュレーションでは 4 つの最悪のプロセスコーナー条件, FF, FS, SF, SS を仮定している。推定範囲 10 °C から 100 °C の範囲において推定誤差は -1.0 °C から 2.0 °C の範囲となる。実測においては ±0.5 °C の範囲に収まる。

図 12 より、特にシミュレーションで発振周波数の対数は直線近似から外れている。そしてしきい値電圧が増加し、リーク電流が小さくなる低温領域でその傾向が強くなる。この原因としてはプロセステクノロジーに依存するゲートリークを上げることができる。

また低温領域で実測とシミュレーションの推定誤差が大きく異なっている。原因として、シミュレーションで正確にゲートリークの評価ができておらず、実測の方がシミュレーションでの評価よりもゲートリークが小さい。その影響で実測結果が誤差要因となるゲートリークの影響を受けにくくなり、より直線近似に沿う結果となった。このため上記結果となっている。

図 12 よりゲートリークにより低温領域での誤差が増大する傾向にある。この問題を解決する手法として、直線近似の代わりに非線形関数を用いることが考えられる。非線形関数を 2 点キャリブレーションを用いることで補正を行い実際の測定周波数にフィッティングを行う。このフィッティングを行った関数を元に推定を行うことで推定誤差を低減できる。

ここでは実際の周波数の温度依存性の例として TT 条件でのシミュレーションにおける周波数の温度依存性を用いた。図 13 に上記方法を用いて精度を向上させた場合の推定結果について示す。この場合、シミュレーションにお

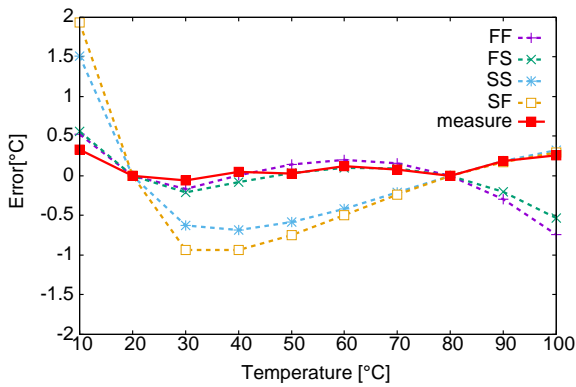


図 12: 電源電圧 1.0 V における 2 点でのキャリブレーションを行った際の温度推定誤差。

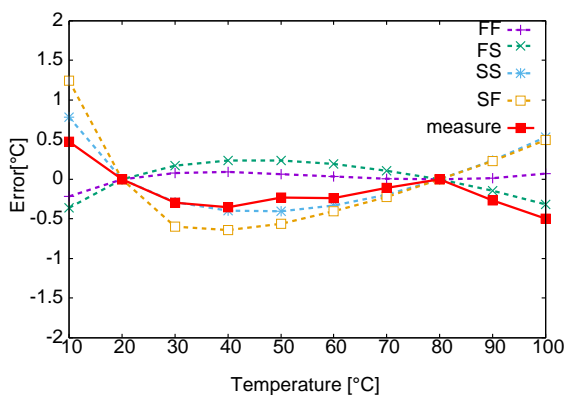


図 13: 電源電圧 1.0 V での補正を行った際の温度推定誤差。

る推定誤差は $-0.7\text{ }^{\circ}\text{C}$ から $1.3\text{ }^{\circ}\text{C}$ まで軽減される。補正後の関数を用いた場合でも実測では推定誤差は ± 0.5 の範囲に収まる。

6. 結論

本稿では回路トポロジー可変なリングオシレータについての提案を行い、その回路を用いて温度を推定する手法について提案を行った。リーク電流は温度変化に対し高い感度を持ち、かつトランジスタの強反転状態に流れる電流と比較し、電源電圧依存性が小さいという特徴がある。この特性を利用し、リーク電流が発振に大きな影響を与える構成を提案した。提案回路に関して、商用の 65 nm プロセスを用いたシミュレーション及び実測により周波数の電源電圧依存性および温度特性について示した。提案回路は 0.4 V から 1.0 V の電源電圧範囲において、動作可能である。また実測の周波数において提案回路は室温環境で 0.4 V から 1.0 V まで変化した時に 2.6%のみしか周波数が変化しないことを示した。温度モニタ回路としての推定誤差は $10\text{ }^{\circ}\text{C}$ から $100\text{ }^{\circ}\text{C}$ の範囲において、シミュレーションによる最悪の条件を考慮した場合でも $-0.7\text{ }^{\circ}\text{C}$ から $1.3\text{ }^{\circ}\text{C}$ の範囲内に収まることを示した。また実測結果では同じ温度範囲で温度推定誤差が $\pm 0.5\text{ }^{\circ}\text{C}$ の範囲に収まることを示した。

謝辞

本研究は JSPS 科研費 (16H01713) による支援によって行われた。本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社の協力で行われた。

参考文献

- [1] S. Borkar, T. Karnik, S. Narendra, J. Tschanz, A. Keshavarzi, and V. De, "Parameter Variations and Impact on Circuits and Microarchitecture," in *Proc of Design Automation Conference*, June 2003, pp. 338–342.
- [2] D. K. Schroder and J. A. Babcock, "Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing," *Journal of Applied Physics*, vol. 94, no. 1, pp. 1–18, 2003.
- [3] J. Tschanz, J. Kao, S. Narendra, R. Nair, D. Antoniadis, A. Chandrakasan, and V. De, "Adaptive Body Bias for Reducing Impacts of Die-to-Die and Within-Die Parameter Variations on Microprocessor Frequency and Leakage," *IEEE Journal of Solid-State Circuits*, vol. 37, no. 11, pp. 1396–1402, Nov 2002.
- [4] T. Kishimoto, T. Ishihara, and H. Onodera, "On-Chip Temperature and Process Variation Sensing using a Reconfigurable Ring Oscillator," in *2017 International Symposium on VLSI Design, Automation and Test*, April 2017, pp. 1–4.
- [5] A. Islam, T. Ishihara, and H. Onodera, "Reconfigurable Delay Cell for Area-efficient Implementation of On-chip MOSFET Monitor Schemes," in *Proc. of Asian Solid-State Circuits Conference*, Nov 2013, pp. 125–128.
- [6] I. A. K. M. Mahfuzul, A. Tsuchiya, K. Kobayashi, and H. Onodera, "Variation-Sensitive Monitor Circuits for Estimation of Global Process Parameter Variation," *IEEE Transactions on Semiconductor Manufacturing*, vol. 25, no. 4, pp. 571–580, Nov 2012.
- [7] A. Islam, J. Shiomi, T. Ishihara, and H. Onodera, "Wide-Supply-Range All-Digital Leakage Variation Sensor for On-Chip Process and Temperature Monitoring," *IEEE Journal of Solid-State Circuits*, vol. 50, no. 11, pp. 2475–2490, Nov 2015.
- [8] P. Ituero and M. Lopez-Vallejo, "'Ratio-Based Temperature-Sensing Technique Hardened Against Nanometer Process Variations'," *IEEE Sensors Journal*, vol. 13, no. 2, pp. 442–443, Feb 2013.
- [9] K. Yang, Q. Dong, W. Jung, Y. Zhang, M. Choi, D. Blaauw, and D. Sylvester, "9.2 A 0.6nJ $-0.22/+0.19\text{ }^{\circ}\text{C}$ inaccuracy temperature sensor using exponential subthreshold oscillation dependence," in *2017 IEEE International Solid-State Circuits Conference*, Feb 2017, pp. 160–161.
- [10] R. Rao, A. Srivastava, D. Blaauw, and D. Sylvester, "Statistical analysis of subthreshold leakage current for VLSI circuits," *IEEE Transactions on Very Large Scale Integration Systems*, vol. 12, no. 2, pp. 131–139, Feb 2004.
- [11] T. Sakurai and A. Newton, "Alpha-power law MOSFET model and its applications to CMOS inverter delay and other formulas," *IEEE Journal of Solid-State Circuits*, vol. 25, no. 2, pp. 584–594, Apr 1990.