

ビアスイッチ FPGA の性能予測モデル

樋口 達大^{1,a)} 石原 亨¹ 小野寺 秀俊¹

概要: FPGA に代表される再構成可能回路は一般的に性能面で専用論理回路である ASIC に劣る。本稿ではビアスイッチと呼ばれるスイッチングデバイスを配線切り替えに用いた FPGA(Field Programmable Gate Array) の性能を予測するモデルについて述べる。ビアスイッチを FPGA の配線切り替えに用いることでチップの面積効率を向上させることができ、低電圧での性能低下を抑えることができる。ビアスイッチ FPGA の信号通過配線と論理回路のそれぞれについて遅延時間、消費エネルギー、面積をプロセスパラメータや回路構造でモデル化する。またそれらのモデルを用いてチップ全体の性能を回路シミュレーションなしに予測することができる。

A Model for Predicting Performance of Via-switch FPGA

TATSUHIRO HIGUCHI^{1,a)} TOHRU ISHIHARA¹ HIDETOSHI ONODERA¹

Abstract: Reconfigurable circuits are generally inferior to ASIC (application specific integrated circuit) in terms of performance. In this paper, we develop a model for predicting the performance of FPGA (Field Programmable Gate Array) which uses an emerging switching device called a Via-switch for wiring switching. By using the Via-switch, the chip area efficiency improves and the performance degradation of the circuit in low voltage region can be kept to the minimum. We model the delay, the energy consumption, and the area for wiring and logic circuit of Via-switch FPGA. The model uses process parameters and structure information of a targeting circuit as inputs. Moreover, with the model, it is possible to predict the performance of the entire chip without circuit simulation.

1. 序論

近年の情報化社会の発展に伴って集積回路の重要性は大きくなっている。特定用途向けの集積回路である ASIC (application specific integrated circuit) は汎用デバイスよりも省エネルギーかつ高速で情報を処理することができる¹⁾とされている [1]。しかし ASIC は需要が小さいため NRE (non-recurring expense) コストが大きくなるという問題がある。そこで FPGA (Field Programmable Gate Array) に代表される製造後にユーザーが構成を変更することができる再構成可能デバイスが普及している。

現在一般的な FPGA は、配線の切り替えスイッチとしてトランジスタを用いている。そのため配線遅延が大きく、トランジスタの抵抗が大きくなる低電圧動作では、遅延増加が顕著である。また配線や可変論理ブロック (CLB:Configurable Logic Block) の構成情報を SRAM に

保存しており、その面積は FPGA 全体のおよそ 9 割を占める [2]。

そこで原子スイッチを用いたビアスイッチというデバイスが開発されている [3]。スイッチングに用いるのは金属層のみであるため FEOL (front end of line) 層を論理・算術ブロックに割くことができ面積効率を向上させることができる。またビアスイッチはトランジスタと異なり、電解質中に金属原子の結晶を作りスイッチの ON 状態を実現するので低電圧で動作させても ON 抵抗が大きくなり、低電圧でも高速動作が期待できる。

本稿では FPGA の配線切り替えに不揮発性メモリであるビアスイッチを用いた、ビアスイッチ FPGA [4] の遅延時間・消費エネルギーといった性能について、使用するプロセスや配線構造によって変化するパラメータでモデル化を行う。本稿の構成は以下の通りである。第 2 章ではビアスイッチとビアスイッチ FPGA の構造について紹介する。第 3 章ではビアスイッチ FPGA の配線部分と論理回路部分のそれぞれの性能予測モデルについて述べる。第 4 章で

¹⁾ 京都大学大学院情報学研究所

^{a)} t-higuchi@vlsi.kuee.kyoto-u.ac.jp

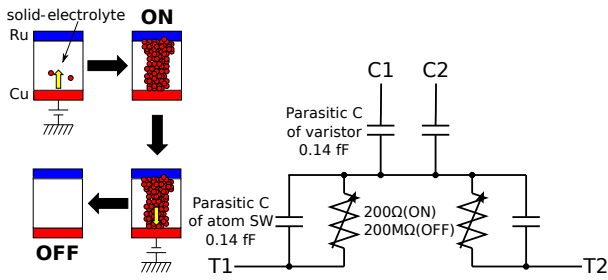


図 1 原子スイッチ. 図 2 ビアスイッチの等価回路.

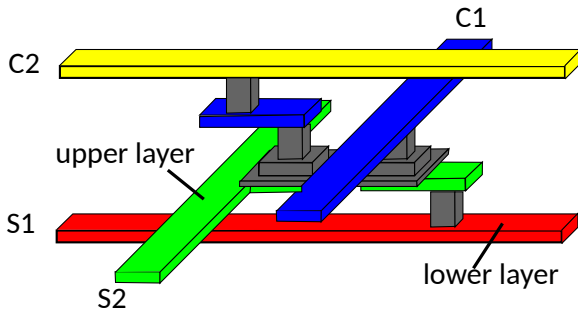


図 3 ビアスイッチを用いたクロスポイントの構造.

はそれぞれのモデルを用いてチップ全体での性能を予測するモデルについて述べる. 最後に第 5 章で結論を述べる.

2. ビアスイッチ FPGA

2.1 ビアスイッチについて

最初にビアスイッチに用いられている原子スイッチについて説明する. 原子スイッチは図 1 のような電解質を金属で挟んだデバイスで電極間の電位差により ON/OFF を切り替えることができる.

文献 [3] で提案されているビアスイッチはこの原子スイッチとバリスタから成る. このビアスイッチの等価回路は図 2 で表される.

このビアスイッチは C1 や C2 と T1 や T2 の電位差によって原子スイッチの ON と OFF を切り替える. 通常動作時には, 非線形な抵抗をもつバリスタにより信号配線とビアスイッチは制御線から切り離されている.

2.2 ビアスイッチ FPGA

このビアスイッチを用いて図 3 のようなクロスポイントを作ることができる. 図 3 は金属層 4 層から成っている. 下側 2 層は信号線で上側 2 層は制御線である. 信号線の下層と上層について表した図がそれぞれ図 4 と図 5 である. ただしマスは一辺をプロセスの最小線幅 F とする正方形である. 直交する信号線 S1, S2 と直交する制御線 C1, C2 がある. 信号線と制御線に電位差を与えることによってビアスイッチの書き換えを行う.

ビアスイッチ FPGA は図 3 の構造をアレイ状に並べて図 6 のようなクロスバ構造を作る. 上下方向の配線本数は N_{ns} , 左右方向の配線本数は N_{ew} である. クロスバ構造の下に LUT や算術論理回路などのロジックブロックがあり,

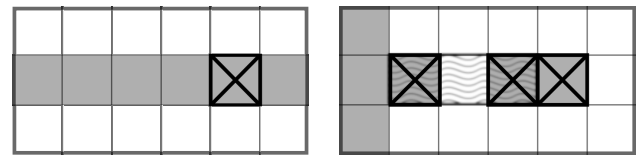


図 4 クロスポイント下層.

図 5 クロスポイント上層.

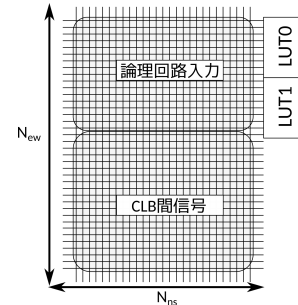


図 6 CLB の構成.

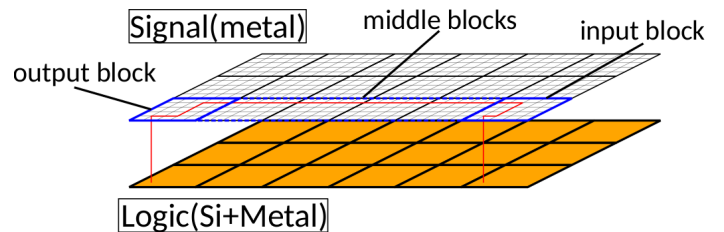


図 7 論理回路間配線の概念図.

入出力を切り替えることで様々な論理を実現する. クロスバ構造は LUT などの論理回路の入出力切り替え部分と隣接する CLB への信号配線を切り替える部分からなる. これを構成可能論理ブロック (CLB) と呼ぶ. 本稿の CLB は 2 つの LUT をもつとする. さらにこの CLB 間の接続にもビアスイッチが用いられている. 図 7 のようにロジックブロックから出力された信号はクロスバ構造を経て次のロジックブロックに入力される.

3. 性能評価モデル

本章ではビアスイッチ FPGA を配線部分と論理回路部分に分けて遅延時間と消費エネルギーについてモデル化する. 論理回路間の配線は距離に比例して抵抗と容量が増加する. これによって抵抗と容量に比例して遅延時間は増加し, 容量に比例して消費エネルギーは増加する.

3.1 論理回路間の配線

ビアスイッチを用いたクロスポイントについて配線抵抗と寄生容量から等価回路を作成する. 通常動作時にはバリスタによって制御線は切り離されていると考えて信号線のみについて等価回路を作成する.

抵抗成分に関しては金属層のシート抵抗 R_m を用いて計算する. 寄生容量に関しては文献 [5] の配線容量モデルによって計算する. このモデルは金属配線が水平方向に等間隔で配置され, 垂直方向には無限に大きい金属平板が配置

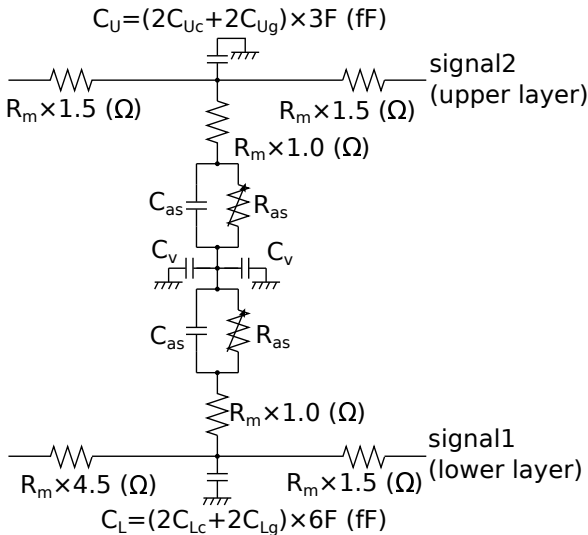


図 8 ビアスイッチを用いたクロスポイントの等価回路。

されている場合の配線の寄生容量を計算するモデルである。

図 4 と図 5 より 2 本の信号線 S1 と S2 はそれぞれ隣接する金属線との距離 s が $1F$ であると近似する。

文献 [5] の方法で解析的に求めた容量を、上層の C_c を C_{Uc} 、 C_g を C_{Ug} とする。下層の C_c を C_{Lc} 、 C_g を C_{Lg} とする。シート抵抗を R_m とすると、クロスポイントの等価回路は図 8 のようになる。ただし R_{as} 、 C_{as} 、 C_v はそれぞれ原子スイッチの抵抗、原子スイッチの容量、バリスタの容量である。

クロスバ構造を考える場合には OFF のクロスポイントが多数連続している構造が考えられる。また CLB 間は ON のビアスイッチで繋がれており、抵抗と容量が連続して存在する構造となる。このためこの配線の抵抗と容量は分布定数回路的に考えることができる。

3.1.1 配線の遅延時間モデル

ここでクロスバ配線部分や CLB 間スイッチでの遅延時間を概算するために文献 [6] のモデル式を用いる。図 9 に示す内部抵抗 R_t の電圧源で駆動された分布定数回路に C_t が負荷として接続されている回路を考える。分布定数回路の抵抗と容量の総和をそれぞれ R 、 C とする。 $t = 0$ で電圧源に E (V) のステップ入力に加えられたとする。分布定数回路の距離を l とすると時刻 t での終端の電圧 $V(l, t)$ は式 (1) で表される。ただし $R_T = R_t/R$ 、 $C_T = C_t/C$ である。

$$\frac{V(l, t)}{E} = 1 - \exp\left(-\frac{t/RC - 0.1}{R_T C_T + R_T + C_T + 0.4}\right). \quad (1)$$

このモデルをビアスイッチ FPGA で用いるために回路を 3 つの部分に分ける。図 7 のように、論理回路出力のある出力ブロックと配線の通過する中間ブロックと論理回路に入力する入力ブロックの 3 つに分ける。図 9 の R_t として論理回路部分の出力バッファの出力端抵抗 R_{buf} と出力ブロックの信号通過部分の配線抵抗の和を用いる。次に図 9 の R 、 C としてそれぞれ中間ブロックの信号通過部分の

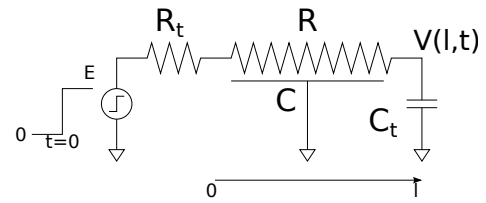


図 9 分布定数回路の遅延時間モデル。

抵抗・寄生容量と CLB 間スイッチの抵抗・容量の総和を用いる。最後に図 9 の C_t として入力ブロックの配線寄生容量の和と論理回路の入力バッファの入力端容量 C_{buf} の和を用いる。

3.1.2 配線の消費エネルギーモデル

信号配線での消費エネルギーは配線の寄生容量の充放電と OFF のビアスイッチをリークする電流によるものである。配線の寄生容量の総和を C_{wire} とし、電源電圧を V_{DD} とすると 1 サイクルあたりの消費エネルギー $E_{dynamic}$ は式 (2) となる。ただし α は活性化率である。

$$E_{dynamic} = \alpha C_{wire} V_{DD}^2. \quad (2)$$

原子スイッチの OFF 抵抗を R_{OFF} とし、電源電圧を V_{DD} とする。信号配線と OFF のビアスイッチを挟んで直交する信号配線が同電位の場合やフローティングの場合は、OFF のビアスイッチをリークする電流はないと考える。信号配線の電位が V_{DD} で直交する配線の電位が V_{SS} のとき、1 つのクロスポイントあたりリークする電流 I_{leak1} は式 (3) で表される。また信号配線の電位が V_{DD} で直交する配線がフローティングのとき、フローティング配線の電位は $V_{DD}/2$ になると仮定する。よって 1 つのクロスポイントあたりリークする電流 I_{leak2} は式 (4) で表される。これより式 (3) のリーク電流が発生するクロスポイント数を k_1 、式 (4) のリーク電流が発生するクロスポイント数を k_2 とすると消費エネルギーは E_{leak} は式 (5) で表される。

$$I_{leak1} = \frac{V_{DD}}{2R_{OFF}}. \quad (3)$$

$$I_{leak2} = \frac{V_{DD}}{4R_{OFF}}. \quad (4)$$

$$E_{leak} = k_1 \frac{V_{DD}^2}{2R_{OFF}} + k_2 \frac{V_{DD}^2}{4R_{OFF}}. \quad (5)$$

3.1.3 配線の面積モデル

図 10 のような 1 つの CLB が占める面積を計算するモデルについて考える。CLB の面積を決める要素には以下のものがある。

- (1) 横方向通過配線本数 N_{track_ew}
- (2) 縦方向通過配線本数 N_{track_ns}
- (3) 論理回路への入出力配線本数 N_{logic}
- (4) LUT 入力信号アクセス用配線本数 $N_{LUTaccess}$
- (5) LUT 入力信号構成用配線本数 $N_{LUTinputs}$
- (6) 縦方向 CLB 間スイッチ幅 W_{switch_ns}

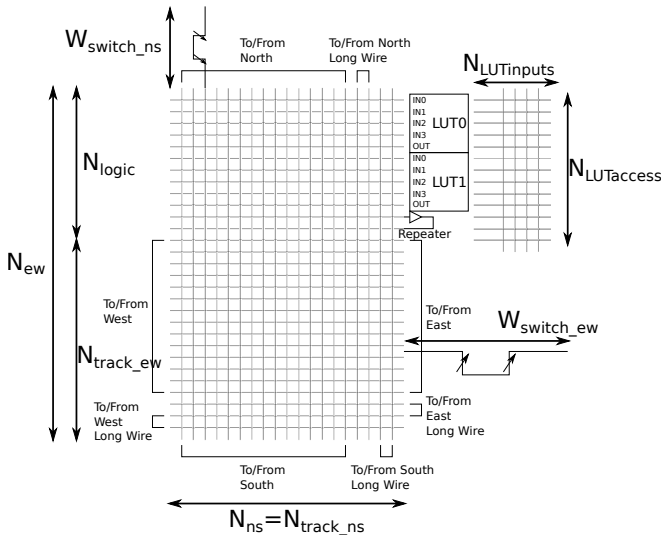


図 10 面積パラメータ.

表 1 回路のパラメータ

N_{ns}	100
N_{ew}	150
電源電圧 V_{DD}	0.75
原子スイッチ ON 抵抗	200Ω
原子スイッチ OFF 抵抗	200 MΩ
配線使用率 X	20%
N_{int}	5

- (7) 横方向 CLB 間スイッチ幅 W_{switch_ew}
- (8) 基盤 TAP 幅 $W_{TAPwell}$
- (9) 電源 TAP 幅 W_{TAP_V}

本稿で提案する図 3 のビアスイッチを用いたクロスポイントは横方向に $3F$ 、縦方向に $6F$ の長さがある。1 つの CLB の横方向の長さは W_{CLB_ew} 、縦方向の長さは W_{CLB_ew} で表されるので、面積 S_{CLB} は式 (8) で表すことができる。

$$W_{CLB_ew} = \max\{N_{LUTinputs} \times 6F, W_{switch_ew}\} + N_{track_ns} \times 6F. \quad (6)$$

$$W_{CLB_ns} = [\max\{N_{LUTaccess}, N_{logic}\} + N_{track_ew}] \times 3F + W_{switch_ns} + W_{TAPwell} + W_{TAP_V}. \quad (7)$$

$$S_{CLB} = W_{CLB_ew} \times W_{CLB_ns}. \quad (8)$$

3.1.4 配線の各モデルの検証

遅延時間モデルと消費エネルギーの各モデルについて以下の条件で検証を行った。使用プロセスは商用 65 nm プロセスでその他のパラメータは表 1 とした。

CLB 数を変化させた場合の遅延時間と消費エネルギーのそれぞれについて、モデルとトランジスタレベルの回路シミュレーション [7] で求めた結果を比較した。

図 11 は遅延時間のシミュレーションとモデルの比較である。CLB 数が 30 のときには 20% 程度の誤差となった。また図 12 は消費エネルギーのシミュレーションとモデルの比較である。CLB 数が 30 のときには 10% 程度の誤差と

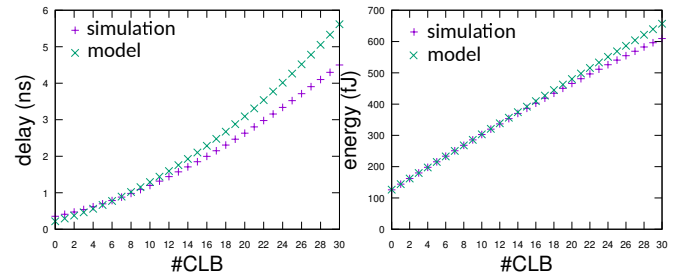


図 11 遅延時間モデル.

図 12 エネルギーモデル.

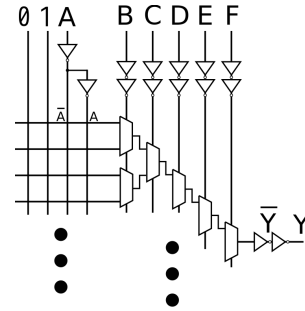


図 13 6 入力 LUT の構造.

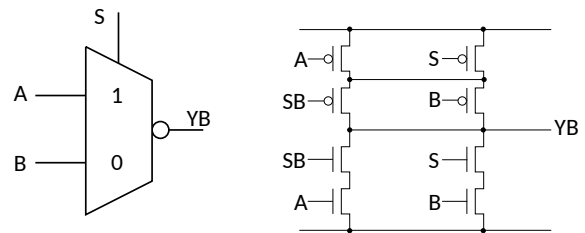


図 14 AOI22 型マルチプレクサ.

なった。この誤差は配線長が大きくなると OFF のスイッチをリークする電流によって電圧降下が生じ、それによって電源電圧よりも小さい電圧で駆動されていること becoming ためシミュレーションの方が小さくなっている。

また面積モデルについて、例として、 $3F \times 6F$ のクロスポイントで $N_{ns} = 100$ 、 $N_{ew} = 150$ のとき、クロスバの面積を概算すると $2700\mu m^2$ 程度となる。5 mm 角のチップを想定した場合 9000 個程度のクロスバを搭載することができる。

3.2 論理回路部分

論理回路としては本稿では 6 入力 LUT を想定する。ただし図 13 のように A~F の 6 入力のうち被選択入力に A を入れるため 5 段のマルチプレクサを考える。またこのマルチプレクサは、すべて図 14 の And Or Inverter(AOI22) を逆論理を出力するマルチプレクサとして用いたもので作られている。

また A から F の各入力の前には入力バッファが、LUT 出力 Y の後には出力バッファが配置されている。

3.2.1 論理回路部分の遅延時間モデル

論理回路部分の遅延時間 D は図 13 の各信号入力から出力 \bar{Y} までとする。入力バッファ 1 段目のインバータの出

力端抵抗を R_{inbo1} , 出力端容量を C_{inbo1} とする. 入力バッファ 2 段目のインバータの入力端容量を C_{inbi2} , 出力端抵抗を R_{inbo2} , 出力端容量を C_{inbo2} とする. マルチプレクサとして用いている AOI22 の入力端容量を C_{AOIi} , 出力端抵抗を R_{AOIo} , 出力端容量を C_{AOIo} とする. 出力バッファ 1 段目のインバータの入力端容量を C_{outbi1} とする.

これらのパラメータを用いて RC 回路の遅延時間 D は式 (9) で概算される.

$$D = R_{inbo1}(C_{inbo1} + C_{inbi2}) + R_{inbo2}(C_{inbo2} + 32C_{AOIi}) + 4R_{AOIo}(C_{AOIo} + C_{AOIi}) + R_{AOIo}(C_{AOIo} + C_{outbi1}) \quad (9)$$

3.2.2 論理回路部分の消費エネルギーモデル

集積回路を構成する論理ゲートの 1 サイクルあたりの消費エネルギー E_{LUT_total} は, 負荷を充放電するためのエネルギー E_{LUT_load} とトランジスタがオフの場合にわずかに流れるリーク電流による消費エネルギー E_{LUT_leak} によって式 (10) で表される.

$$E_{LUT_total} = E_{LUT_load} + E_{LUT_leak}. \quad (10)$$

ここで E_{LUT_load} は式 (11) で, E_{LUT_leak} は式 (12) でそれぞれ表されるので総消費エネルギーは E_{LUT_load} と E_{LUT_leak} の和で表すことができる. ただし C_{load} は負荷容量, V_{DD} は電源電圧, I_{leak} はリーク電流, D はクロックサイクル時間である.

$$E_{LUT_load} = \alpha C_{load} V_{DD}^2. \quad (11)$$

$$E_{LUT_leak} = I_{leak} V_{DD} D. \quad (12)$$

本稿での LUT は図 13 のような構造をしている. 負荷容量 C_{load} は入出力用バッファとマルチプレクサの容量の総和として考える.

リーク電流による消費エネルギー E_{leak} について考える. トランジスタレベルの回路シミュレーションで NMOS トランジスタと PMOS トランジスタが OFF の時のリーク電流を求める. AOI22 の構造より NMOS トランジスタのリーク電流はスタック数が 1 と 2 の場合のリーク電流を求める. それをそれぞれ I_{n1} , I_{n2} とし, PMOS トランジスタのリーク電流は I_p とする. AOI22 について A,B,S の入力の組み合わせは 8 通りあり, この全ての組み合わせについてどのトランジスタによってリークが発生するのかを調べる. LUT においてこれらの 8 通りの組み合わせは当確率で起こると仮定すると平均のリーク電流 I_{AOI} は式 (13) で表される.

$$I_{AOI} = \frac{8I_p + 6I_{n1} + 2I_{n2}}{8}. \quad (13)$$

また同様にして入出力バッファについてもリーク電流を計算する.

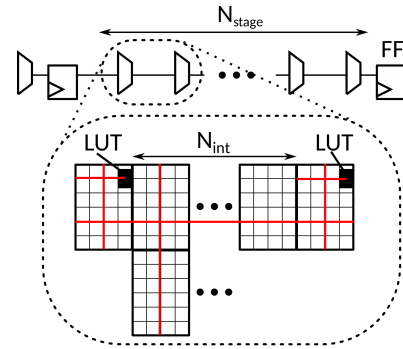


図 15 クリティカルパスの概念図.

3.2.3 論理回路の遅延時間モデルの検証

論理回路の遅延時間モデルについて, 式 (9) とトランジスタレベルの回路シミュレーションを比較することで検証した. 電源電圧は 0.75 V として式 (9) の各パラメータを測定し, 遅延時間を計算したところ入力バッファの入力端から出力バッファの入力端までの遅延時間は 0.52 ns となった. 一方で回路シミュレーションによって求めた場合は 0.44 ns となり 16% の誤差となった.

4. 回路全体の性能予測

本章では回路全体の構造として適当な数の CLB や LUT を仮定し, その場合の各性能について 3 章のモデルを用いて示す.

FPGA が持つ全 LUT 数を M とする. 特定の機能をマッピングした時のフリップフロップ (FF) 間のクリティカルパスとなる信号経路の最大論理段数を N_{stage} とする. ここで論理段は図 15 のようにある論理回路の出力端からクロスバ配線と CLB を経て次の論理回路の入力端までを表す. 本稿では 1 段あたりの論理回路間の通過 CLB 数はすべて同じ N_{int} とする.

また配線は枝分かれしているため消費エネルギーは枝分かれした配線すべてを考える必要がある. そこで 1 つの LUT が駆動する配線の本数を N_{total} とする.

各 CLB には LUT が 2 個あるので CLB 数は $M/2$ 個である. 各 CLB には $(N_{ns} + N_{ew})$ 本の配線があるので 1 つの LUT あたり最大で $(N_{ns} + N_{ew})/2$ 本の信号線を駆動する. 配線の使用率を X とすると, 1 つの LUT が駆動する配線の本数は $N_{total} = X(N_{ns} + N_{ew})/2$ となる.

本稿ではパラメータは表 1 のものを用いる.

また LUT の入出力バッファは簡単のためすべて同じバッファを用いることとする.

配線の使用率が X のとき, 直交する配線が逆論理になる割合は $X/2$ となる. これらの配線間で式 (3) のリーク電流が発生する. フローティングになる配線の割合は $1 - X$ となり, これらの配線間で式 (4) のリーク電流が発生する. 活性化率 α を 0.1 と仮定する. ここで回路の活性化率は 1 クロックサイクル内に論理ゲートの出力論理値が 0 から 1 に変化する確率である. スタティック CMOS 回路の活性化率は経験的に 0.1 程度である [8]. また消費エ

表 2 クリティカルパス長と遅延時間.

N_{stage}	10	20	40
遅延時間 $D(\text{ns})$	11.8	23.7	47.4

エネルギーは 1 サイクル分の消費エネルギーとする.

これより配線の動的, 静的消費エネルギーはそれぞれ式 (14), 式 (15) で, 論理回路の動的, 静的消費エネルギーはそれぞれ式 (16), 式 (17) で表される. ただし D はクロックサイクル時間であり, C_{wire} は N_{total} 分の配線の容量である.

$$E_{\text{wire}_d} = \alpha M C_{\text{wire}} V_{\text{DD}}^2. \quad (14)$$

$$E_{\text{wire}_s} = \left\{ \frac{X}{2} I_{\text{leak}1} + (1 - X) I_{\text{leak}2} \right\} V_{\text{DD}} D. \quad (15)$$

$$E_{\text{LUT}_d} = \alpha M C_{\text{load}} V_{\text{DD}}^2. \quad (16)$$

$$E_{\text{LUT}_s} = M I_{\text{leak}} V_{\text{DD}} D. \quad (17)$$

表 2 は論理段数 N_{stage} と, その遅延時間の関係を示している. また表 3 は表 2 の遅延時間を用いて論理回路部分の消費エネルギー E_{LUT} と配線部分のエネルギー E_{wire} とそれらの和 E_{total} を示している.

この結果より配線における消費エネルギーは論理回路における消費エネルギーの 10 倍以上大きな値になっている.

配線での消費エネルギーを削減する方法としてすべての配線の交差点にクロスポイントを置くのではなく, その間隔を広げる方法がある. クロスポイントを減らすことで配線の自由度は下がるが, ビアスイッチそのものの寄生容量に対する動的な消費エネルギーや OFF のビアスイッチをリークする電流による消費エネルギーが削減できる.

5. 結論

本稿では FPGA に用いられる配線切り替えスイッチとしてビアスイッチを紹介した. ビアスイッチを用いることでトランジスタを配線切り替えに用いられる従来型 FPGA より面積効率が向上し低電圧での動作にも対応できる. FPGA の論理回路間の配線と論理回路部分のそれぞれについて遅延時間モデルと消費エネルギーモデルを作成した. また配線部分については面積モデルも作成した.

配線部分の遅延時間モデルは遅延時間モデルは連続するクロスポイントの抵抗と容量を分布定数回路として見るこ

表 3 LUT 数とクリティカルパス長と消費エネルギー.

M	N_{stage}	E_{wire}			E_{LUT}			E_{total}		
		E_{wire_d}	E_{wire_s}	E_{wire}	E_{LUT_d}	E_{LUT_s}	E_{LUT}	E_{total_d}	E_{total_s}	E_{total}
10000	10	0.33 nJ	0.23 nJ	0.57 nJ	52 pJ	1 pJ	53 pJ	0.39 nJ	0.23 nJ	0.62 nJ
	20		0.46 nJ	0.80 nJ		1 pJ	53 pJ		0.46 nJ	0.85 nJ
	40		0.93 nJ	1.26 nJ		3 pJ	55 pJ		0.93 nJ	1.31 nJ
20000	10	0.67 nJ	0.46 nJ	1.13 nJ	104 pJ	1 pJ	105 pJ	0.77 nJ	0.46 nJ	1.24 nJ
	20		0.93 nJ	1.60 nJ		3 pJ	106 pJ		0.93 nJ	1.70 nJ
	40		1.85 nJ	2.52 nJ		5 pJ	109 pJ		1.86 nJ	2.63 nJ
40000	10	1.33 nJ	0.93 nJ	2.27 nJ	208 pJ	3 pJ	210 pJ	1.55 nJ	0.93 nJ	2.48 nJ
	20		1.85 nJ	3.19 nJ		5 pJ	213 pJ		1.86 nJ	3.40 nJ
	40		3.71 nJ	5.04 nJ		10 pJ	218 pJ		3.72 nJ	5.26 nJ

とで既存のモデルを適用した. また OFF のビアスイッチをリークする電流による消費エネルギーを計算するモデルを作成した. またこれらのモデルを用いて特定の回路を FPGA に実装したときの遅延時間と消費エネルギーについて計算できることを示した.

謝辞

本研究は JST,CREST (JPMJCR1432) による支援によって行われた. 本研究は東京大学大規模集積システム設計教育研究センターを通し, シノプシス株式会社の協力で行われた.

参考文献

- [1] M. Horowitz, "1.1 computing's energy problem (and what we can do about it)," in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2014 IEEE International*. IEEE, 2014, pp. 10–14.
- [2] V. George, "Low energy field-programmable gate array," Ph.D. dissertation, Citeseer, 2000.
- [3] N. Banno, M. Tada, K. Okamoto, N. Iguchi, T. Sakamoto, M. Miyamura, Y. Tsuji, H. Hada, H. Ochi, H. Onodera, M. Hashimoto, and T. Sugibayashi, "A novel two-varistors (a-Si/SiN/a-Si) selected complementary atom switch (2V-1CAS) for nonvolatile crossbar switch with multiple fan-outs," in *2015 IEEE International Electron Devices Meeting (IEDM)*, Dec 2015, pp. 2.5.1–2.5.4.
- [4] N. Banno, M. Tilda, K. Okamoto, N. Iguchi, T. Sakamoto, H. Hada, H. Ochi, H. Onodera, M. Hashimoto, and T. Sugibayashi, "50×20 crossbar switch block (CSB) with two-varistors (a-Si/SiN/a-Si) selected complementary atom switch for a highly-dense reconfigurable logic," in *2016 IEEE International Electron Devices Meeting (IEDM)*, Dec 2016, pp. 16.4.1–16.4.4.
- [5] S.-C. Wong, G.-Y. Lee, and D.-J. Ma, "Modeling of interconnect capacitance, delay, and crosstalk in VLSI," *IEEE Transactions on Semiconductor Manufacturing*, vol. 13, no. 1, pp. 108–111, Feb 2000.
- [6] T. Sakurai, "Closed-form expressions for interconnection delay, coupling, and crosstalk in VLSIs," *IEEE Transactions on Electron Devices*, vol. 40, no. 1, pp. 118–124, Jan 1993.
- [7] *HSPICE User Guide: Simulation and Analysis*.
- [8] N. Weste and D. Harris, *CMOS VLSI Design: A Circuits and Systems Perspective*, 4th ed. USA: Addison-Wesley Publishing Company, 2010.