

ロジック部およびメモリ部の独立電圧制御による プロセッサの消費エネルギー最小化

塩見 準^{1,a)} 石原 亨¹ 小野寺 秀俊¹

概要: 本稿では、65-nm FD-SOI プロセステクノロジーで製造された RISC プロセッサの電源電圧およびしきい値電圧を制御し、消費エネルギーの削減を実現する。プロセッサの要求動作速度に応じて電源電圧およびしきい値電圧を調整することで、単純な DVFS 制御と比較して動作速度を悪化させることなく消費エネルギーを最大 32% 削減可能であることを実測に基づき示す。次に、オンチップメモリとプロセッサのロジック回路それぞれに対し独立して電源電圧およびしきい値電圧を制御する手法を提案する。提案手法の結果、ロジック部およびメモリ部に対し一様に電圧制御する従来手法と比較し、プロセッサの動作速度を悪化させることなく最大 16%消費エネルギーを削減可能であることを示す。

1. はじめに

IoT (Internet of Things) は何十億もの情報通信機器が相互結合され、情報の自動交換が実現される新しい構想として急速に発展している。これらのネットワークでは、旧来のテキストベースデータに加え、はるかに複雑なマルチメディアデータの交換が行われている。IoT を支えるマイクロプロセッサは限られたバッテリー容量で動作する必要がある。高い演算能力を維持しながらクロックサイクル毎に消費するエネルギーを最小限にするプロセッサが求められる。この問題を解決するため、回路の電源電圧およびトランジスタのしきい値電圧を調整する技術が 2000 年代に活発に研究された [1–3]。プロセッサの要求動作速度に応じて電源電圧としきい値電圧を調整することにより、動作速度を悪化させることなく消費エネルギーを削減することが可能である。近年では、上記電圧調整技術を動的に適用し、プロセッサを常に最小の消費エネルギーで動作させる技術が研究されている [4]。本稿では、特定の要求動作速度に対し、消費エネルギーを最小にする電源電圧およびしきい値電圧の組をエネルギー最小点 (Minimum Energy Point: MEP) と呼ぶ。

本稿では、65-nm FD-SOI (Fully Depleted Silicon On Insulator) プロセスで製造された RISC プロセッサに関して述べる。プロセッサを MEP で動作させることで、従来の DVFS (Dynamic Voltage and Frequency Scaling) 制御と比べて最大 32% 消費エネルギーを改善可能であることを示す。次に、プロセッサのロジック部分とオンチップメモリ部分で MEP が異なることを実測結果に基づき示す。電源電圧およびしきい値電圧の制御をプロセッサのロジック部およびメモリ部で独立して行うことで、消費エネルギーをさらに 16% 削減可能であることを示す。

本稿の構成を以下に示す。第 2 章では関連研究と本稿の成果に関して述べる。第 3 章で独立した電圧制御によるエ

ネルギー最小化問題の定義とその問題の困難さに関して述べ、独立電圧制御手法を提案する。第 4 章で独立電圧制御による消費エネルギー削減を実チップ測定に基づき確認する。第 5 章で結論を述べる。

2. 関連研究と本稿の成果

低消費エネルギーを実現する最も有効な技術の 1 つとして、回路の要求動作速度に応じて電源電圧を動的に調整する DVFS (Dynamic Voltage and Frequency Scaling) が様々な商用製品に用いられている。DVFS により電源電圧を低く設定すると、回路の遅延は悪化する一方で動的消費エネルギーを効果的に削減することが可能である。しかしながらサブスレッショルドリーク電流に起因する静的消費エネルギーを悪化するため、極低電圧領域では電源電圧の低下にともない総消費エネルギーが悪化する。ABB (Adaptive Body Biasing) は、トランジスタの基板電圧を調整することによりトランジスタのしきい値電圧を動的に変更する技術である。静的消費エネルギーはしきい値電圧に強く依存する関数である。したがって ABB によってしきい値電圧を大きく設定すると、回路の遅延は悪化する一方で静的消費エネルギーを効率的に削減することができる。この事実は、回路の総消費エネルギーは電源電圧およびしきい値電圧の凸関数であることを意味している。したがって特定のクロック周期のもと、総消費エネルギーを最小化する電源電圧およびしきい値電圧が存在し、本稿ではこの組をエネルギー最小点 (Minimum Energy Point: MEP) と呼ぶ。

回路の活性化率は回路の MEP を決定する重要なパラメータの一つである。文献 [5,6] では、CMOS 回路の単純な性能モデルに基づき、MEP が閉形式関数で記述されている。回路が MEP で動作するとき、総消費電力に対する回路の静的電力の比はおおよそ 30% になることが示されている。すなわち、エネルギー効率の良い回路動作を実現する場合、回路の動的消費エネルギーと静的消費エネルギーの均衡が重要であることを述べている。文献 [5,6] ではまた、MEP の座標は回路の活性化率に強く依存することを指摘

¹ 京都大学大学院情報学研究所

^{a)} shiomi-jun@vlsi.kuee.kyoto-u.ac.jp

している。例えば、回路の活性化率が非常に小さい場合、その回路の静的消費エネルギーは回路の全体の総消費エネルギーを支配する消費エネルギーとなる。したがって、回路のしきい値電圧および電源電圧をとともに増大させることにより、回路の動作速度を悪化させることなく静的消費エネルギー、すなわち総消費エネルギーを効率的に削減できる。この事実を、チップに異なる活性化率を持つマクロが搭載されているときしきい値電圧および電源電圧をマクロ毎に独立して調整することで、エネルギー効率を改善することができることを示唆している。一般に、オンチップメモリはビットセルがその面積のほとんどを占めているため、活性化率はプロセッサのロジック部と比較して小さい。本稿では、プロセッサのロジック部およびオンチップメモリで独立して電源電圧およびしきい値電圧を制御することでさらなるエネルギー効率の改善を実現できることを示す。

本稿の成果を以下にまとめる。

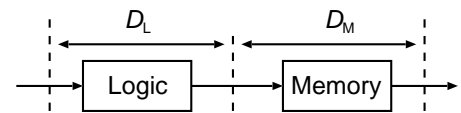
- オンチップメモリの代表素子である 6T SRAM は極低電圧動作に脆弱な素子である。本稿は、スタンダードセルベースメモリ (Standard-Cell based Memory: SCM) をオンチップメモリとして使用する。スタンダードセルのみを使用する完全デジタル型メモリにより、プロセッサの動作可能電圧が拡大され、電源電圧 0.3 V での動作を確認した。この結果、動作速度 47.5 MHz から 391 kHz までの幅広い動作性能領域でプロセッサを MEP で動作させることに成功した。
- 幅広い要求動作速度に対しプロセッサを MEP で動作させることにより単純な DVFS 制御と比較して動作速度を悪化させることなく最大 32% 消費エネルギーを削減可能であることを示す。
- オンチップメモリの活性化率が低い場合、ロジック部の MEP とメモリ部の MEP がそれぞれ異なることを示す。電源電圧および基板電圧の調整をプロセッサのロジック部およびメモリ部に独立して適用することで、プロセッサの電源電圧としきい値電圧を一様に調整する従来の MEP 追跡手法と比較して最大 16% 消費エネルギーを削減可能であることを示す。

3. 独立電圧制御による消費エネルギー最小化問題

本章では、ロジック部およびメモリ部の独立電圧制御による消費エネルギー最小化問題に関して問題定義を行う。次にロジック部およびメモリ部を一様に電圧調整する従来の MEP 追跡技術と比較して、本稿で議論する独立電圧制御問題の困難さに関して述べる。

3.1 問題定義

本稿では、図 1 に示すようなブロック図を評価の対象とする。“Logic” および “Memory” はそれぞれプロセッサのロジック部、メモリ部に対応する。\$V_{DDL}\$, \$V_{BBL}\$, \$V_{DDM}\$, \$V_{BBM}\$ はそれぞれロジック部およびメモリ部の電源電圧および基板電圧である。プロセッサのクリティカルパスがロジック部およびメモリ部に跨って展開されており、それぞれの



Energy	$E_L = E_{L,d} + E_{L,s}$	$E_M = E_{M,d} + E_{M,s}$
Supply voltage	V_{DDL}	V_{DDM}
Body bias	V_{BBL}	V_{BBM}

図 1 独立電圧制御によるエネルギー最小化問題。

部分のクリティカルパス遅延を $D_L (= D_L(V_{DDL}, V_{BBL}))$, $D_M (= D_M(V_{DDM}, V_{BBM}))$ とする。このとき、プロセッサのクリティカルパス遅延は D_L と D_M の和で表現可能と仮定する。本稿では $D_L + D_M$ を D とし、遅延制約と呼ぶ。 E_L , E_M はそれぞれロジック部およびメモリ部の消費エネルギーであり、それぞれ式 (1), (2) に示すように動的消費エネルギー ($E_{*,d}$), 静的消費エネルギー ($E_{*,s}$) の和で表される。文献 [6] で示されているように、動的消費エネルギーは回路の電源電圧のみに依存し、静的消費エネルギーは電源電圧、基板電圧、そして遅延制約に依存する。

$$E_L(V_{DDL}, V_{BBL}, D) = E_{L,d}(V_{DDL}) + E_{L,s}(V_{DDL}, V_{BBL}, D), \quad (1)$$

$$E_M(V_{DDM}, V_{BBM}, D) = E_{M,d}(V_{DDM}) + E_{M,s}(V_{DDM}, V_{BBM}, D). \quad (2)$$

独立電圧制御問題は、式 (3) のように、回路の遅延制約 D のもと、消費エネルギーの総和 $E_L + E_M$ を最小化する独立変数 V_{DDL} , V_{BBL} , V_{DDM} , V_{BBM} の値を決定する問題である。

$$\begin{aligned} \min \quad & E_L(V_{DDL}, V_{BBL}, D) + E_M(V_{DDM}, V_{BBM}, D) \\ \text{s.t.} \quad & D_L(V_{DDL}, V_{BBL}) + D_M(V_{DDM}, V_{BBM}) = D. \end{aligned} \quad (3)$$

3.2 一様電圧制御による消費エネルギー最小化

文献 [1-6] では、ロジック部とメモリ部を区別することなく一様に電源電圧と基板電圧を制御しプロセッサの消費エネルギーを最小化する問題を議論している。この一様電圧制御問題は、式 (3) を $V_{DDL} = V_{DDM} (= V_{DD}$ とする) かつ $V_{BBL} = V_{BBM} (= V_{BB}$ とする) と設定した問題と同値である。文献 [1-3] では、(3) の最適解 (V_{DD}^* , V_{BB}^*) を数値計算で導出している。文献 [5,6] では、 V_{DD}^* および V_{BB}^* はトランジスタの特性ばらつきや経年劣化、チップ温度、そしてプロセッサの実行プログラムに依存することを示している。文献 [4] では、消費エネルギーのモニタ回路、クリティカルパス遅延のモニタ回路および温度モニタ回路を動的に用いることで、時々刻々と変化する (V_{DD}^* , V_{BB}^*) を追跡する電圧制御アルゴリズムを提案している。

3.3 独立電圧制御による消費エネルギー最小化

本稿が取り扱う独立電圧制御問題は文献 [1-4] の一様電圧制御問題と比較して、以下の点はその複雑さを増大させている。

● マクロ間の遅延のシェア：一様電圧制御と異なり、 D_L と D_M の総和が D である範囲で、自由に2つの量を調整することが可能である。例えば $D_M < D_L$ である一方で $E_M \gg E_L$ である場合、メモリ部の遅延制約をゆるめ、ロジック部の遅延制約を厳しくすることで、 E_L の微増と引き換えに E_M の大幅削減が期待できる。本稿では、文献 [1-3] のように式 (3) の最適解 (V_{DDL}^* , V_{BBL}^* , V_{DDM}^* , V_{BBM}^*) を解析的に導出することや、文献 [4] で述べている最適解漸近アルゴリズムを提案する代わりに、後に示す単純な手順で消費エネルギーの削減を行う。重要な点は、遅延制約 D のもとでは、ロジック部の電圧制御はメモリ部の性能にほぼ影響を与えず、逆も成立する点である。これは、ロジック部の性能である D_L および E_L は V_{DDL} , V_{BBL} に対して強い関数である一方、メモリ部の電圧条件 V_{DDM} , V_{BBM} に依存しないためである。また、同様にメモリ部の性能はロジック部の電圧条件に依存せず、すなわち互いのマクロは独立して性能を変更することが可能である。提案する手順は以下のとおりである。

- (1) $V_{DDL} = V_{DDM} (= V_{DD})$ および $V_{BBL} = V_{BBM} (= V_{BB})$ とし、一様電圧制御問題に問題の複雑さを単純化する。
- (2) プロセッサの遅延制約を満たす (V_{DD} , V_{BB}) のうち、ロジック部の消費エネルギー E_L を最小化する電源電圧および基板電圧を文献 [1-4] のいずれかの方法で導出する。本稿ではこの電圧組を (V_{DDL}' , V_{BBL}') と定義する。
- (3) ロジック部の電圧を $V_{DDL} = V_{DDL}'$, $V_{BBL} = V_{BBL}'$ に固定し、オンチップメモリの電圧 V_{DDM} , V_{BBM} のみを制御し、メモリ部の消費エネルギー E_M を最小化する問題を解く。最適解をそれぞれ V_{DDM}' , V_{BBM}' とする。ここで、 V_{DDM} , V_{BBM} の変更は D_L および E_L に影響を与えないことに注意。
- (4) 電圧条件 (V_{DDL}' , V_{BBL}' , V_{DDM}' , V_{BBM}') でプロセッサを動作させる。

手順 (3) を行なっている間、 D_L および E_L は変化しない。したがって、電圧条件 (V_{DDL}' , V_{BBL}' , V_{DDM}' , V_{BBM}') により、ロジック部およびメモリ部をともにエネルギー極小点で動作させることが可能である。以上の制御手法は最適解 (V_{DDL}^* , V_{BBL}^* , V_{DDM}^* , V_{BBM}^*) を導出することはできないが、既存手法のみを用いて近似解を得ることが可能である。特に文献 [4] は単純な制御アルゴリズムを提案しており、提案する制御手法も同様に単純なアルゴリズムにより実装することが可能である。本稿では、オンチップメモリの活性化率が極端に低い場合、一様電圧制御と比べて最大 16% 消費エネルギーを削減可能であることを 4.3 節で示す。

4. 電源電圧および基板電圧の同時調整によるプロセッサの消費エネルギー削減

4.1 評価回路の構成

本稿の測定対象は、65-nm FD-SOI プロセスで製造された 32-bit 5 段パイプライン RISC プロセッサである。図 2 にチップ写真を示す。このプロセッサにはオンチップメモ

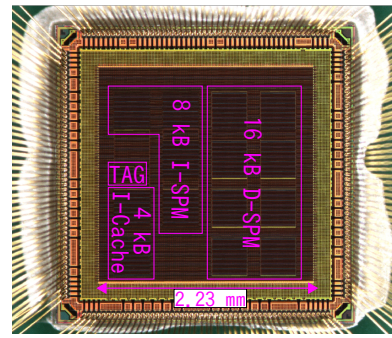


図 2 試作した RISC プロセッサの写真。

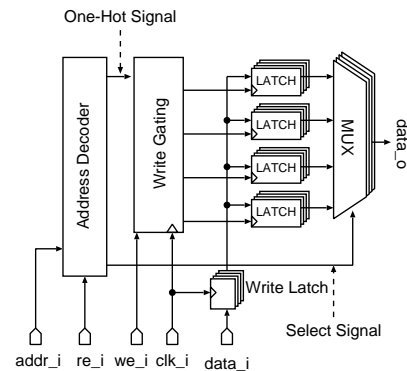


図 3 SCM のブロック図。

りとして以下に示すメモリが搭載されている。

- 4 kB 命令キャッシュ (I-Cache)
- 8 kB 命令スクラッチパッドメモリ (I-SPM)
- 16 kB データスクラッチパッドメモリ (D-SPM)

これらのメモリは文献 [7] で提案されているスタンダードセルベースメモリ (Standard-Cell based Memory: SCM) で実装されている。図 3 に SCM のブロック図を示す。ラッチセルがビットセルとして使用され、ラッチセルの後段に読み出しマルチプレクサが接続されている。“Write Gating” でアドレスデコーダで発生するグリッチを防ぎ、書き込み動作の際に誤ったアドレスに値を書き込まないように設計されている。SCM はデジタル回路のみで設計されており、したがって 6T SRAM と比べて幅広い動作性能領域で安定して動作する。プロセッサの外部に主記憶が接続されており、離散コサイン変換 (Discrete Cosine Transform: DCT) 演算の無限ループプログラムが格納されている。プロセッサには PLL が搭載されておらず、チップ外からクロック信号を入力する。また、プロセッサの詳細な電源構成は以下に示すとおりである。

- ロジック部およびメモリ部の電源電圧は独立しており、それぞれの消費電力を個別に測定可能である。本稿では、それぞれの電圧を V_{DDL} , V_{DDM} と表記する。各電圧ドメイン間にレベルコンバータは挿入されていない。
- メモリ部では、nMOS トランジスタおよび pMOS トランジスタの基板電圧をロジック部と独立して設定することができる。本稿では、簡単のため、nMOS, pMOS トランジスタの基板電圧としてそれぞれ V_{BBM} , $V_{DDM} - V_{BBM}$ を設定する。本稿ではこの構成を単純

に基板電圧 V_{BBM} と表現する。

- ロジック部では、プロセッサの設計を単純にするため、pMOS トランジスタの基板電圧のみ自由に調整することができる。本稿では、nMOS, pMOS トランジスタの基板電圧としてそれぞれ 0 V , $V_{DDL} - V_{BBL}$ を設定し、この構成を単純に基板電圧 V_{BBL} と表現する。nMOS トランジスタの基板電圧が制御できないため、ロジック部の静的消費エネルギーの制御性が十分でないことに注意。

図 3 に示す SCM にはクロックゲーティング回路が挿入されておらず、すべてのクロックサイクルでクロックツリーが稼働するよう設計されている。例えば、文献 [8, 9] で提案されている SCM や、一般的な SRAM ではクロックゲーティング回路が挿入されており、メモリアクセスの時のみクロックツリーが動作する。したがって、通常のオンチップメモリと異なり、本稿の測定対象となるオンチップメモリの活性化率が大きい。本稿では、オンチップメモリの活性化率変化に伴うプロセッサの MEP の変化を評価するため、係数 α_M を導入する。プロセッサの性能評価方法および α_M は以下のとおりである。

- プロセッサの動作速度 (クリティカルパス遅延)**
 プロセッサに与えるクロック周波数を変更し、DCT 演算ループに成功する最大のクロック周波数を動作速度とする。この値を F_{max} と呼ぶ。
- ロジック部とメモリ部の静的消費エネルギー $E_{L,s}$, $E_{M,s}$**
 プロセッサに供給するクロック信号が停止している際に発生する平均消費電力を測定し、これらの値と F_{max} から決定する。
- ロジック部の動的消費エネルギー $E_{L,d}$**
 DCT ループを F_{max} で実行中の平均消費電力を測定する。測定した電力値を F_{max} で割った値を $E_{L,d} + E_{L,s}$ とみなし、前述の項目で求めた $E_{L,s}$ との差から $E_{L,d}$ を決定する。
- メモリ部の動的消費エネルギー $E_{M,d}$**
 ロジック部と同様の手順で求め、最後に α_M を乗じた値をオンチップメモリの動的消費エネルギーとする。例えば $\alpha_M = 0.1$ の時、 α_M を乗じた消費エネルギーは、クロックゲーティングされたメモリが平均して 10 クロックサイクル中 1 クロックサイクルアクセスされる時の動的消費エネルギーとみなすことができる。

4.2 ロジック部およびメモリ部の一様電圧制御による消費エネルギー削減

プロセッサのロジック部およびメモリ部に対し、電源電圧および基板電圧を一様に制御した結果を図 4 示す。横軸は基板電圧 V_{BB} ($= V_{BBL} = V_{BBM}$) であり、横軸を右側に進むとトランジスタのしきい値電圧が増大する。縦軸は電源電圧 V_{DD} ($= V_{DDL} = V_{DDM}$) である。実線がプロセッサの総消費エネルギーの等高線で、単位は nJ/cycle である。図 4 では $\alpha_M = 1$ として消費エネルギーをプロットしている。破線は F_{max} 等高線である。“ $< 100\text{ kHz}$ or Fail” と表示された領域は、プロセッサが 100 kHz 以下で動作するか誤動作するかのいずれかを示した領域である。測定の際に

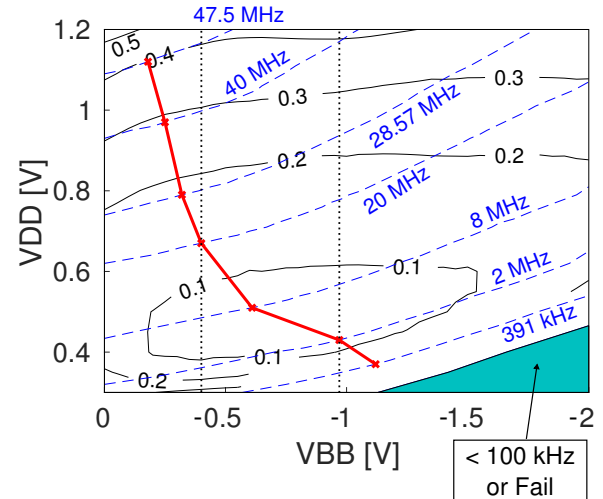


図 4 消費エネルギー等高線, F_{max} 等高線と MEP. 実線: エネルギー等高線. 破線: F_{max} 等高線. 太い実線: MEP の軌跡. エネルギーの単位は nJ/cycle . $\alpha_M = 1$.

は、各 F_{max} 等高線 (破線) 上の数十点に対して消費エネルギーを測定し、各 F_{max} 等高線の間の点を内挿し、消費エネルギー等高線 (実線) を導出した。391 kHz より低速側の点に対しては消費電流の測定限界に達したため消費エネルギーの測定を行っていない。太い実線で示した折れ線はプロセッサの MEP の軌跡である。SCM をオンチップメモリとして導入することにより、電源電圧 0.3 V 、基板電圧 -1.13 V のような極低電圧においてもプロセッサが安定動作することを確認した。また、試作したプロセッサは 47.5 MHz から 391 kHz までの幅広い動作性能領域に対して MEP で動作可能であることが実測により確認された。

DVFS 制御を用いてプロセッサを動作させた場合、MEP でプロセッサを動作させた場合の消費エネルギーの差を図 5 に示す。“DVFS + ABB (Measurement)” は図 4 の MEP で動作させた時のデータである。“DVFS $V_{BB} = -0.97\text{ V}$ (2 MHz opt.)” および “DVFS $V_{BB} = -0.4\text{ V}$ (20 MHz opt.)” は、固定値の基板バイアスを与え、DVFS 制御を行った結果であり、図 5 の点線部分 ($V_{BB} = -0.4\text{ V}$ および $V_{BB} = -0.97\text{ V}$) で DVFS を行った際の消費エネルギーに対応する。2 種類の DVFS と比較し、MEP で動作させた場合消費エネルギーを小さくすることが可能であり、その削減率は最大 32% である。これは、第 2 章で述べた通り、

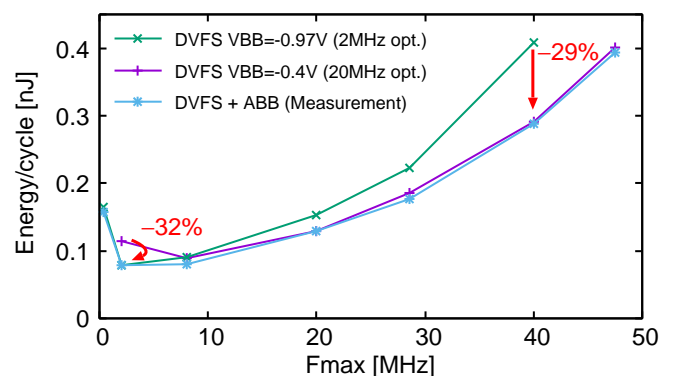


図 5 DVFS 制御と MEP 動作の消費エネルギーの変化. $\alpha_M = 1$.

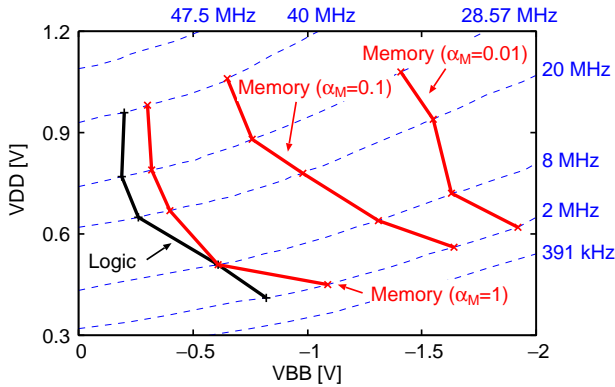


図 6 ロジック部の MEP の稼働率依存性.

単純な DVFS 制御を行うと幅広い動作性能領域で動的消費エネルギーと静的消費エネルギーの割合を一定に保てないためである。例えば、基板電圧を -0.4 V に設定し、高い性能領域で動的消費エネルギーと静的消費エネルギーの割合を MEP 動作時と一致させ、DVFS 制御を行った時の消費エネルギーの変化を考える。この場合、低電圧領域において全消費エネルギーに対する静的な消費エネルギーの割合が極端に増大し、MEP から遠ざかることがわかる。以上の事実は、動的に仕事量が変化する IoT のような用途には、電源電圧と基板電圧の同時調整技術が必須であることを示唆している。

4.3 ロジック部およびメモリ部の独立電圧制御による消費エネルギー削減

4.3.1 メモリ部の MEP の稼働率依存性

図 6 に、プロセッサのロジック部およびメモリ部の MEP の軌跡を示す。青色の破線はプロセッサの F_{\max} 等高線で、“Logic” と書かれた実線はロジック部の MEP である。すなわち、与えられたプロセッサの遅延制約のもと、ロジック部の消費エネルギー E_L を最小にする電源電圧および基板電圧の組の集合であり、第 3 章の (V_{DDL}', V_{BBL}') に対応する。同様に “Memory ($\alpha_M = **$)” と書かれた折れ線は、メモリの α_M がそれぞれ 1, 0.1, 0.01 と仮定した時、与えられたプロセッサの遅延制約のもと、 $\alpha_M E_M$ を最小にする電源電圧および基板電圧の組である。メモリの活性化率は α_M に比例することから、メモリの活性化率が低くなると MEP の軌跡が右上に移動することを図 6 が示している。これは、第 2 章で述べたように、マクロの活性化率が低くなると、マクロの全消費エネルギーに対する静的消費エネルギーの割合が増大するためである。プロセッサの総消費エネルギーを最小化する MEP はロジック部およびメモリ部のそれぞれの MEP の中間的な電圧条件となる。この事実は、活性化率が非常に小さいメモリを搭載したプロセッサは、ロジック部とオンチップメモリで独立して電圧制御することにより、消費エネルギーを削減可能であることを示唆している。

4.3.2 ロジック部およびメモリ部の独立電圧制御

第 3 章で述べた方法により、電源電圧および基板電圧をロジック部およびメモリ部に対して独立に制御し、消費エネルギーの削減を行う。プロセッサの要求動作速度

2 MHz, 8 MHz, 20 MHz, 28.57 MHz に対し、独立電圧制御を行った。 (V_{DDL}', V_{BBL}') として、図 6 の “Logic” と書かれた点を使用する。 (V_{DDL}', V_{BBL}') を固定した状態で (V_{DDM}', V_{BBM}') を探索する。本稿では、測定に必要な時間の制約上、図 6 の “Memory ($\alpha_M = **$)” と書かれた折れ線付近にメモリ部の電圧条件を設定し、プロセッサの総消費エネルギーが小さくなる点を (V_{DDM}', V_{BBM}') とした。

図 7 に、プロセッサの要求動作速度 2 MHz, 8 MHz, 20 MHz, 28.57 MHz に対し $V_{DDL}', V_{BBL}', V_{DDM}', V_{BBM}'$ をプロットした結果を示す。“Uniform ($\alpha_M = **$)” は α_M がそれぞれ 0.1, 0.01 の時にロジック部およびメモリ部で一律な電圧制御を行った際の MEP である。 $\alpha_M = 1$ の際の (V_{DDM}', V_{BBM}') はロジック部の最適な電圧 (V_{DDL}', V_{BBL}') とほぼ一致したためプロットしていない。したがって、 $\alpha_M = 1$ の時、独立電圧制御により消費エネルギーを削減することはできない。図 7 が示すように、メモリの活性化率が低くなるとロジック部およびメモリ部で最適な電圧条件が離れる。ロジック部およびメモリ部に対して一律に電圧制御した時の MEP は (V_{DDL}', V_{BBL}') と (V_{DDM}', V_{BBM}') の中間的な電圧設定となっている。

図 8, 9 にそれぞれ $\alpha_M = 0.1, 0.01$ の時に対し、独立電圧制御を行った時の消費エネルギー削減率を示す。“Uniform” は一律な電圧制御を行った時の消費エネルギー、“Individual” はマクロごとに独立して電圧制御を行った時の消費エネルギーを示している。図 8, 9 ともに独立電圧制御により消費エネルギーを削減することが可能であることを確認し、その削減率は最大 16% であることを確認した。これらの削減率は特にメモリの活性化率が低い時に大きくなる。メモリ部の消費エネルギーの内訳によると、一律な電圧制御を用いる時、静的消費エネルギーがその大半を占めている。これは、図 6 で示したように (V_{DDL}', V_{BBL}') と (V_{DDM}', V_{BBM}') が離れた場所に位置しているためである。一律に電圧を制御する時、ロジック部とメモリ部の総消費エネルギーを最小化する電源電圧および基板電圧は (V_{DDL}', V_{BBL}') と (V_{DDM}', V_{BBM}') の間に存在し、特に (V_{DDM}', V_{BBM}') の左下側に位置する。したがって、メモリ部の動的消費エネルギーと静的消費エネルギーの内

* (V_{DDL}', V_{BBL}') × Uniform ($\alpha_M=0.01$) ■ (V_{DDM}', V_{BBM}') @ $\alpha_M=0.01$
+ Uniform ($\alpha_M=0.1$) □ (V_{DDM}', V_{BBM}') @ $\alpha_M=0.1$

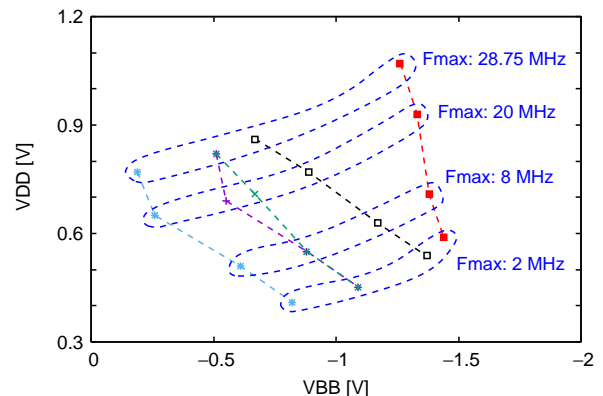


図 7 ロジック部およびメモリ部の独立電圧制御の結果.

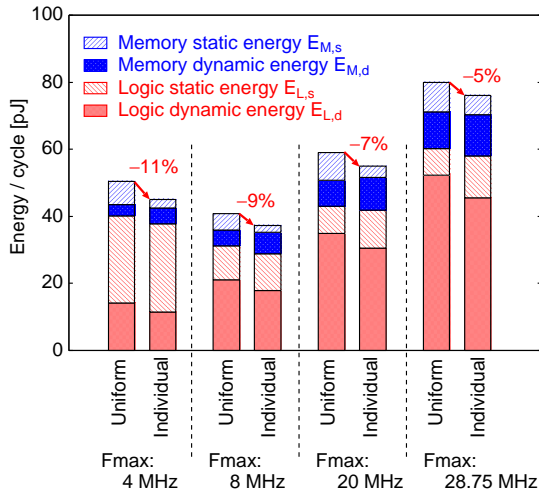


図 8 独立電圧制御による消費エネルギーの削減率. $\alpha_M = 0.1$.

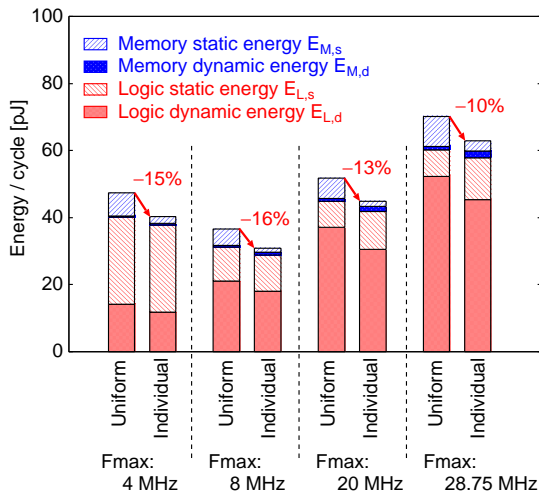


図 9 独立電圧制御による消費エネルギーの削減率. $\alpha_M = 0.01$.

図を見ると、静的消費エネルギーがその大部分を占める。独立電圧制御によりメモリ部の電圧を (V_{DDM}' , V_{BBM}') に設定することで、わずかな動的消費エネルギー $\alpha_M E_{M,d}$ の増大とともに静的消費エネルギー $E_{M,s}$ を効果的に削減することを確認した。同様に、ロジック部では、メモリ部と逆の現象が発生している。すなわち、ロジック部の全消費エネルギーのうち、動的消費エネルギーの割合を削減することによりロジック部の総消費エネルギーの削減を実現している。以上の結果は、オンチップメモリのような活性化率の低いマクロがプロセッサに搭載されている場合、独立した電圧制御を行うことで効果的に消費エネルギーを削減できることを示唆している。

5. おわりに

本稿では、プロセッサの消費エネルギー削減のため、ロジック部およびメモリ部で独立して電圧を制御する手法を提案した。SCM をプロセッサのオンチップメモリとして使用することにより、プロセッサの動作可能電圧が拡大され、電源電圧 0.3 V での動作を確認した。この結果、動作速度 47.5 MHz から 391 kHz までの幅広い動作性能領域で

プロセッサを MEP で動作させることに成功した。また、単純な DVFS 制御と比較して動作速度を悪化させることなく最大 34% 消費エネルギーを削減可能であることを実測に基づき示した。最後に、ロジック部およびメモリ部で独立して電源電圧および基板電圧を制御することにより、動作速度を悪化させることなくさらに消費エネルギーを削減できることを示した。この削減率はオンチップメモリの活性化率が低い場合に顕著であり、その値は従来の一様電圧制御と比較して最大 16% であった。

謝辞

本研究は JSPS 科研費 (16H01713, 26280013, 16J08694) による支援によって行われた。本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社の協力で行われた。

参考文献

- [1] L. Yan, J. Luo, and N. Jha, "Joint Dynamic Voltage Scaling and Adaptive Body Biasing for Heterogeneous Distributed Real-Time Embedded Systems," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 24, no. 7, pp. 1030-1041, July 2005.
- [2] S. Martin, K. Flautner, T. Mudge, and D. Blaauw, "Combined Dynamic Voltage Scaling and Adaptive Body Biasing for Lower Power Microprocessors under Dynamic Workloads," in *International Conference on Computer Aided Design*, Nov 2002, pp. 721-725.
- [3] A. Basu, S.-C. Lin, V. Wason, A. Mehrotra, and K. Banerjee, "Simultaneous Optimization of Supply and Threshold Voltages for Low-Power and High-Performance Circuits in the Leakage Dominant Era," in *Design Automation Conference*, July 2004, pp. 884-887.
- [4] S. Hokimoto, T. Ishihara, and H. Onodera, "Minimum Energy Point Tracking Using Combined Dynamic Voltage Scaling and Adaptive Body Biasing," in *International System-on-Chip Conference*, Sept 2016, pp. 1-6.
- [5] K. Nose and T. Sakurai, "Optimization of VDD and VTH for Low-power and High Speed Applications," in *Asia and South Pacific Design Automation Conference*, Jan 2000, pp. 469-474.
- [6] 竹下俊宏, 塩見準, 石原亨, and 小野寺秀俊, "CMOS LSI におけるエネルギー最小点追跡のための電源電圧としきい値電圧の動的調節指針," in *情報処理学会研究報告, Vol. 2016-SLDM-175, No. 32.*, Mar 2016, pp. 1-6.
- [7] 塩見準, 石原亨, and 小野寺秀俊, "広範囲な動作性能領域においてエネルギー最小点追跡を可能にするオンチップメモリ," in *DA シンポジウム 2016 論文集*, Sept 2016, pp. 91-96.
- [8] J. Shiomi, T. Ishihara, and H. Onodera, "Fully digital on-chip memory using minimum height standard cells for near-threshold voltage computing," in *International Workshop on Power and Timing Modeling, Optimization and Simulation*, Sept 2016, pp. 1-6.
- [9] P. Meinerzhagen, S. M. Y. Sherazi, A. Burg, and J. N. Rodrigues, "Benchmarking of Standard-Cell Based Memories in the Sub-VT Domain in 65-nm CMOS Technology," *IEEE Transactions on Emerging and Selected Topics in Circuits and Systems*, vol. 1, no. 2, pp. 173-182, June 2011.