

プロセッサにおける電源電圧と基板電圧の同時調節による エネルギー最小点追跡手法

保木本 修^{1,a)} 石原 亨¹ 小野寺 秀俊¹

概要：コンピュータだけでなく、自動車や住宅などあらゆるものがインターネットに繋がり情報をやり取りする IoT (Internet of Things) の時代が到来しようとしている。IoT の実現には、極めて消費エネルギーの小さいプロセッサが不可欠である。電源電圧と基板電圧を同時に調節することで、特定の動作速度条件でプロセッサの消費エネルギーを動的に最小化することが可能である。本稿では、与えられた要求動作速度でプロセッサの消費エネルギーを最小化する電源電圧と基板電圧の組をエネルギー最小点と呼ぶ。エネルギー最小点はチップ温度、要求動作速度およびプロセスばらつきなどの動作環境に強く依存するため、プロセッサを常にエネルギー最小点で動作させることは簡単ではない。本稿では、動作環境が変化してもエネルギー最小点を追跡して電源電圧と基板電圧を調節するアルゴリズムを提案する。商用の 65 nm CMOS プロセスを用いて設計した 32-bit RISC プロセッサに対するゲートレベルシミュレーションにより、提案するアルゴリズムが正確にエネルギー最小点を追跡できることを確認した。

A Method of Tracking Minimum Energy Points in Microprocessors Using Combined Dynamic Voltage Scaling and Adaptive Body Biasing

SHU HOKIMOTO^{1,a)} TOHRU ISHIHARA¹ HIDETOSHI ONODERA¹

Abstract: Scaling the supply voltage (V_{DD}) and the threshold voltage (V_{TH}) for minimizing the energy consumption of processors dynamically is highly desired for applications such as wireless sensor network and Internet of Things (IoT). In this paper, we refer to the pair of V_{DD} and V_{TH} , which minimizes the energy consumption of the processor under a given operating condition, as a minimum energy point (MEP in short). Since the MEP is heavily dependent on PVT (Process, Voltage and Temperature) conditions, it is not easy to track the MEP at runtime. This paper proposes a simple but effective algorithm for dynamically tracking the MEP of a processor under a wide range of PVT conditions. Gate-level simulation for a 32-bit RISC processor designed with a 65-nm process demonstrates that the proposed algorithm tracks the MEP under a situation that PVT conditions widely vary.

1. 序論

現代社会において、情報通信技術はありとあらゆる場所や物に使われている。情報通信機器の高性能化が常に要求されているため、通信機器に使われるプロセッサの消費エネルギーが増大しており深刻な問題となっている。このため、プロセッサの消費エネルギー低減が情報社会発展のための重要な課題である。

プロセッサの消費エネルギーを改善する方法として、電源電圧としきい値電圧の動的調節が挙げられる。動的しきい値電圧調節方法として適応的基板バイアス制御 (以下 ABB) [1], [2] が用いられる。本稿では、特定の動作速度条件で消費エネルギーを最小化する電源電圧と基板電圧の組

をエネルギー最小点と呼ぶ。プロセッサのエネルギー最小点はプロセス、電圧、温度条件 (以下 PVT 条件) に強く依存する。ただし、本稿での電圧条件とは Dynamic Voltage and Frequency Scaling (以下 DVFS) による性能要求に応じた電圧変動を指している。例えば、プロセッサの性能要求が低ければ、電源電圧を下げるができる。微細プロセスでは製造時の状況がばらつくことによって、静的エネルギーの die-to-die ばらつきが生じる [3], [4]。また、チップ温度は刻一刻と変化しプロセッサの静的エネルギーが変動する要因となっている。したがって、広い PVT 条件で常にプロセッサをエネルギー最小点で動作させることは簡単ではない。

本稿では広い PVT 条件でプロセッサのエネルギー最小点を追跡するアルゴリズムを提案する。このアルゴリズムでは、動的エネルギーと静的エネルギーの測定値を使用す

¹ 京都大学大学院情報学研究所

^{a)} s-hokimoto@vlsi.kuee.kyoto-u.ac.jp

る。プロセッサの静的エネルギーは、文献 [5] で提案されているリークモニタを用いて測定する。また、動的エネルギーは電源電圧の 2 乗に比例すると仮定する。これにより、特定の電源電圧での動的エネルギーを 1 点測定すれば、異なる電源電圧での動的エネルギーを推定できる。本稿ではプロセッサのクリティカルパス遅延やチップ温度を測る技術については議論していない。しかし、プロセッサの温度の推定技術は [5], [6] で提案されており、本稿で提案するエネルギー最小点追跡アルゴリズムに応用可能である。また、プロセッサの動作速度を一定に保つための技術として、クリティカルパス遅延を模擬する回路が [7], [8], [9] で提案されており、本稿の提案アルゴリズムに適用可能である。

本稿の構成を以下に示す。第 2 章では、関連研究と本稿の成果を述べる。第 3 章では、動的にプロセッサのエネルギー最小点を追跡するアルゴリズムを提案する。さらに、プロセッサの電源電圧と基板電圧をエネルギー最小点に近づけるための評価関数を示し、理論的背景について説明する。第 4 章では、商用の 65 nm CMOS プロセスを用いて設計した 32-bit RISC プロセッサに対するゲートレベルシミュレーションにより、第 3 章で提案したアルゴリズムの検証を行う。第 5 章で本稿をまとめる。

2. 関連研究と本稿の成果

本稿では、動的しきい値電圧調節方法として適応的基板バイアス制御 (以下 ABB) [1], [2] を用いる。電源電圧と基板電圧の同時調節によってプロセッサの消費エネルギーを低減することができる。このため、プロセッサの動的電圧調節技術は広く研究されている。文献 [1], [2], [10] では各動作速度に対して最適な電源電圧と基板電圧の組を解析的に導出している。しかし、文献 [1], [2], [10] で使用した解析モデルには、トランジスタのチャネル不純物濃度や回路中の寄生容量といった不確定なパラメータを多く含む。したがって、解析モデルのみを用いてプロセッサのエネルギー最小点を正確に導出することは簡単ではない。

文献 [11] では、回路の消費エネルギーが最小となるときの P_D/P_{LEAK} の比が一定となることを示している。ただし、 P_D はスイッチング電力であり P_{LEAK} はリーク電力である。しかし、 P_D/P_{LEAK} の比を幅広い PVT 条件で常に一定に保つことは簡単ではない。文献 [7] では、自動的に P_D/P_{LEAK} を最適な値に保つ閉ループシステムを提案している。また、動作条件が多少変化しても、回路の消費電力が最小となる最適なスイッチング電流とリーク電流の比が一定であると主張している。しかし、PVT 条件が大きく変わると最適なスイッチング電流とリーク電流の比は変化する。したがって、PVT 条件が大きく変化した場合、最適なスイッチング電流とリーク電流の比も変化し、その結果正確にエネルギー最小点を推定できなくなる。本稿で提案するアルゴリズムではより正確な電圧調節方向の判定式を用

いることで、PVT 条件が大きく変化してもエネルギー最小点に近づく電圧調節方向を決定できる。

文献 [3] ではエネルギー最小点追跡手法が提案されている。このアルゴリズムでは回路の消費電力測定を繰り返し行い、前回の消費電力測定値と今回の消費電力測定値の大小を比較して基板電圧の調節方向を決定する。その後、基板電圧 V_{BB} を刻み幅 ΔV_{BB} の大きさで変更する。この繰り返しによって回路のエネルギー最小点を動的に追跡する。しかし、回路の消費電力が変化する要因は複数あるため、測定電力の差分のみを用いて基板電圧の調節方向を定めることは簡単ではない。例えば、チップ温度は刻一刻と変化し、静的エネルギー変動の要因となっている。稼働率が増加し、同時にチップ温度が低下した場合、総消費エネルギーは変化しないため基板電圧の調節方向を定めることができない。

本稿では初めにプロセッサがエネルギー最小点で動作しているか判定する評価関数を提案する。提案する評価関数は、プロセッサの動的エネルギー、静的エネルギーそして温度の関数である。この評価関数を用いることで、与えられた動作速度条件でのエネルギー最小点に近づく電源電圧と基板電圧の調節方向が開ループで決定できる。次に、幅広い PVT 条件でプロセッサのエネルギー最小点を追跡するアルゴリズムを提案する。提案アルゴリズムを用いることで PVT 条件が大きく変化しても常にエネルギー最小点に近づく方向に電圧を調節できる。

3. エネルギー最小点追跡アルゴリズム

3.1 エネルギー最小点

電源電圧としきい値電圧を調節して、特定の動作速度条件で CMOS 回路の 1 クロックサイクル当たりの消費エネルギーを最小化することを考える。式 (1) で示されるように、回路の総消費エネルギー E_t は、動的エネルギー E_d と静的エネルギー E_s の和で表される。式 (2) で示されるように、 E_d は電源電圧 V_{DD} の 2 乗に比例する関数であり、しきい値電圧 V_{TH} に依存しない。また、式 (3) で示されるように、 E_s はしきい値電圧 V_{TH} に対して指数的に依存し、遅延 D と電源電圧 V_{DD} に対して線形に依存する。ただし、 k_1 と k_2 はフィッティング係数である。また、 N_s は n_1 と v_t の積である。 n_1 は MOSFET の理想係数であり、通常 1 から 2 の値をとる。 v_t は熱電圧であり、絶対温度に比例する。

$$E_t = E_d + E_s + E_g \quad (1)$$

$$E_d = k_1 V_{DD}^2 \quad (2)$$

$$E_s = k_2 D V_{DD} e^{-\frac{V_{TH}}{N_s}} \quad (3)$$

$V_{DD} > V_{TH}$ の時、回路の遅延は α 乗則 [12] を用いて式 (4) のように表される。ただし、 $V_{DT} = V_{DD} - V_{TH}$ であり、 k_3 はフィッティングパラメータである。 α は通常 1 から 2 の値をとる。

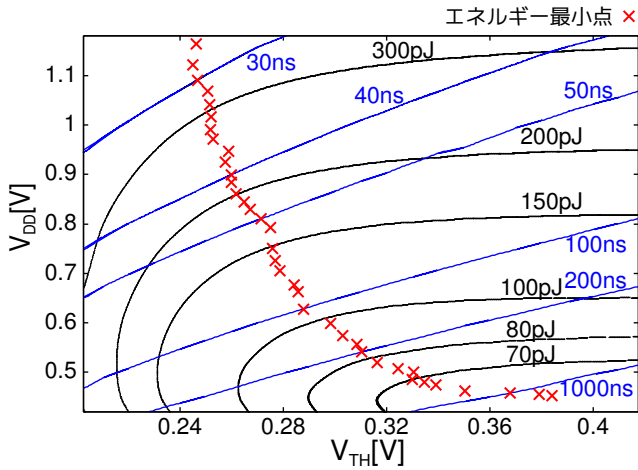


図 1 プロセッサの遅延等高線, エネルギー等高線およびエネルギー最小点. 動作温度は 25 °C.

$$D = \frac{k_3 V_{DD}}{V_{DT}^\alpha} \quad (4)$$

図 1 にプロセッサの遅延等高線, エネルギー等高線およびエネルギー最小点を示す. 動作温度は 25 °C を想定する. 青い線は遅延等高線, 黒い線はエネルギー等高線, そして赤い点はエネルギー最小点をそれぞれ示す. 図 1 から分かるように, 遅延等高線は概ね直線, エネルギー等高線は年輪状となる. エネルギー最小点は遅延等高線とエネルギー等高線の接点である [13]. したがって, 式 (5) で示されるように, エネルギー最小点における遅延等高線とエネルギー等高線の傾きは等しい. 式 (5) の左辺は遅延等高線の傾きを, 右辺はエネルギー等高線の傾きを表す.

$$\frac{\frac{\partial D}{\partial V_{TH}}}{\frac{\partial D}{\partial V_{DD}}} = \frac{\frac{\partial E_t}{\partial V_{TH}}}{\frac{\partial E_t}{\partial V_{DD}}} \quad (5)$$

式 (4) を V_{DD} と V_{TH} でそれぞれ偏微分することで式 (6) を得る. ただし n_d は遅延等高線の傾きである. また, $V_{DD} \leq V_{TH}$ の時は $n_d = 1$ となることが文献 [13] で示されている. 式 (2) と式 (3) を V_{DD} と V_{TH} でそれぞれ偏微分することで式 (7) を得る. ただし n_e はエネルギー等高線の傾きである.

$$n_d = \frac{\frac{\partial D}{\partial V_{TH}}}{\frac{\partial D}{\partial V_{DD}}} = \frac{\alpha V_{DD}}{\alpha V_{DD} - (V_{DD} - V_{TH})} \quad (6)$$

$$n_e = \frac{\frac{\partial E_t}{\partial V_{TH}}}{\frac{\partial E_t}{\partial V_{DD}}} = \frac{\frac{\partial E_d}{\partial V_{TH}} - \frac{\partial E_s}{\partial V_{TH}}}{\frac{\partial E_d}{\partial V_{DD}} + \frac{\partial E_s}{\partial V_{DD}}} = \frac{E_s V_{DD}^2}{(2E_d + E_s) V_{DD} N_s} \quad (7)$$

式 (6) 中の α と式 (7) 中の N_s はフィッティングから得

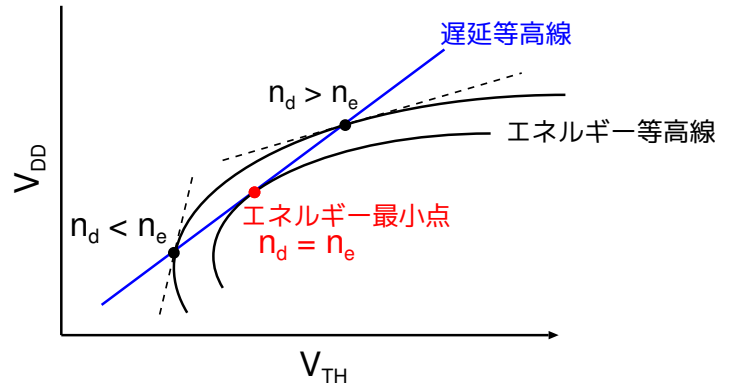


図 2 エネルギー最小点に近づく電圧調節方向を示す評価関数の概念図.

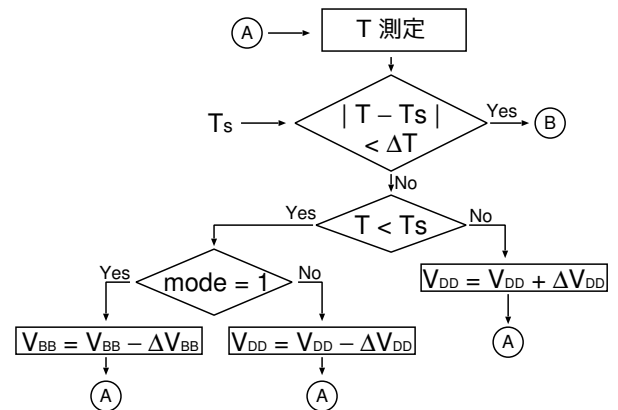


図 3 遅延追跡段階のフローチャート

る. ここで, N_s は絶対温度に比例する. 式 (6) より, プロセッサの V_{DD} と V_{TH} が分かれば n_d は容易に計算できる. また, n_e は消費エネルギーとチップ温度の測定値から式 (7) を用いて計算する. E_d , E_s およびチップ温度を測定すれば, 電圧調節方向を正しく定めることが出来る. 図 2 は提案アルゴリズムの概念図を示している. プロセッサの要求動作速度を満たす遅延等高線上の V_{DD} と V_{TH} の組を考える. エネルギー最小点上では $n_d = n_e$ となり, 式 (5) を満たす. $n_d > n_e$ の時, V_{DD} と V_{TH} を共に減少させる方向に調節することでエネルギー最小点に近づく. 反対に, $n_d < n_e$ の時には V_{DD} と V_{TH} を共に増加させることでエネルギー最小点に近づく.

本稿ではエネルギー最小点追跡アルゴリズムに焦点を当てている. したがって, プロセッサのクリティカルパス遅延やチップ温度を測定する方法については議論していない. しかし, チップ温度の測定技術については [5], [6] で提案されており, 本稿で提案しているアルゴリズムに適用できる. さらに, プロセッサの動作速度を一定に保つための技術として, クリティカルパス遅延を模擬する回路が [7], [8], [9] で提案されており, 本稿の提案アルゴリズムに適用可能である.

3.2 エネルギー最小点追跡フローチャート

図 3 と 4 は提案するエネルギー最小点追跡アルゴリズムのフローチャートを示している。フローチャート内で用いるパラメータの説明を以下に示す。

- T_s : 要求動作遅延.
- T : プロセッサのクリティカルパス遅延測定値.
- ΔT : 要求動作遅延からの遅延誤差許容範囲。 $|T - T_s| < \Delta T$ ならば遅延制約を満たしていると判定する.
- E_d, E_s : それぞれ動的エネルギー測定値と静的エネルギー測定値.
- n_d, n_e : それぞれ遅延等高線の傾きとエネルギー等高線の傾き. 式 (6), (7) から導出する.
- Δn : エネルギー最小点の許容誤差範囲。 $|n_d - n_e| < \Delta n$ ならばプロセッサはエネルギー最小点で動作していると判定する.
- $\Delta V_{DD}, \Delta V_{BB}$: それぞれ電源電圧と基板電圧の調節刻み幅.
- mode : V_{DD} と V_{BB} のどちらを調節するかを定める変数. mode が 0 ならば V_{DD} を調節し, mode が 1 ならば V_{BB} を調節する.

エネルギー最小点追跡アルゴリズムは遅延追跡段階とエネルギー測定段階の 2 段階で構成されている。図 3 は遅延追跡段階のフローチャートを示している。遅延追跡段階では与えられた要求動作遅延を満たす V_{DD} と V_{BB} の組を探索する。要求動作遅延で動作する電圧組が電源電圧または基板電圧の調節可能範囲を越えた場合、アルゴリズムは停止する。mode はエネルギー測定段階で V_{DD} と V_{BB} のどちらを調節したかを保持する変数である。エネルギー測定段階で V_{DD} が変更された場合、遅延追跡段階では V_{BB} を優先して変更する。反対に、エネルギー測定段階で V_{BB} が変更された場合、遅延追跡段階で V_{DD} を優先して調節する。mode という変数を持つことで、エネルギー測定段階で V_{DD} を増加させ、直後に遅延追跡段階で V_{DD} を減少させ、結果元の動作点に戻るといった電圧が発振する問題を回避する。

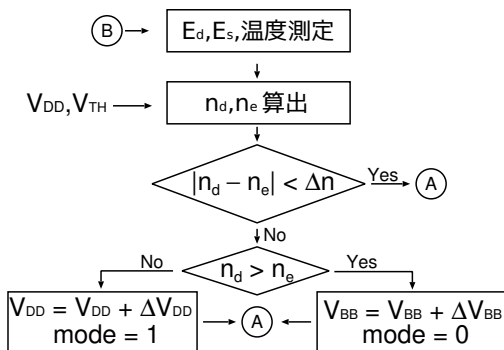


図 4 エネルギー測定段階のフローチャート.

図 4 はエネルギー測定段階のフローチャートを示している。エネルギー測定段階ではまずプロセッサの E_d, E_s および温度を測定する。次に式 (6) と (7) から n_d と n_e を計算する。その後、プロセッサがエネルギー最小点で動作しているかを判定する。プロセッサがエネルギー最小点で動作している場合は電圧を変更せずに遅延追跡段階に戻る。プロセッサがエネルギー最小点で動作していない場合は V_{DD} または V_{BB} を増加させる。 $n_d > n_e$ ならば V_{BB} を増加させ、 $n_d < n_e$ ならば V_{DD} を増加させる。 V_{DD} または V_{BB} を増加させる方向、すなわちプロセッサのクリティカルパス遅延が減少する方向にのみ電圧を変更することで、エネルギー測定段階でクリティカルパス遅延がクロック周期を超えないようにしている。また、 $V_{DD} \leq V_{TH}$ の時は $n_d = 1$ となることが文献 [13] で示されている。したがって、上述したアルゴリズムにおいて $n_d = 1$ と設定することでサブスレッショルド領域でも提案アルゴリズムを適応可能である。電圧を更新した後、遅延追跡段階に戻る。以上のループを繰り返すことで PVT 条件が大きく変化してもプロセッサのエネルギー最小点を追跡するように V_{DD} と V_{BB} の調節ができる。

3.3 プロセッサ稼働時の静的エネルギー測定手法

本稿では文献 [5] で提案されているリークモニタを用いてプロセッサの静的エネルギーを測定する。リークモニタは図 5 (a) に示されるインバータで構成された 31 段リングオシレータである。nMOSFET の入力 “C0” が OFF かつ pMOSFET の入力 “C1” が ON ならば nMOS のリーク電流 $I_{leak,n}$ はリークモニタの発振周波数 f_{leak} と V_{DD} の積に比例する。したがって、式 (8) を用いることでプロセッサ稼働時の静的エネルギーを推定できる。ただし、 k_s はフィッティング係数、 D はプロセッサのクリティカルパス遅延でありクロックサイクルと等しい。

$$E_s = I_{leak} V_{DD} D = k_s f_{leak} V_{DD}^2 D. \quad (8)$$

事前に k_s の値を求めることで、リークモニタの発振周波数

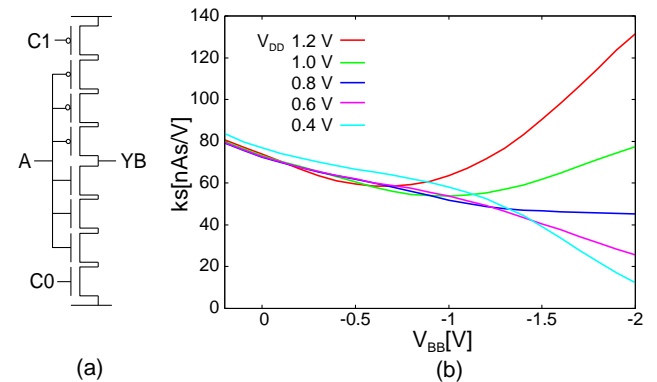


図 5 (a) 再構成可能なリークモニタセル. (b) 25 °C, 31 段リークモニタでの k_s 評価結果.

から静的エネルギーを推定できる。図 5 (b) は k_s のフィッティング結果を示している。 k_s の値はリークモニタの発振周波数から式 (8) を用いて計算した。図 5 (b) から分かるように、 k_s の値は V_{BB} の大きい領域では概ね一定である。 V_{BB} が -1 V より小さい領域では、ゲートリークと接合リークが増加するため、 k_s の値が急激に変化する。しかし、図 1 から分かるように、プロセッサのエネルギー最小点における V_{BB} は -1 V より大きい。したがって、 V_{BB} が 0 V より小さくても $V_{BB} = 0$ V 時の k_s を用いることでプロセッサの静的エネルギー E_s を推定できる。

4. エネルギー最小点追跡アルゴリズムの検証

4.1 シミュレーションセットアップ

本稿でシミュレーションに使用したプロセッサの仕様を以下に示す。

- 商用 65 nm プロセスで設計された 5 段パイプライン RISC プロセッサ。
- 命令キャッシュ 4 kB, 命令メモリ 8 kB, データメモリ 16 KB を搭載。

上述のプロセッサに対してポストレイアウトゲートレベルシミュレーションを実行し、様々な V_{DD} , V_{BB} および温度設定で消費エネルギーを評価した。動的エネルギーはポストレイアウトシミュレーションで評価しているため、電圧に依存するグリッチも考慮している。また、ゲートリークや接合リークによって生じる静的エネルギーを含めて評価している。SYNOPTSYS 社の PrimeTime を用いて Static Timing Analysis (STA) を行い、様々な電圧と温度設定でプロセッサのクリティカルパス遅延を評価した。

4.2 エネルギー最小点追跡アルゴリズム検証結果

対象としたプロセッサでは、動作温度 25°C において N_s は 36 mV, α は 1.4 である。さらに ΔV_{DD} と ΔV_{BB} は 10 mV, Δn は 0.1 とした。 E_s はリークモニタの周波数から式 (8) を用いて計算した。ただし、 k_s は動作温度 25°C における $V_{DD} = 0.8$ V, $V_{BB} = 0$ V での値とした。 E_d は式 (2) を用いて計算した。ただし、 k_1 の値は $V_{DD} = 1.2$ V, $V_{BB} = 0$ V での E_d の測定値から計算した。図 6-9 にエネルギー最小点追跡アルゴリズム検証結果を示す。図 6-9 中の黒線は要求動作速度を満たす遅延等高線を示す。青線は第 3 章で説明したアルゴリズムを用いて V_{DD} と V_{BB} を調節した際の電圧組の軌跡を示す。赤点はポストレイアウトゲートレベルシミュレーションで探索したエネルギー最小点を、青点は提案アルゴリズムを用いて推定したエネルギー最小点をそれぞれ示す。また、図 7-9 中の黒点は動作温度 25°C , 要求動作速度 20 MHz, TT 条件におけるエネルギー最小点を示す。図 7-9 いずれの場合でも、 25°C , 要求動作速度 20 MHz, TT 条件 におけるエネルギー最小点での消費エネルギーは、実際のエネルギー最小点でのエ

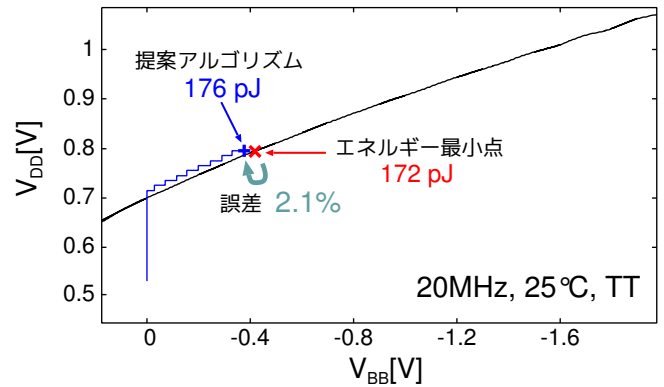


図 6 要求動作速度 20 MHz, 温度 25°C でのエネルギー最小点追跡アルゴリズム検証結果。

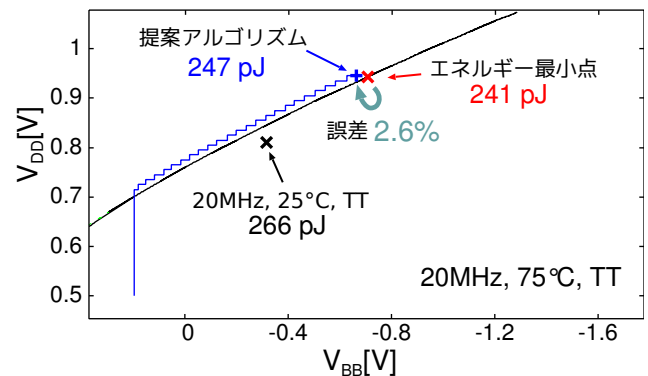


図 7 要求動作速度 20 MHz, 温度 75°C でのエネルギー最小点追跡アルゴリズム検証結果。

ネルギー最小点より大きい。したがって、PVT 条件の変化によってエネルギー最小点が移動することが確認できる。

図 6 と 7 にそれぞれ温度 25°C と 75°C でのシミュレーション結果を示す。要求動作速度はどちらも 20 MHz とした。提案アルゴリズムを用いて推定したエネルギー最小点での消費エネルギーはシミュレーションで求めたエネルギー最小点から誤差 3% 未満となった。したがって、提案アルゴリズムは広い温度範囲でエネルギー最小点を追跡できることが分かる。図 8 は温度 25°C , 要求動作速度 4 MHz でのシミュレーション結果である。提案アルゴリズムによるエネルギー損失は 1% 未満となり、要求動作速度が遅くても正確にエネルギー最小点を追跡できることが分かる。図 9 はトランジスタモデルの FF コーナーでのシミュレーション結果を示している。温度は 25°C , 要求動作速度は 20 MHz である。提案アルゴリズムによる消費エネルギー損失は 2.3% となった。したがって、プロセスばらつきが生じても提案アルゴリズムは正確にエネルギー最小点を追跡できることを確認した。

5. 結論

本稿では幅広い PVT 条件でエネルギー最小点を動的に追跡するアルゴリズムを提案した。また、電圧の調節方向を決定するための評価関数を導出した。プロセッサの動的エネルギー、静的エネルギーおよび温度が推定できれば、評

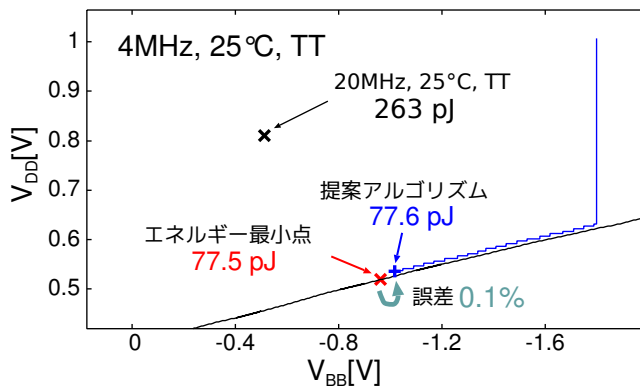


図 8 要求動作速度 4 MHz, 温度 25 °C でのエネルギー最小点追跡アルゴリズム検証結果.

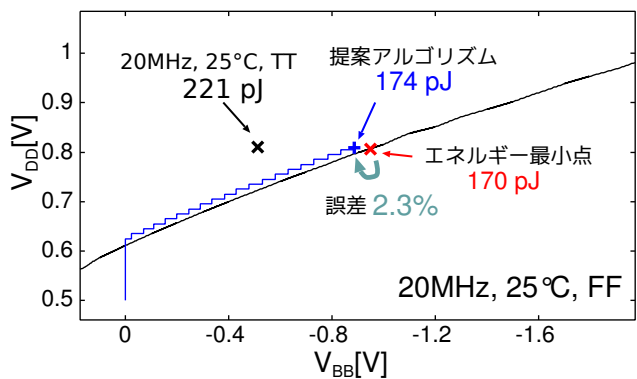


図 9 要求動作速度 20 MHz, 温度 25 °C, トランジスタモデル FF コーナーでのエネルギー最小点追跡アルゴリズム検証結果.

価関数を用いることで与えられた遅延制約でのエネルギー最小点に近づく電源電圧と基板電圧の調節方向が開ループで特定できる. 文献 [5] で提案されているリークモニタを使用してプロセッサの静的エネルギーを推定した. 商用の 65 nm CMOS プロセスを用いて設計した 32-bit RISC プロセッサに対するゲートレベルシミュレーションにより, 提案するアルゴリズムの検証を行った. 提案アルゴリズムによって生じるエネルギー損失は最大で 2.6% となり, PVT 条件が大きく変化してもエネルギー最小点を追跡できることを示した. プロセッサの動的エネルギー, クリティカルパス遅延そして温度の推定技術の開発が今後の課題である.

謝辞

本研究は JSPS 科研費 (26540021) による支援によって行われた. 本研究は東京大学大規模集積システム設計教育研究センターを通し, シノプシス株式会社, 日本ケイデンス株式会社, メンター株式会社の協力で行われた.

参考文献

[1] L. Yan, J. Luo, and N. K. Jha, “Joint Dynamic Voltage Scaling and Adaptive Body Biasing for Heterogeneous Distributed Real-time Embedded SSstems,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 24, no. 7, pp. 1030–1041, July 2005.

[2] S. M. Martin, K. Flautner, T. Mudge, and D. Blaauw, “Combined Dynamic Voltage Scaling and Adaptive Body Biasing for Lower Power Microprocessors under Dynamic Workloads,” in *Computer Aided Design, 2002. ICCAD 2002. IEEE/ACM International Conference on*, Nov 2002, pp. 721–725.

[3] N. Mehta and B. Amrutur, “Dynamic Supply and Threshold Voltage Scaling for CMOS Digital Circuits Using In-Situ Power Monitor,” *IEEE Transactions on Very Large Scale Integration Systems*, vol. 20, no. 5, pp. 892–901, May 2012.

[4] S. Saxena, C. Hess, H. Karbasi, A. Rossoni, S. Tonello, P. McNamara, S. Lucherini, S. Minehane, C. Dolain-sky, and M. Quarantelli, “Variation in Transistor Performance and Leakage in Nanometer-Scale Technologies,” *IEEE Transactions on Electron Devices*, vol. 55, no. 1, pp. 131–144, Jan 2008.

[5] I. Mahfuzul, J. Shiomi, T. Ishihara, and H. Onodera, “Wide-Supply-Range All-Digital Leakage Variation Sensor for On-Chip Process and Temperature Monitoring,” *IEEE Journal of Solid-State Circuits*, vol. 50, no. 11, pp. 2475–2490, Nov 2015.

[6] V. Krishnaswamy, J. Brooks, G. Konstadinidis, C. McAllister, H. Pham, S. Turullols, J. Shin, Y. Yifan, and Z. Haowei, “Fine-grained Adaptive Power Management of the SPARC M7 Processor,” in *IEEE International of Solid-State Circuits Conference*, Feb 2015, pp. 1–3.

[7] M. Nomura, Y. Ikenaga, K. Takeda, Y. Nakazawa, Y. Aimoto, and Y. Hagihara, “Delay and Power Monitoring Schemes for Minimizing Power Consumption by Means of Supply and Threshold Voltage Control in Active and Standby Modes,” *IEEE Journal of Solid-State Circuits*, vol. 41, no. 4, pp. 805–814, April 2006.

[8] J. Park and J. Abraham, “A Fast, Accurate and Simple Critical Path Monitor for Improving Energy-delay Product in DVS Systems,” in *Proceedings of IEEE/ACM International Symposium on Low-power Electronics and Design*. IEEE Press, 2011, pp. 391–396.

[9] T. Kuroda, K. Suzuki, S. Mita, T. Fujita, F. Yamane, F. Sano, A. Chiba, Y. Watanabe, K. Matsuda, T. Maeda, T. Sakurai, and T. Furuyama, “Variable Supply-Voltage Scheme for Low-Power High-Speed CMOS Digital Design,” *IEEE Journal of Solid-State Circuits*, vol. 33, no. 3, pp. 454–462, Mar 1998.

[10] A. Basu, S.-C. Lin, V. Wason, and A. Mehrotrai, “Simultaneous Optimization of Supply and Threshold Voltages for Low-Power and High-Performance Circuits in the Leakage Dominant Era,” in *Proceedings of the 41st Design Automation Conference*, 7 2004, pp. 884–887.

[11] K. Nose and T. Sakurai, “Optimization of VDD and VTH for Low-power and High Speed Applications,” in *Proceedings of Asia and South Pacific Design Automation Conference*, ser. ASP-DAC '00. New York, NY, USA: ACM, 2000, pp. 469–474.

[12] T. Sakurai and A. Newton, “Alpha-Power Law MOSFET Model and its Applications to CMOS Inverter Delay and Other Formulas,” *IEEE Journal of Solid-State Circuits*, vol. 25, no. 2, pp. 584–594, Apr 1990.

[13] T. Takeshita, T. Ishihara, and H. Onodera, “Guidelines for Effective and Simplified Dynamic Supply and Threshold Voltage Scaling,” in *IEEE International Symposium on VLSI Design, Automation and Test*, April 2016.