

動的再構成可能な信号処理部を持つ MP3 復号専用プロセッサのためのビットストリーム処理回路

小椋 清孝[†] 山本 理宏[‡] 三宅 玲[†] 森下 賢幸[†] 大曾根 隆志[†]

岡山県立大学情報工学部[†] 岡山県立大学情報系工学研究科[‡]

1. はじめに

外部からソフトウェアとして命令を与えることで、瞬時に内部の構成変更を行って専用回路を動的に生成できる、動的再構成可能なプロセッサが数多く提案・研究されている[1]。現在我々は、アプリケーション特化型の再構成回路を利用したメディアプロセッサの開発を行っている。本研究では、アプリケーションとしてMP3 (MPEG-1 Audio Layer III)をターゲットとした動的再構成可能な信号処理部を持つ MP3 復号専用プロセッサ[2]のためのビットストリーム処理回路の設計を行なった。

2. 動的再構成可能な信号処理部を持つ MP3 復号専用プロセッサ

現在研究中の、動的再構成可能な信号処理部を持つ MP3 復号専用プロセッサの概念図を図 1(a)に示す。MP3 復号処理をビットストリーム処理部とそれに続く信号処理部とに分け、信号処理部は動的再構成回路で実行する(図 1(b))。MPEG をはじめとするメディア処理は、ビットストリーム処理と信号処理という組み合わせであることが多い。我々は、粗粒度の演算器を持つ再構成回路への、細粒度処理の多いビットストリーム処理の実装は効率が良いと考え、ビットストリーム処理部を再構成部とは独立して実装することとしている。

本研究では、これまで未実装であったビットストリーム処理部の設計を行なった。このビットストリーム処理部についても、最終的にはプログラマブルな構成にすることを目的としているが、本研究では、完全に MP3 専用処理部として実装を行なった。

3. ビットストリーム処理の流れ

MP3 のビットストリーム処理の流れを図 2 に

Bitstream Processing Circuit for Dynamically Reconfigurable MP3 Decoder

Kiyotaka Komoku[†], Takahiro Yamamoto[‡], Rei Miyake[†], Takayuki Morishita[†], and Takashi Ohzone[†]

[†] Faculty of Computer Science and Systems Engineering, Okayama Prefectural University

[‡] Graduate School of Systems Engineering, Okayama Prefectural University

示す。ビットストリーム処理は主に 4 つの処理から構成される。まず、ビットストリームの先頭にあるヘッダおよびサイドインフォメーションに含まれる固定長のパラメータを取得するパラメータ分解処理を行なう。次に、ビット貯蓄処理により、MP3 ビットストリーム中のメインデータを専用の貯蓄メモリに格納する。スケールファクタ取得では、スケールファクタテーブルに定義されたビット長に従い、メインデータ中からスケールファクタを取得する。最後に、ハフマン復号部で、メインデータ中のハフマン

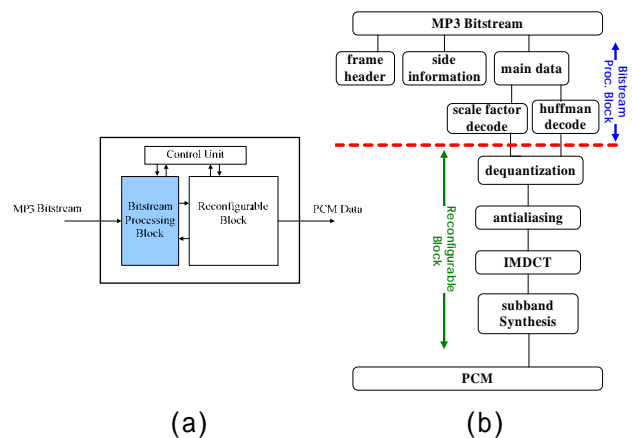


図 1. (a) 動的再構成可能な信号処理部を持つ MP3 復号専用プロセッサの概念図
(b) 各部での MP3 処理の担当

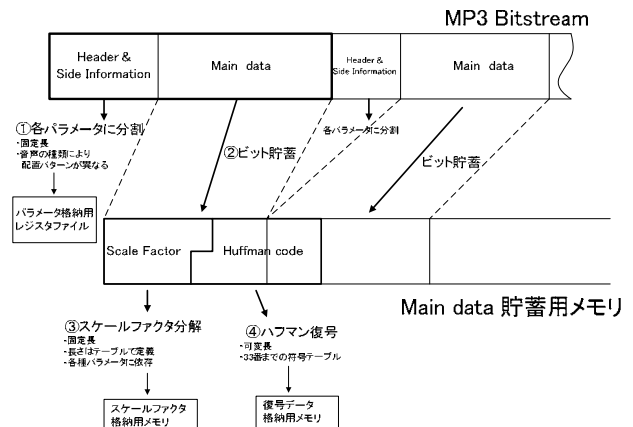


図 2. MP3 復号処理でのビットストリーム処理の流れ

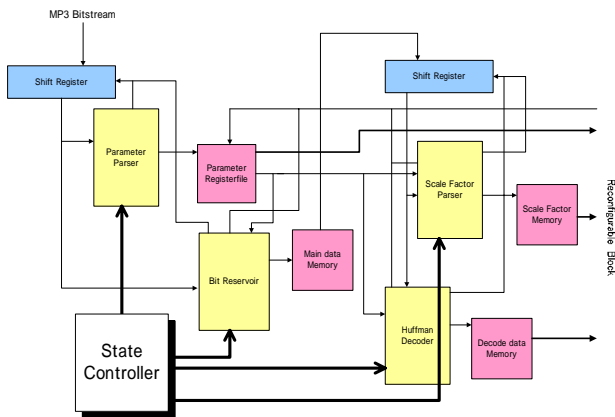


図 3. ビットストリーム処理回路のブロック図

符号化されている音声データを復号する。

4. ビットストリーム処理回路の概念

前章に示した処理の流れを考慮して設計したビットストリーム処理回路のブロック図を図 3 に示す。パラメータ分解部、ビット貯蓄部、スケールファクタ取得部、ハフマン復号部の 4 つの処理部と、各出力データを保持するメモリ、外部からの MP3 ビットストリームや取得したメインデータの流れを制御するシフトレジスタ、および 4 つの演算部の動作をコントロールする状態コントローラから成る。4 つの各処理部の詳細は図 4 に示す。

状態コントローラは、現在どの処理を行っているかという情報を状態として持ち、その処理部から終了信号がくると次の状態に遷移し、該当する処理をスタートさせる。

パラメータ分解部では、必要なすべてのパラメータをヘッダおよびサイドインフォメーションの部分から切り出し、レジスタファイルへ格納する。ハードウェアの特性を生かし、並列に最大 5 個のパラメータを同時に取得する。

ビット貯蓄部では、シフトレジスタにより、16bit ずつビットストリームから読み出してメインデータ貯蓄用メモリに格納する。

スケールファクタ取得部において、スケールファクタのビット長は Slen Table に格納されており、ここから必要なビット長が出力され、適切に切り出される。最大 5 個のスケールファクタを同時に切り出す。

ハフマン復号についてはこれまで様々な方法が提案・利用されているが、ここでは単純に入力ビットストリームと符号テーブル上の符号とを逐次比較する方法で実装した。将来的にはより効率の良い復号方法を実装する予定である。

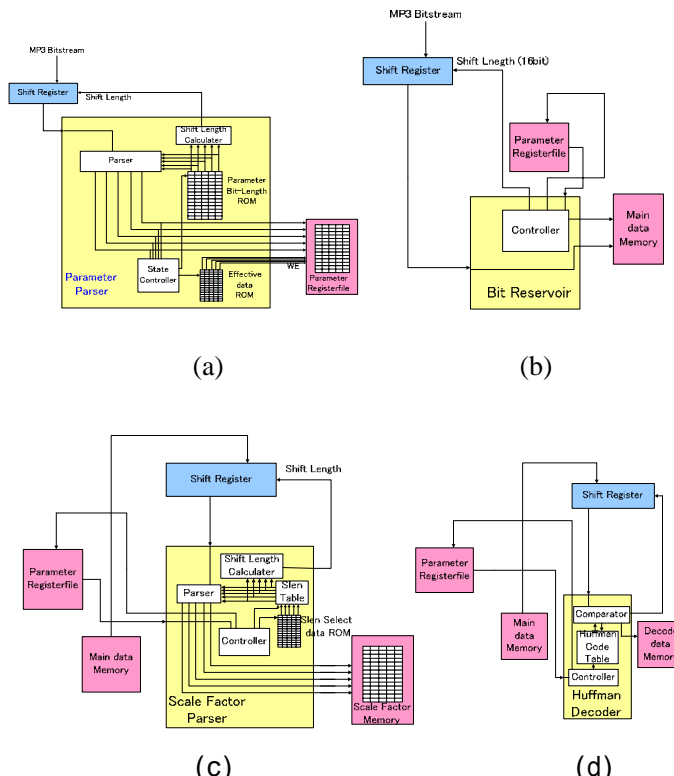


図 4. 各処理部のブロック図。(a) パラメータ分解部 (b) ビット貯蓄部 (c) スケールファクタ取得部 (d) ハフマン復号部

5. 設計

Xilinx FPGA 上への実装をターゲットとして設計を行なった。設計環境は Xilinx Foundation ISE 8.1i および ModelSim XE 6.0a で、設計言語は VHDL である。シミュレーションの結果より、ビットストリーム処理の出力であるスケールファクタ、ハフマン復号結果およびその他の出力パラメータが、C 言語の MP3 リファレンスソフトウェアで得られるものとすべて一致することを確認した。

6. まとめ

動的再構成可能な信号処理部を持つ MP3 復号専用プロセッサのためのビットストリーム処理部を設計した。今後の課題は、他の圧縮音声コーデックなどへの対応を考慮した、プログラマブルな構成の検討である。

参考文献

- [1] 末吉,天野, "リコンフィギャラブルシステム", オーム社, 2005 年
- [2] Komoku et.al., "Simplified Reconfigurable Circuit for MP3 Decoder," Proc. ITC-CSCC 2005, Jeju, July (2005)