

AnT オペレーティングシステムのメモリ領域管理

田端 利宏[†] 梅本 昌典[‡] 安達 俊光[†] 谷口 秀夫[†]

岡山大学大学院自然科学研究科[†] 岡山大学工学部[‡]

1. はじめに

マイクロプロセッサや入出力ハードウェアの進歩には目覚ましいものがある。また、通信路の伝送速度の向上も著しい。また、様々な場面で計算機が必要となり、提供するサービス種別も飛躍的に増大している。このような背景から、新しいハードウェアやサービスへの適応制御機能を持つ *AnT* オペレーティングシステムを開発している[1]。本稿では、*AnT* オペレーティングシステムのメモリ領域管理について述べる。

2. *AnT* の基本構造とメモリ領域管理

2.1. OS とプログラムの基本構造

プログラムは、OS とサービスからなる。OS は、内コアとプロセスとして動作する外コアからなる。サービスは、プロセスからなる。

内コアは、最小のシステムの動作を保証するプログラム部分である。

外コアは、適応したシステムに必須なプログラム部分であり、動的に再構成可能な構造を有する。

サービスは、サービスを提供するプログラム部分である。

2.2. プロセスとメモリ領域管理

プログラム動作の信頼性を確保するため、記憶空間の分離と後作成プログラムの外コア実行を行う。図1にその様子を示す。

内コアはカーネル空間で実行し、外コアとサービスはプロセス空間で実行する。これにより、内コアを保護する。また、外コアとサービス間および外コア間を保護するため、プロセス空間は多重仮想記憶とする。

2.3. ゼロコピープロセス間通信支援機構

プログラム実行におけるオーバーヘッドを削減

Memory Management of *AnT* Operating System
Toshihiro Tabata[†], Masanori Umamoto[‡],
Toshimitsu Adachi[†], Hideo Taniguchi[†]

[†]Graduate School of Natural Science and Technology, Okayama University

[‡]Faculty of Engineering, Okayama University

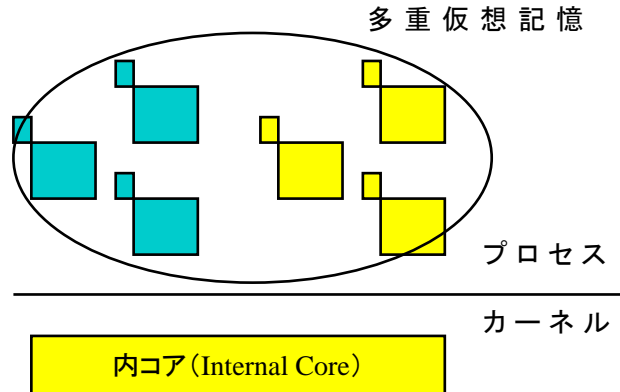


図1 基本構造

し、プログラムの処理性能を向上させるため、ゼロコピーによるプログラム間通信を行う。この機構を実現するために、メモリ領域管理において、プロセス間通信用の領域（コア間通信データ域と名付ける）をプログラムに提供する。

3. 実現方式

3.1. メモリマッピング

IA-32 アーキテクチャを対象にメモリ領域管理を設計した。実メモリと仮想アドレスの関係を図2に示し、設計内容を以下に述べる。

- (1) アドレスの若番 3GB の領域をユーザ空間、老番 1GB の領域をカーネル空間とする。これにより、カーネル空間をユーザプロセスから保護する。
- (2) カーネルの実行モジュールは、テキスト部のみを持ち、データ部と BSS 部のサイズは 0 とする。このため、OS 起動時にデータ用の領域を動的に確保する。
- (3) カーネル空間の先頭には、実メモリの先頭からカーネルのテキスト部を含む領域を、4MB 単位ページ (Read Only) でマッピングする。この領域は、実メモリの先頭、I/O Hole、及びカーネルのテキスト部を含む。カーネルのテキスト部を保護するため、Read Only でマッピングする。また、カーネルのテキスト部より後ろの 4MB 単位ページの未使用部分の実メモリを 4KB ページ域として利用する。4KB ページ域は、動的に確保されるページとして、ユーザ空間またはカーネル空間に 4KB 単位で

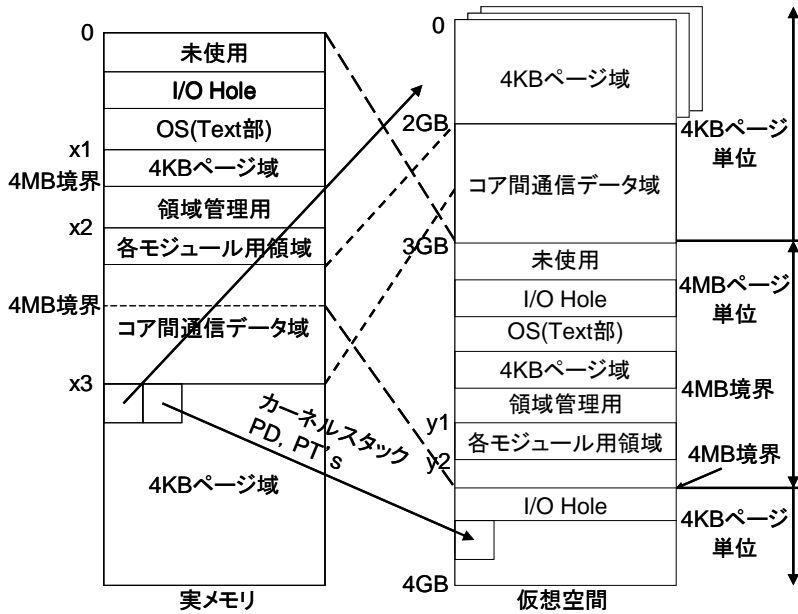


図 2 実アドレスと仮想アドレスの関係

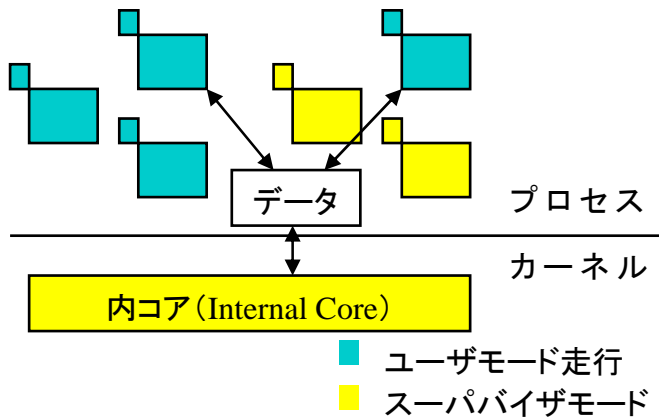


図 3 コア間通信データ域を利用した通信

マッピングされる。

- (4) カーネルのデータ用領域を 4MB 単位で、上記ページに続けてマッピングする。これは、カーネルが利用する更新が必要なデータを格納する領域であるため、Read/Write 可でマッピングする。
- (5) 上記で述べたように、実メモリの先頭から 4MB 単位のページでカーネル空間にマッピングされる。カーネルは頻繁にアクセスされるため、4MB 単位領域の情報が TLB からフラッシュされないようにページディレクトリの情報を設定する。これにより、カーネルへのアクセス時における TLB ミスの発生を抑制し、処理の高速化を実現する。
- (6) 上記の 4MB 単位領域以外は、4KB 単位ページでマッピングし、その多くをカーネルやユーザプログラムから動的に確保される 4KB ページ域として利用する。

- (7) I/O Hole の領域には、Write 操作も必要なため、読み書き可能な領域として 3GB+(4MB*2) 番地にもマッピングする。
- (8) ユーザ空間の 2GB から 3GB までのアドレス範囲をコア間通信データ域の領域とする。詳細は、3.2 節で述べる。

3.2. コア間通信データ域

図 3 にコア間通信の様子を示し、メモリ領域管理について述べる。

コア間データ域の領域は、4KB 単位ページで管理され、コア間やプロセス間でページのマッピングを変更することにより、データの授受を行う。このため、アドレス変換表の操作が多く発生し、オーバーヘッドが増加することが考えられる。

る。

上記の対策として、コア間通信データ域には、指定された領域分の実メモリを連続して割り当てることとした。このため、実際に利用可能なコア間通信データ域は、最初にマッピングした実メモリ量に依存する。これによって、実アドレスを以下の式により、求めることができ、アドレス変換表の参照回数を削減でき、かつ実アドレスを求める処理を高速化できる。

$$(\text{コア間通信データ域の実アドレス}) = (\text{仮想アドレス}) - (2\text{GB}) + (\text{コア間通信データ域の先頭実アドレス})$$

以上に示すように、通信する 2 つのプログラム間でのデータ授受を 2 仮想空間の間でのコア間通信データ域のページの貼り替えにより実現し、ゼロコピー通信を実現する。

4. おわりに

本稿では、**AnT** オペレーティングシステムのメモリ領域管理について述べた。メモリ領域管理の設計方針について述べ、特にゼロコピー通信を実現するコア間通信データ域について述べた。

今後の課題として、詳細な実装方式の検討とその評価がある。

参考文献

- [1] 谷口 秀夫, 乃村 能成, 田端 利宏 "AnT オペレーティングシステムの設計," 情報処理学会第 68 回全国大会。