

ワンチップ LSC における通信部プロセッサについて

李 洋 一条 健司 吉岡 良雄

弘前大学理工学部電子情報システム工学科

あらまし 単方向ループ状接続されたワンチップ並列コンピュータ LSC についてワンチップで実現する方法を提案した。本報告では、このワンチップ LSC に利用する通信部をプロセッサで実現する場合について、ゲット数が少なくなるような構成法を示している。そして、パケット通信プログラムに必要な命令の種類が 10 命令、そのプログラムの ROM の領域が 768 バイトであれば十分であることを示している。

1. まえがき

システム LSI や IC チップの多層化によって、IC が大規模化する傾向にある。これに伴って、IC 内部での通信が必要になってきた。特に、高いブロック周波数で動作させる場合、データ転送におけるチップ内の配線による伝送遅延やゲット動作遅延が無視できなくなる。そこで、筆者らは、チップ内の小領域に小規模プロセッサを複数個配置して、単方向性ループ状接続を行なった並列プロセッサ LSC[1][2]を提案し、プロトタイプ機による検討を行なってきた。

本報告は、我々が提案したワンチップ並列コンピュータ LSC の構成を示すとともに、チップ内に配置される複数の小規模プロセッサを相互に接続するネットワーク構成を示す。次に、小規模プロセッサ間で通信を行なう通信部プロセッサの規模および必要な命令数について検討する。また、通信プログラムと伝送速度についても検討を行う。

2. ワンチップ LSC

我々が提案しているワンチップ並列プロセッサ LSC の構成は、図1に示すように、複数の小規模プロセッサ PE_kを単方向性ループ状に接続したものである。小規模プロセッサが稼働していない場合や故障をしている場合、電源供給(またはクロック)を止め、動作を停止させることが必要である。このためには、通信を行なう(CU:Communications Units)を別に設ける必要がある。この通信部(CU)をハードウェアで実現する方法、プロセッサで実現する方法がある。前者は高速動作が期待できるが、パケット長が長くなるにつれハードウェア量が多くなる。8バイト長パケットでもかなりのハードウェア量となる。また、後者は低速であるが、長いパケット長のもを扱うことはできるとともに、複雑な処理が可能である。しかしながら、通信を専用とするため、小規模で単純な CPU で十分である。

3. 12 ビットアドレス対応 CPU

CPU として動作する最小限の TTL-IC とマイクロプログラムを格納する ROM を利用して、学生実験用の8ビットプロセッサ(CPU)を作成した[3]このプロセッサのプログラムカウンタ(プログラムメモリ空間)が8ビットにしたのは、学生実験用であるため大きくする必要はないことからである。ただし、プログラム領域を 256 バイト、データ領域を 256 バイトとしてある。この学生実験用の CPU を用いて先の通信部(CU)を実現することが可能であるが、パケット格納メモリ領域(RAM 領域)をせいぜいパケット分程度しかとることができない。そこで、制御信号線を増やさないで、メモリ空間を 12 ビットに拡張した 12 ビットアドレス対応 CPU を考えた。すなわち、学生実験用 CPU において、制御信号を 24 ビットのままとし、アドレス空間を 12 ビットに拡張した CPU のブロック図は図2のようになる。

4. 通信部プロセッサの構成

前章で示した 12 ビットアドレス対応 CPU を利用して、図 1 に示すワンチップ並列コンピュータ LSC の一つの通信部 CU を製作する。この通信部は図3に示す構成とする。そして、他の CU との通信にはシリアルポートを利用し、プロセッサ PE_kとの通信にはパラレルポートを利用するものとする。さらに、次の CU への送信パケットバッファとして\$0800 ~ \$08ffの 256 バイトを、PE_kへの送信パケットバッファとして\$0900 ~ \$09ffの 256 バイトを割り当てる。パケットとしては 12 バイト固定長であり、2 バイトの同期バイトを想定すると、約 18 パケット分の送信パケットバッファを取ることができる。さらには、プログラム領域 (ROM)領域として、\$0000 ~ \$07ffの 2048 バイトをとっているが、\$0000 ~ \$02ffでよい。以上から、RAM 領域として 768 バイト、ROM 領域として 768 バイトで十分である。

次に、通信部の処理時間および通信速度について検討を加える。ここで、まず1マイクロ命令の実行時間を t とおく。通信部に処理フローは図4のようになっている。図中において、SR?, PR?, ST?, PT?, はそれぞれシリアルポートから1バイト受信可能かどうか、パラレルポートから1バイト受信可能かどうか、シリアルポートに1バイト送信可能かどうか、パラレルポートに1バイト送信可能かどうか、チェックする部分である。また、図中の各部分に書かれている()内の値は、マイクロ命令のステップ数から得られる最大実行時間である。この通信プログラムにおいて、1周にかかる最小処理時間は $13t + 13t + 17t + 17t = 60t$ である。また、最大処理時間は $60t + 473t + 456t + 41t + 59t = 1089t$ である。シリアルポートの受信側が1バイトの取り込みバッファを持っていて、シリアル受信終了後にそのバッファに書き込まれるものとする。このようにすれば、1バイトの送信時間 T は、SR?チェックから次のSR?チェックまでの時間の最大値より大きければよい。従って、 $T > 1089t$ となる。これは、シリアルポートで1122t毎にほぼ1バイトを転送する割合である。すなわち、シリアルで1バイト送信に必要なビット数を10ビットとすれば、シリアルポートの伝送速度 $10/T$ [bps]の最大値は $10/1089t$ [bps]となる。マイクロ命令の実行時間を 1 [ns]とすれば、シリアルポートの伝送速度は、約 9.18 [Mbps]以上に上げることができないことになる。

5 まとめ

複数の小規模・高速プロセッサを大規模 IC チップ内に配置して、これらを単方向性ループ状に接続したワンチップ LSC を構成することを考え、プロセッサ間で通信を行う通信部のプロセッサについて示した。そこで、通信プログラムをコーディングするために必要な機械語命令の種類が10命令で十分であることが分かった。今後、このプロセッサを FPGA 等で実現すること、ゲート数を増やさずに機械語命令のマイクロステップ数を少なくする CPU の内部構成の検討を行うことである。

文献

[1] 吉岡良雄: "Loop Structured Computer のトラヒック解析", 電子情報通信学会論文誌 D=1, J72-D-1, 3, pp-149-156(1989-03)

[2] 吉岡良雄: "複数の小規模・高速プロセッサによるワンチップ並列処理プロセッサ", 電子情報通信学会 機能集積情報システム時限研究専門委員会 F1IS-02-98, 2002-3

[3] 吉岡良雄: "CPU を作ってみよう", 弘前大・生協, 1999.04

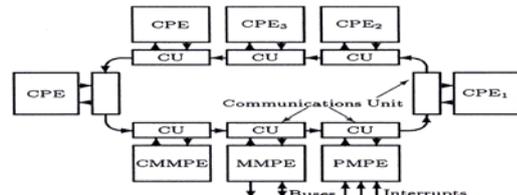


図1 提案するワンチップ並列コンピュータ LSC

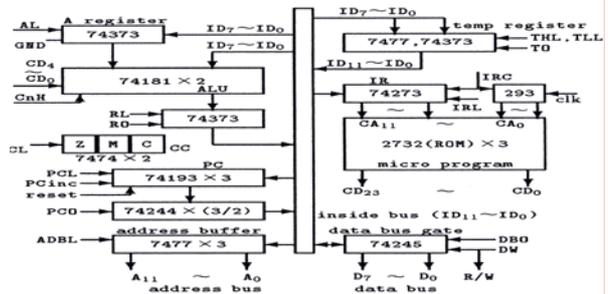


図2 12ビットアドレス対応 CPU

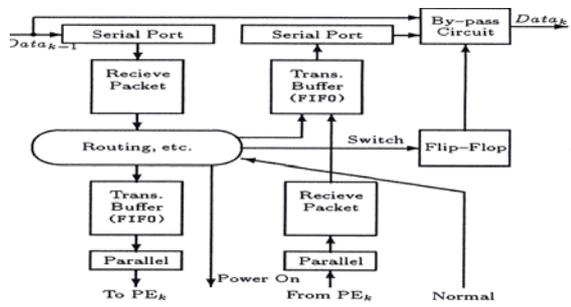


図3 通信部の構成

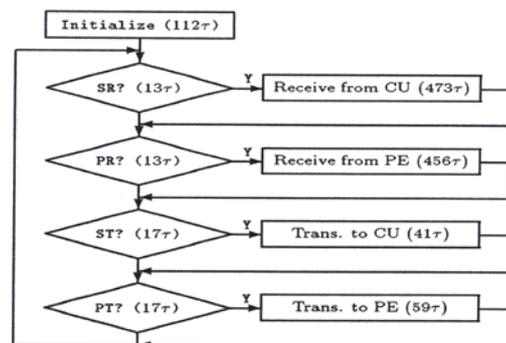


図4 通信プログラムのフロー