

RYUOH : FPGA/DSP 搭載 PCI カードの設計

6K-6 林 悠平[†] 岩谷 祐一[†] 田中 康一郎[‡] 佐藤 寿倫^{†‡} 有田 五次郎[†][†]九州工業大学 情報工学部 知能情報工学科[‡]九州工業大学 マイクロ化総合技術センター

1 はじめに

半導体技術の発達により、これまで複数の LSI により構成されていたシステムが SoC (*System on a Chip*) と呼ばれる単一 LSI で実現できるようになった。それに伴い短い開発期間で高性能なシステムを構築することが求められている。このような要求に対して我々はプログラマブル・デバイスである FPGA (*Field Programmable Gate Array*) を活用した リンフィギュラブル・システムが有効であると考慮しており、これまで FPGA を搭載した PCI カードである SHOKE2000 [1] を開発して研究を行ってきた。FPGA はハードウェアレベルで内部構造を構成できる特長を持つため、並列に処理することで高い処理性能を実現している。しかし、並列性では補うことのできない演算は ASIC やマイクロプロセッサと比較してその性能は劣る。そこで FPGA だけでは実現できない機能をマイクロプロセッサと組み合わせることにより、柔軟で高性能なシステムを実現する。

我々は FPGA に融合性の高いマイクロプロセッサを組み合わせ合わせた柔軟構造並列処理システムを構築し研究を行うために FPGA/DSP 搭載 PCI カードである RYUOH を開発した。本稿では RYUOH の概要と基板の設計詳細について説明する。さらに、RYUOH 上の FPGA で実現した DSP インタフェースの実装結果を述べる。

2 RYUOH

2.1 概要

FPGA と融合させるマイクロプロセッサは FPGA が不得意とする演算を行い、協調して処理する高性能なシステムを目指している。RYUOH の設計を行うにあたり、まず FPGA と融合させるマイクロプロセッサの選定を行った。汎用マイクロプロセッサ (汎用 CPU) は OS や複数のアプリケーションを同時に動作させることが重要視されているため、個々のアプリケーションに特化させることは難しい。また、一般的な組み込み型プロセッサはある用途に特化できるが汎用 CPU と比較して性能が劣る。そこで VLIW アーキテクチャを採用することで高い処理能力を実現している TI 社 TMS320C6x シリーズ DSP に注目した。この DSP は組み込み型であるため FPGA との融合が容易であり、かつ信号処理においては汎用 CPU と同等以上の処理能力を有す。さらに、固定小型型と浮動小型型がピンコンパチブルであるため、必要に応じて基板上に実装するデバイスを

変更することができる。このような理由から、我々はマイクロプロセッサとして TMS320C6201 (C6201) を採用した。

RYUOH は図 1 に示すように SHOKE2000 を拡張する方針で設計した。SHOKE2000 には FPGA として Xilinx 社 Virtex XCV300BG352 が、メモリとして大容量メモリ DIMM が搭載されている。また、PCI コントローラにはバスマスタとして動作可能な AMCC 社 S5933 を採用している。一方、RYUOH には DSP を新たに搭載するので同じ FPGA では入出力端子が不足する。そこで、FPGA には入出力端子の多い BGA パッケージである XCV400BG560 を使用した。この FPGA は汎用 CPU など様々なデバイスに対してインタフェース回路を実現できる高性能なデバイスである [2]。

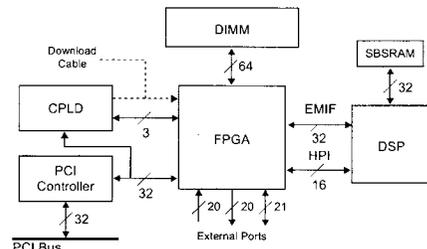


図 1: RYUOH の構成

2.2 FPGA-DSP インタフェース

C6201 には制御用インタフェースである HPI (*Host Port Interface*) と、メモリインタフェースである EMIF (*External Memory Interface*) が用意されている。HPI は DSP メモリ空間へのアクセスやプログラムブートなどを行うための 16 ビット非同期インタフェースである。複数のデバイスで処理を行う場合、外部のホストデバイスが DSP を完全に制御できるので HPI を利用することが多い。しかし、HPI は非同期転送を行うため高速なデータ転送は実現できない。一方、EMIF は同期型・非同期型の両方に対応可能なデータ幅 32 ビットのメモリインタフェースである。EMIF は同期転送が可能なので、HPI よりも高いバンド幅を実現することができる。そのため、FPGA-DSP 間のインタフェースは主に EMIF を使用することを前提に基板設計を行った。

EMIF の同期インタフェースには SBSRAM、SDRAM が接続可能である。C6201 の最大動作速度である 200MHz でデータ転送可能な SBSRAM インタフェースは、FPGA に接続せず、DSP 専用メモリとして SBSRAM に接続した。FPGA-DSP 間は最大動作速度 100MHz の SDRAM インタフェースを用いて接続した。

Design of RYUOH: The PCI-Based FPGA/DSP Card., By Yuhei Hayashi[†], Yuichi Iwaya[†], Koichiro Tanaka[†], Toshinori Sato^{†‡}, Itsujiro Arita[†] ([†]Department of Artificial Intelligence, Faculty of Computer Science and Systems Engineering, Kyushu Institute of Technology. [‡]Center for Microelectronic Systems, Kyushu Institute of Technology. ,680-4 Kawazu, Iizuka, Fukuoka 820-8502, Japan)

2.3 基板設計

RYUOHは本学において設計・実装のすべてを行った。基板設計には、OrCAD社 Capture および Layout Plus を利用して行った。RYUOHではDSP、DIMMといったピン数の多い部品を高速で動作させるためFPGAに密接させる必要がある。そのため、小さいエリアで多くの信号線を引くために、表1に示す10層基板(信号:6層、電源・グランド:4層)として設計した。基板設計(レイアウト)は各デバイスに供給するクロックラインを最優先して行った。特にDIMMのクロックピンは4つ存在し、それらを完全に同期させる必要がある。そこでクロックラインは配線長をあわせてレイアウトを行った。さらに、FPGAからDIMMへ供給しているクロックをフィードバックさせて、Virtexに内蔵されているPLLのようなクロック制御機構であるDLL(Delay Looked Loop)を利用できる設計を行った。なお、基板製造については外部に発注した。

表 1: 基板のレイヤ

layers	RYUOH	layers	RYUOH
TOP	Vertical	Inner3	60°down
Plane1	3.3V	Plane3	+5V
Inner1	30°up	Inner4	30°down
Plane2	GND	Plane4	2.5V, 1.8V
Inner2	60°up	BOT	Horizontal

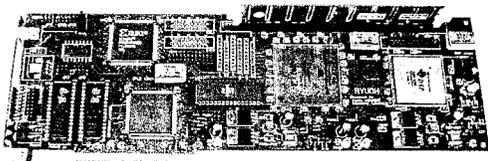


図 2: RYUOH : FPGA/DSP 搭載 PCI カード

3 DSP インタフェースの設計

3.1 非同期メモリインタフェース

EMIFの非同期インタフェースはあらかじめ設定したレイテンシでデータ転送を行うが、ARDYというレディ信号を利用することでメモリ側がそのレイテンシを変更することができる。この非同期インタフェースを用いてDSPとDIMMの接続回路を設計した。非同期インタフェースは複雑な動作を伴わないため、オリジナルで設計を行った。DIMMの制御回路は比較的複雑であるため、Xilinx社から提供されているIPであるSDRAMコントローラ[3]を拡張しDIMMコントローラを設計した。また、図3に示すように簡単なアービタを介して2つの回路を接続した。

3.2 実装結果

上記で説明したインタフェースの動作を確認するために、必要最低限のPCIコントローラインタフェースとDSPコントローラを組み合わせた回路を設計した。これら

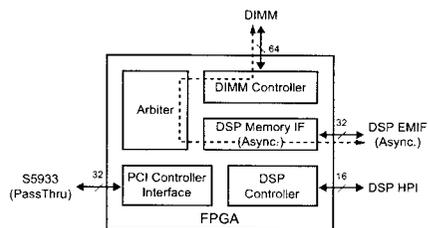


図 3: FPGA の内部構成

の回路をRYUOH上のFPGAに実装した結果を表2に示す。デザインエントリにはVerilog HDLを、論理合成にはSynopsys社FPGA Compiler IIを、配置配線にはXilinx社Allianceを使用した。

表 2: 非同期インタフェースの実装結果

モジュール	回路規模	動作速度
DSP Mem. IF	190/4,800 (3%)	74.4 MHz
DIMM ctrl.	249/4,800 (5%)	75.6 MHz
Arbiter	41/4,800 (1%)	72.3 MHz
DSP ctrl.	198/4,800 (4%)	75.1 MHz
PCI ctrl. IF	102/4,800 (2%)	74.5 MHz
All	785/4,800 (16%)	70.6 MHz

結果、FPGA-DSP間のバンド幅はリード8.9[Mbps]、ライト22.2[Mbps]であった。非同期インタフェースを利用する構成はDSPのメモリアクセスレイテンシを動的に変更できるため、複数デバイスを接続する場合有効である。今回設計した回路は、DSPのアクセス要求から実際にDIMMにアクセスするまでに200nsの遅延があり、直接メモリが接続された状態と比較して約50%のデータ転送能力であった。高速なデータ転送を実現するためには、EMIFの同期インタフェースを用いた設計が必要となる。

4 おわりに

本稿では、FPGA/DSP搭載PCIカードであるRYUOHの設計方針とFPGA上に実装したDSPインタフェースについて述べた。今回はEMIFの非同期インタフェースを介したデータ転送について紹介したが、現在、DSPの最大転送能力でデータ転送を行うために、SDRAMインタフェースのバースト転送に対応したインタフェース回路を設計中である。

参考文献

- [1] 田中康一郎, 有田五次郎: SHOKE2000:PCI-Based FPGA Card の開発とその評価, 電子情報通信学会論文誌 Vol.J84-D-I No.6, pp. 540 - 547 (2001).
- [2] Xilinx,Inc: Interfacing a Virtex-E Device to a MIPS Processor, Virtex FPGA Application Notes: xapp192, <http://www.xilinx.com/apps/virtexapp.htm> (2000).
- [3] Xilinx,Inc: Synthesizable High Performance SDRAM Controller, Memory Application Notes: xapp134, <http://www.xilinx.com/apps/memory.htm> (2000).