

# パス限定 ALU カスケーディングのための 命令並び替えの設計と評価

鈴木杏理<sup>†</sup>, 小林良太郎<sup>†</sup>, 嶋田創<sup>‡</sup>

豊橋技術科学大学<sup>†</sup> 名古屋大学<sup>‡</sup>

## 1. 研究目的

1 チップ上に数十個レベルのコアを持つメニーコアプロセッサが近年注目を集めている。メニーコアプロセッサは面積が大きくなる傾向があるため、プロセッサコアには面積/電力性能比の優れた 1-way/2-way インオーダー実行(以下 IO)が主に採用され、またそれらは高機能なプロセッサコアの流用であることが多い。このようなプロセッサコアは IPC 向上のために 2-way/3-way アウトオーダー実行(以下 OoO)に拡張されることがあるが、追加の機構が必要のため面積/電力性能比が落ちることが懸念される。そこで IO 実行の命令発行幅を 3-way 以上に拡張することが考えられる。しかし、3 連続以上の命令すべてがデータ依存を持たない事は稀なため、3 目以降の ALU がほとんど動作せず、IPC 向上は 1%に満たない [1]。

このような問題を改善するために、ALU カスケーディングという機構が提案されている。これは、ALU の出力から他の ALU の入力にバイパスを作成し、出力結果を送ることでデータ依存を持つ命令をデータ依存元の命令と同じサイクルで処理できるようにする方法である。先行研究ではこの機構を 2-way, 3-way, 4-way IO に適用した場合の IPC 評価が行われ、パイプライン段数を OoO より 2 段減らした場合 OoO より高い性能を実現できることがわかっている [1]。しかし、この評価機構では全ての ALU の出力をそれ以外の全ての ALU の入力に繋いでいるため、大量のバイパスが必要になる。そのため、実際に回路設計する場合、配線遅延と回路面積が大幅に増えることが予測される。

そこで本研究では、小面積・省電力な機構を提案し、先行研究の評価機構とともに回路設計を行うことで、実用的な ALU カスケーディング機構について考察を行った。

## 2. 提案機構

### 2. 1. バイパス本数の制限

先行研究で評価された機構では、全ての ALU の出力をそれ以外の全ての ALU の入力に繋いだ機構(以下フルパス機構)での評価が行われた。しかし、フルパス機構を IO に適用した場合、大量のバイパスが必要になるため、配線が膨大で複雑になり、回路面積と遅延が増加することが予測される。

そこで、作成するバイパスは、1つのALUに対し1本のみ制限して配線の簡略化を行う。

### 2. 2. 命令の並び替え

バイパスの簡略化を行った場合、フルパス機構より小さい面積の回路を設計することが可能になるが、バイパスの本数が減るため IPC が著しく低下することが考えられる。そこで、前項の提案に加えて、ALU で命令を実行する前にバイパスの構成に合わせた命令の並び替えを行うことを提案する。4-way IO での例を用いた説明を行う。図 1 のように、バイパスを ALU1→ALU2, ALU3→ALU4 の 2 本に制限した IO 機構がある。デコーダから送られてきた命令が i1, i2, i3, i4 の順で発行されるが、i3 は i1 に、i4 は i2 にデータ依存を持っているため、このままで ALU に命令を入力した場合、1 サイクルで命令を実行できるのは i1 と i2 のみである。そこで命令を ALU に入力する前に順番を i1, i3, i2, i4 に並び替えることでカスケーディングを行うことができるようにする。結果、4 つの命令を 1 サイクルで処理できるようになる。

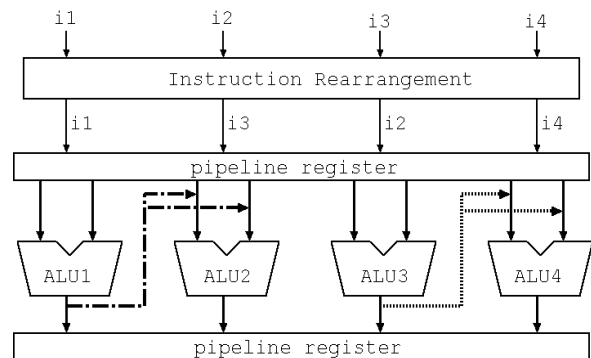


図 1. 並び替えとパス制限を適用した機構

Design and Evaluation of Rearranging Instructions for Path Limited ALU Cascading

<sup>†</sup>Anri SUZUKI, Ryotaro KOBAYASHI,  
Toyohashi University of Technology

<sup>‡</sup>Hajime SHIMADA,  
Nagoya University

### 3. 評価

#### 3. 1. 評価環境

提案機構を Verilog HDL で設計し, Rohm 180nm のセルライブラリを用いて論理合成することで, 面積, 消費電力の測定を行った. 面積の測定は Synopsys 社の Design Compiler での論理合成時に自動的に行われる. 消費電力の測定は同社の Prime Time を用いた.

#### 3. 2. 評価対象

設計した回路についての説明を行う. フルパス機構(FULL)とパス制限と並び替えを行う機構をそれぞれ 2-way, 3-way, 4-way で設計した. パス制限に関しては, 図 1 のように組となる ALU にバイパスを作成した機構(LIM1)と, ALU2→ALU3 のようにバイパスをもう一本増やした機構(LIM2)の 2 種類を用意する. 2-way ではバイパスの数を制限した際にバイパスを作成することができる場所が 1 箇所に限られるため, LIM1 のみ設計した.

#### 3. 3. 評価結果

図 2(a) はそれぞれの実行幅のカスケード無し機構に対する, カスケードを行う機構の電力増加率, 図 2(b) は面積増加率のデータである. フルパス機構の電力増加率は 2-way FULL で最大 44.5% となった. 面積増加率は 4-way FULL で最大 33.6% となった. フルパス機構に対し, 提案機構の電力削減率は 3-way LIM1 で最大 10.6% となった. 面積削減率は, 3-way LIM1 で最大 7.6% となった. 一方, LIM2 では, どの実行幅でも FULL とあまり変わらない結果となった. これは, 並び替えを行うモジュールの面積が LIM2 の場合大きくなりすぎてしまうことや, バイパスとマルチプレクサの増加が原因であると考えられる. これらの結果から, 3-way LIM1 が最も効率的である.

また, このデータは論理合成段階のものであるため, FULL と LIM1 の面積の差は配置配線の設計を行った場合ピン配線の影響によりさらに大きくなる.

### 4. まとめ

本研究では, 小面積・省電力なカスケード機構の提案を行い, 回路の設計と評価を行った. バイパスの数を制限し, 命令を実行する前に命令の並び替えを行う機構を提案し, 先行研究の評価機構との比較を行った結果, 提案機構により 3-way IO の場合フルパス機構に対し電

力を 44.5%, 面積を 33.6% 削減できた.

今後の課題としては, 今回設計した提案機構に加え, 命令並び替え先を判断するためのスケジューラを設計する必要がある. 並び替えを行わない ALU カスケードのためのスケジューラは先行研究で姚駿, 嶋田創, 三輪忍, 富田眞治, 評価が行われているため, この研究をもとに設計が可能である[2]. また, 本研究では回路設計は論理合成のみ行っているため, 配置配線を今後行う. それに加えて, 提案機構を備えたインオーダープロセッサの IPC の評価も行う予定である.

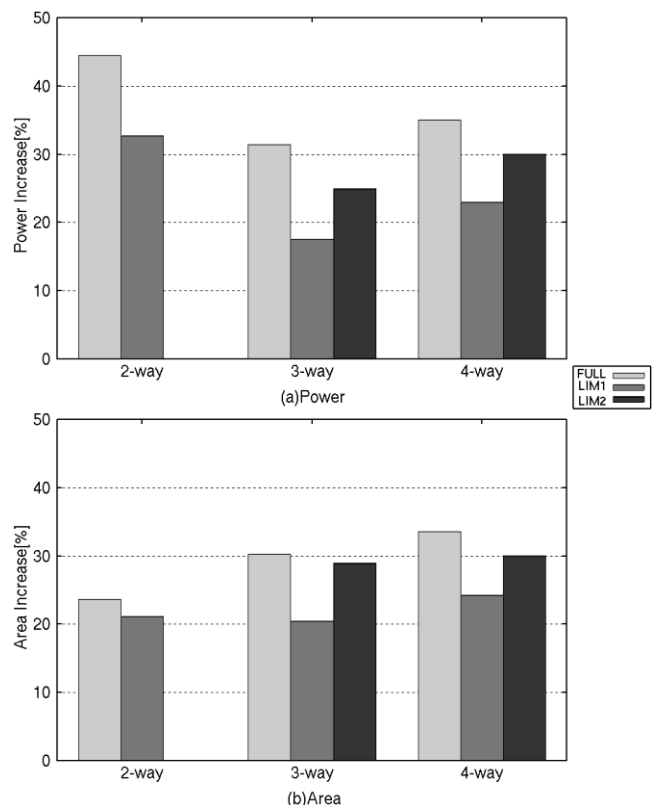


図 2.カスケード機構の面積・電力増加率

謝辞 本研究の一部は, JSPS 科研費 25330060 及び 26330063 の支援により行った.

### 文献

- [1] 嶋田創, 小林良太郎, “ALU カスケードと 3-way インオーダー実行を併用したメニーコア向けプロセッサ・コアの検討”, 電子情報通信学会技術研究報告コンピュータシステム(CPSY), Vol. 114, No. 242, pp. 37-42, 2014.
- [2] 尾形幸亮, 姚駿, 嶋田創, 三輪忍, 富田眞治, “ALU カスケードのための動的スケジューラ”, 先進的計算基盤システムシンポジウム(SACSIS 2008), pp. 105-114, 2008.