

とする。

- 3: 近傍解 S_n の生成と評価を行う。 S_n のコストを C_n とし、 $N \leftarrow N+1$ とする。
- 4: $\Delta C = C_n - C_{cur}$ とし、 $C_n < C_{cur}$ 、又は、 $e^{-\frac{\Delta C}{T}} > Rand(0,1)$ ならば、 $C_{cur} \leftarrow C_n$ 、 $S_{cur} \leftarrow S_n$ とする。ここで、 $Rand(0,1)$ は 0 から 1 の実数の乱数である。
- 5: $N < N_{max}$ ならば、 **3** に戻る。そうでなければ、次へ進む。
- 6: 温度を更新するため、 $T \leftarrow \alpha T$ 、 $N \leftarrow 0$ とする。 $T > T_{min}$ ならば、 **3** に戻る。そうでなければ、評価基準を更新するため $Step \leftarrow Step + 1$ とし、初期温度 T_0 を調整した後、 $T \leftarrow T_0$ とする。 $Step \leq 5$ ならば、 **3** に戻り、そうでなければ、 S_{cur} を最良フロアプランとして出力し終了する。

[配線評価基準]

- 1: 各モジュールの中心を端子位置として総配線長を半周近似により見積もる。
- 2: 端子位置を決定し総配線長を半周近似により見積もる。
- 3: 3.2節で述べる方法で、近似スタイナ木により総配線長を見積もる。
- 4: 3.3節で述べる方法により各シンクまでの配線遅延を求める。しきい値より大きい場合には、評価関数において、配線長にペナルティを与える。
- 5: 同様に、各シンクまでの配線遅延を求め、バッファ挿入を考慮する。バッファの個数を評価関数で考慮する。

3.2 近似スタイナ木による配線長の見積もり

提案手法では与えられた配置の総配線長を見積もる必要がある。通常、使用されるネットの全端子を囲む最小矩形の半周長をネットの配線長として近似する半周近似法では、短時間で見積もることができる反面、端子数が増加した場合に実際より小さく見積もる可能性が高くなる [2]。そこで、計算時間を短縮化し配線長をより正確に見積もるため、ネットの全端子の平均座標を軸として作成した近似スタイナ木を用いる。図 2 に例を示す。図 2(a)、(b) のように、近似スタイナ木は水平、垂直方向の 2 通りが考えられ、配線長の小さいスタイナ木を選択する。近似スタイナ木を用いると端子数に依存することなく、配線長を正確に見積もることが可能になる。

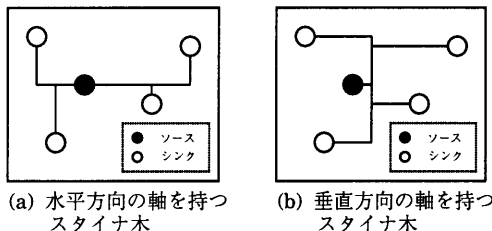


図 2 配線長を見積もるためのスタイナ木生成の例

3.3 タイミング制約の考慮

提案手法では、探索の後半においてタイミング制約を満たしているかどうかを調べるため、配線遅延を評価する。以下に配線遅延の計算アルゴリズムを示す。以下の説明では、左右が x 軸方向、上下が y 軸方向とする。

[配線遅延の計算]

- 1: シンクを上下、又は、左右に 2 分割する。さらに、図 3 に示すように、上下に分割した場合には、各領域の x 座標の平均値を通過する垂線を軸としてスタイナ木を生成する。左右に分割した場合もこれと同様にスタイナ木を生成する。
- 2: 各スタイナ木から、軸と各シンク間の総配線長を計算し、小さいスタイナ木を配線経路として選択する。
- 3: 選択したスタイナ木を基に、各シンクの配線遅延を計算する。シンク t_i の領域の総配線長を L とし、シンク t_i からの垂線とスタイナ木の軸との交点をスタイナポイント p_i とし、ソース s から p_i までの配線長を l_s とし、 p_i から t_i の配線長を l_t とすると、シンク t_i の配線遅延 d_{t_i} を以下の式で定義する。

$$d_{t_i} = cL \cdot rl_s + cl_t \cdot rl_t = cr(Ll_s + l_t^2)$$

ここで c と r は単位長あたりのキャパシタンス、及び抵抗であり、実数で表す。

- 4: 各シンクに対して、計算した遅延があらかじめ設定したしきい値を越える場合には、評価関数にペナルティを与える。

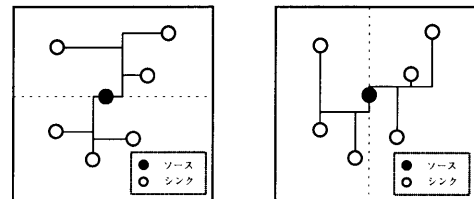


図 3 配線遅延を見積もるためのスタイナ木生成の例

3.4 バッファ挿入の考慮

提案手法では、配線段階で挿入するバッファの個数をできるだけ少なくするため、フロアプランニングの段階でバッファ挿入を考慮する。3.3節の方法により遅延を計算し、しきい値より大きい場合は、ソース、シンク間のできるだけ中点に近いスタイナポイントにバッファを挿入する。挿入後は遅延が元の遅延の $\frac{1}{2}$ とバッファの固有遅延を加えた値になると仮定し、しきい値を下回るまでこの操作を繰り返す。上記により得られたバッファの個数を評価関数に加えることにより、挿入バッファ数が少ないフロアプランを得ることが可能となる。

4 あとがき

今後の課題としては、提案手法の実現、及び実データを用いた計算機実験による提案手法の評価、多層配線の考慮等がある。

文献

- [1] H. Chen, H. Zhou, F. Y. Young, D. F. Wong, H. H. Yang and N. Sherwani: "Integrated floorplanning and interconnect planning," Proc. International Conference on Computer Aided Design, pp.354-357 (1999).
- [2] S. M. Sait and H. Youssef: "VLSI Physical Design Automation," IEEE Press (1995).
- [3] S. M. Sait and H. Youssef: "Iterative computer algorithms with applications in engineering," IEEE Computer Society (1999).
- [4] L. Stockmeyer: "Optimal orientations of cells in slicing floorplan designs," Information and Control, Vol.57 pp.91-101 (1983).