

3 段実現による  $m$ -out-of- $n$  符号の自己検査性検査回路†

南 谷 崇\*\* 当 麻 喜 弘\*\*

$m$ -out-of- $n$  符号とは、1 の数がちょうど  $m$  個ある長さ  $n$  ビットの 2 値ベクトルの集合である。任意の二つの符号語間に順序関係が存在しないので、一方向性誤り検出能力があり、動作中に自身の内部に生じる故障を検出する機能、すなわち自己検査性をもつデジタルシステムの設計に有用である。そのようなシステムにおいては、診断・修復機能を起動させるために、自己検査性検査回路の出力である  $m$ -out-of- $n$  符号を監視する検査回路が必要であるが、この検査回路自身もまた自己検査性をもたねばならない。 $m$ -out-of- $n$  符号の自己検査性検査回路の実現に関して、任意の  $m, n$  に対する一般的構成法としては、入力から出力まで論理ゲート 6 段を要する方法しか知られていなかったが、最近、井沢によって、 $m=1$  という特別の場合に対する 3 段実現の方法が示された。本論文は、井沢の方法を一般化することにより、任意の  $m$  と  $n$  の組合せ（ただし  $n \geq 4$ ）に対する 3 段実現が組織的に構成できることを示すものである。検査回路が意味をもつのは  $n \geq 3$  の範囲であるが、 $n=3$  に対して組合せ回路による構成法は存在しないと推測されている。また、 $n \geq 4$  に対する任意の  $m, n$  に適用できる 2 段実現は存在しないと推測されている。したがって、本論文の結果は、任意の  $m, n$  に対して現在推測しうる最少段数の一般的構成法を与えている。

## 1. ま え が き

$m$ -out-of- $n$  符号とは、1 の数がちょうど  $m$  個ある長さ  $n$  ビットの 2 値ベクトルの集合である。任意の二つの符号語間に順序関係が存在しないので、一方向性誤り検出能力がある。ゆえに、動作中に自身の内部に生じる故障を検出する機能、すなわち、自己検査性を有するデジタルシステムの設計に有用である<sup>1),2)</sup>。

論理回路の入出力が符号化されているものとして、入力符号を  $C_1$ 、出力符号を  $C_2$ 、検出対象とする故障の集合を  $F$ 、故障  $f \in F$  があるとき入力  $X \in C_1$  に対する出力を  $G(X, f)$ 、故障がないときの出力を  $G(X, \lambda)$  で表すと、自己検査性の概念は次のように形式的に定義される<sup>1),2)</sup>。

【定義 1】 任意の  $f \in F$  と任意の  $X \in C_1$  に対して、 $G(X, f) = G(X, \lambda)$ 、または  $G(X, f) \notin C_2$  であるとき、回路は **fault-secure** であるという。

【定義 2】 任意の  $f \in F$  に対してある  $X \in C_1$  が存在し、 $G(X, f) \notin C_2$  であるとき、回路は **self-testing** であるという。

【定義 3】 回路が **fault-secure** かつ **self-testing** であるとき、**totally self-checking**（以下では、TSC と略記する）であるという。

システムの診断・修復機能を起動させるには、TSC 回路の出力を監視して「正常か故障か」を判定する検査回路が必要であるが、これ自身もまた TSC でなければならぬ。検査回路は次の性質で特徴づけられる。

【定義 4】  $X \in C_1 \Leftrightarrow G(X, \lambda) \in C_2$  が成り立つとき、回路は **code-disjoint** であるという。

$C_1$  を  $m$ -out-of- $n$  符号、 $C_2$  を 1-out-of-2 符号としたとき、TSC かつ **code-disjoint** である論理回路を、 $m$ -out-of- $n$  符号の TSC 検査回路という。

$m$ -out-of- $n$  符号の TSC 検査回路の実現に関して、これまで、ゲート入出力の単一固定故障の仮定の下で、 $m$  と  $n$  の組合せのいくつかに対して個別の構成法が提案されている。それらは、 $m, n$  の関係と所要ゲート段数で分類すると、 $n=2m$  の場合に対してしきい値関数を基にした方法<sup>3)</sup>（等価的に 2 段実現に変換可能）、 $n=2m-1$  および  $n=2m+1$  の場合に対する AND-OR 2 段実現<sup>3)</sup>、 $n-2 \geq m \geq 2$  の場合に対する 7 段実現<sup>4)</sup>、 $m$  と  $n$  が特別な関係を満たす場合に対する 4 段実現<sup>5)</sup> に分けられる。

最近、井沢<sup>6)</sup>によって、 $m=1$  の場合、すなわち、1-out-of- $n$  符号に対する 3 段実現の一方法が示された。しかしながら 1-out-of- $n$  符号を  $(n-1)$ -out-of- $n$  符号へ変換し、さらにそれを 1-out-of-2 符号へ変換する OR-AND 2 段実現において、検出不能故障の存在しうる OR ゲート入力線を、第 3 段共有 OR ゲートの利用によって除去する、という基本的着想が簡単

† A 3-Level Realization of Totally Self-Checking Checkers for  $m$ -out-of- $n$  Codes by TAKASHI NANYA and YOSHIHIRO TOHMA (Department of Computer Science, Faculty of Engineering, Tokyo Institute of Technology).  
\*\* 東京工業大学工学部情報工学科

に示されただけで、具体的構成方法、とくに  $n$  が奇数の場合の方法に関しては明確な記述がない。

本論文では、「1-out-of- $n$  符号から  $(n-1)$ -out-of- $n$  符号への変換」が、一般には、3章で述べるように、「符号語のパリティによる2ブロック分割に基づいた  $m$ -out-of- $n$  符号の復号化」の特別の場合であることに着目し、「共有 OR ゲートの利用」が任意の  $m$ -out-of- $n$  符号に対しても適用できることを示す。すなわち、任意の  $m$ -out-of- $n$  符号 (ただし  $n \geq 4$ ) に対する3段実現が構成できるための条件を明らかにし、具体的な構成方法を示す。

TSC 検査回路が意味をもつのは  $n \geq 3$  の範囲であるが、組合せ回路の範囲では  $n=3$  に対する構成法は存在しないと推測されている<sup>3)</sup>。また、 $n \geq 4$  に対する任意の  $m$ -out-of- $n$  符号に適用できる2段実現は存在しないと推測されている<sup>4)</sup> (証明はない)。したがって、本論文の結果は、任意の  $m$  と  $n$  に対して、推測しうる範囲で最少段数の一般的構成法を与えている。

## 2. 準備

本論文を通して、次の記法を約束する。

- 1) 2値ベクトル  $X$  に対して、 $W(X)$  は  $X$  の重み ( $X$  における1の個数) を表す。
- 2) 二つの2値ベクトル、 $X=(x_1, x_2, \dots, x_n)$  と  $Y=(y_1, y_2, \dots, y_n)$  に関し、 $i=1, 2, \dots, n$  に対して  $x_i \geq y_i$  のとき、 $X \geq Y$  と記す。
- 3)  $[N]$  は  $N$  以上の最小整数を表す。
- 4) 集合  $S$  に対して、 $|S|$  は  $S$  の要素数を表す。
- 5)  $m$ -out-of- $n$  符号を  ${}_n C_m$  で表す。

本論文で考察の対象とする故障集合  $F$  は、ゲート入力線および出力線の単一固定故障の集合である。

図1に、 $m$ -out-of- $n$  符号の検査回路の一般的形式を示す。本論文で述べる構成法は次の2段階から成る。

段階1:  ${}_n C_m$  の2ブロック分割をもとにして、図2に示すような、AND-OR 2段実現による二つの互いに分離した部分回路  $g_1, g_2$  を構成する。

段階2: 図3に示すように、二つの部分回路に共有される AND ゲート群を設け、AND-AND-OR 3段

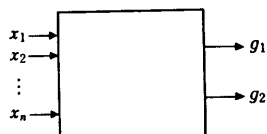


図1  $m$ -out-of- $n$  符号検査回路  
Fig. 1  $m$ -out-of- $n$  checker.

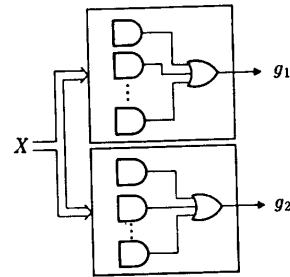


図2 分離形2段実現  
Fig. 2 Disjoint 2-level realization.

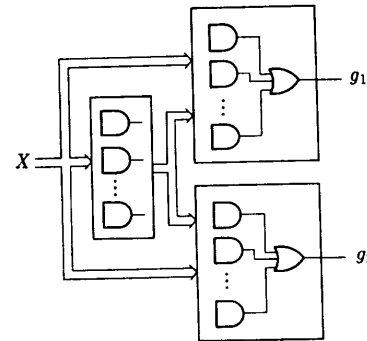


図3 共有形3段実現  
Fig. 3 Shared-gate 3-level realization.

実現に変換する。

3章で段階1、4章で段階2の、それぞれ、実現可能条件を明らかにし、5章で、組織的な構成手順を示す。

## 3. 分離形2段実現

入力変数  $x_1, x_2, \dots, x_n$  の添字の集合を  $I = \{1, 2, \dots, n\}$

とし、以下では、検査回路への入力線  $x_i$  を  $I$  の要素  $i$  で表す。まず、 $I$  を二つの部分集合  $A$  と  $B$  に分割する2ブロック分割を  $P[A, B]$  で表し、

$$|A| = n_a, |B| = n_b, n_a + n_b = n$$

とすると、検査回路への入力ベクトル  $X=(x_1, x_2, \dots, x_n)$  は次のように表される。

$$X = (X_a, X_b)$$

ただし、 $X_a$  および  $X_b$  は、それぞれ、 $A$  の要素および  $B$  の要素で構成される  $n_a$  ビットベクトルおよび  $n_b$  ビットベクトルである。次に、分割  $P$  をもとにして、 ${}_n C_m$  を二つの部分集合  $G_1$  と  $G_2$  に分割する2ブロック分割  $Q[G_1, G_2]$  を次のように定める。

$$G_1 = \{X | X \in {}_n C_m, W(X_a) \text{ が奇数}\}$$

$$G_2 = \{X | X \in {}_n C_m, W(X_a) \text{ が偶数}\}$$

[例1]  ${}_5C_3$  の場合,  $I = \{1, 2, 3, 4, 5\}$  であり, もし  $P[A, B]$  として,  $A = \{1, 2, 3\}$ ,  $B = \{4, 5\}$  を選べば, 分割  $Q[G_1, G_2]$  は

$$G_1 = \{11100, 10011, 01011, 00111\}$$

$$G_2 = \{11010, 10110, 01110, 11001, 10101, 01101\}$$

と定められる.

さて, 図2の構成において, 部分回路  $g_1$  の AND ゲートと  $G_1$  に属する符号語, および部分回路  $g_2$  の AND ゲートと  $G_2$  に属する符号語とを, それぞれ, 1対1に対応させ, 符号語  $X$  に対応する AND ゲートへの入力線は  $X$  中で値1をとっている  $m$  個のビットから成るようにしたとき, 図2の形式を分離形2段 AND-OR 実現と呼ぶことにする. この場合, 各 AND ゲートは対応する符号語  $X$  のデコード回路になっていることから, 任意の符号語  $X \in {}_n C_m$  に対して, ただ1個の AND ゲートの出力のみが1になり, したがって, 出力  $\{g_1, g_2\}$  は  $\{1, 0\}$  または  $\{0, 1\}$  となることに注意されたい.

[例2] 図4に, 例1の分割  $Q$  に基づいた分離形2段 AND-OR 実現を示す.

双対的に, 分離形2段 OR-AND 実現も定義できる. 両者を総称して, 分離形2段実現と呼ぶ.

次の事実はよく知られている<sup>2), 3)</sup>.

[補題1] 分離形2段実現は fault-secure である. ■

さて, code-disjoint の性質に関する条件を示す.

[補題2]

① 分離形2段 AND-OR 実現が code-disjoint であるための必要十分条件は  $\text{Max}(n_a, n_b) \leq m$  である.

② 分離形2段 OR-AND 実現が code-disjoint であるための必要十分条件は,  $\text{Min}(n_a, n_b) \geq m$  である. ■

(証明) ②は①の双対であるから, ①だけを証明する. 一般性を失うことなく,  $n_a \geq n_b$ , すなわち  $\text{Max}(n_a, n_b) = n_a$  と仮定する.

十分性:  $n_a \leq m$  と仮定する. まず, 任意の符号語入力  $X$  に対して前述のとおり出力  $\{g_1, g_2\}$  は  $\{1, 0\}$  または  $\{0, 1\}$ , すなわち符号語出力である. 次に, 任意の非符号語入力  $Y = (Y_a, Y_b)$  に対しては次の2通りの場合がある.

a)  $W(Y_a) + W(Y_b) \leq m - 1$  の場合: どの AND ゲートも  $m$  本の入力線をもつから,  $Y$  に対する出力は0である. したがって, 出力  $\{g_1, g_2\} = \{0, 0\}$ , すなわち, 非符号語出力である.

b)  $W(Y_a) + W(Y_b) \geq m + 1$  の場合: 回路の単調性から, 重み  $m + 1$  の非符号語  $Y = (Y_a, Y_b)$  を考えれば十分である. この  $Y$  に対して,

$$W(Y_a) \geq m - n_b + 1 \geq 1,$$

かつ

$$W(Y_b) \geq m - n_a + 1 \geq 1$$

である. したがって, ある符号語  $X^1 = (X_a^1, X_b^1) \in {}_n C_m$  が存在して,  $W(X_a^1) = W(Y_a)$  かつ  $W(X_b^1) = W(Y_b) - 1$  および, ある符号語  $X^2 = (X_a^2, X_b^2) \in {}_n C_m$  が存在して  $W(X_a^2) = W(Y_a) - 1$  かつ  $W(X_b^2) = W(Y_b)$  である. 明らかに,  $X^1$  と  $X^2$  は分割  $Q[G_1, G_2]$  の互いに異なるブロックに属し, しかも,  $Y \geq X^1$  かつ  $Y \geq X^2$  である. ゆえに, 入力  $Y$  に対して,  $X^1$  および  $X^2$  に対応する AND ゲートがともに1を出力する. すなわち, 出力  $\{g_1, g_2\} = \{1, 1\}$  であり, 非符号語出力である.

必要性:  $n_a > m$  と仮定すると,  $W(X_a) = m, W(X_b) = 0$  なる符号語  $X = (X_a, X_b)$  が存在する. もし,  $m$  が奇数 (偶数) ならば,  $X \in G_1 (\in G_2)$  であるから,  $G_2(G_1)$  に属するすべての符号語  $Y$  に対して  $W(Y_b) \geq 1$  である. ところが,  $n_a > m$  であるから,  $W(Z_a) = m + 1, W(Z_b) = 0$  なる非符号語  $Z = (Z_a, Z_b)$  が存在する. この  $Z$  に対し,  $Z \geq Y$  となる  $Y \in G_2$  は存在しない. すなわち, 非符号語入力  $Z$  に対する出力  $\{g_1, g_2\}$  は  $(1, 0)$  ( $(0, 1)$ ) であり, code-disjoint にはならな

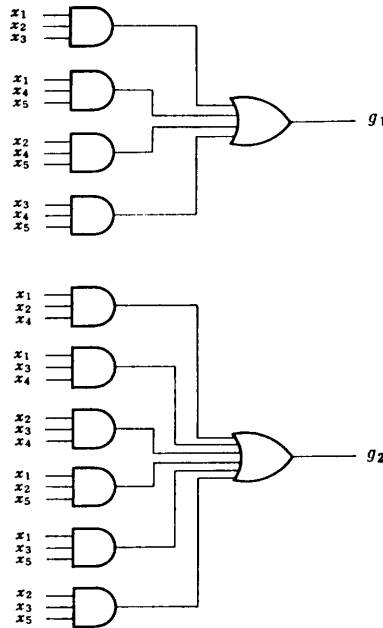


図4  ${}_5C_3$  に対する分離形2段実現  
Fig. 4 Disjoint 2-level realization for  ${}_5C_3$ .

い。

補題2は次のように書き直すことができる。

[補題3]

① 分離形2段 AND-OR 実現が code-disjoint であるための必要十分条件は、 $n \leq 2m$  である。

② 分離形2段 OR-AND 実現が code-disjoint であるための必要十分条件は、 $n \geq 2m$  である。

(証明) 再び②は①の双対であるから①のみ示す。

$n \leq 2m$  ならば、 $P[A, B]$  として、 $n_a = \lfloor n/2 \rfloor$ ,  $n_b = n - n_a$  を選べば、 $\text{Max}(n_a, n_b) = \lfloor n/2 \rfloor \leq m$ .  $n > 2m$  ならば、 $\text{Max}(n_a, n_b) \geq (n_a + n_b)/2 > m$ .

補題1および補題3から、以下では、 $n_a = \lfloor n/2 \rfloor$ ,  $n_b = n - n_a$  とし、 $n \leq 2m$  の場合に対する分離形2段 AND-OR 実現の self-testing 性のみを考える。

分離形2段 AND-OR 実現におけるすべての単一固定故障は次の4クラスに分類でき、初めの3クラスは以下に示すように常に検出可能である。

(I) 部分回路  $g_1(g_2)$  の OR ゲート出力の0固定故障: 任意の  $X \in G_1(\in G_2)$  で検出可能。

(II) 部分回路  $g_1(g_2)$  の OR ゲート入出力および AND ゲート出力の1固定故障: 任意の  $X \in G_2(\in G_1)$  で検出可能。

(III) 部分回路  $g_1(g_2)$  の OR ゲート入力, AND ゲート出力の0固定故障: 当該 AND ゲートに対応する  $X \in G_1(\in G_2)$  で検出可能。

(IV) AND ゲート入力の1固定故障: 必ずしも検出可能とは限らない。

上の考察から、以下では、クラス(IV)の場合だけを考えればよい。

[補題4] 符号語  $X = (X_a, X_b)$  に対応する AND ゲートにおいて:

①  $A$  に属する入力線 (もし存在するならば) の1固定故障が検出可能であるためには、 $W(X_b) < n_b$  であることが必要かつ十分である。

②  $B$  に属する入力線 (もし存在するならば) の1固定故障が検出可能であるためには、 $W(X_a) < n_a$  であることが必要かつ十分である。

(証明) ①のみ証明する。②も同様である。

十分性: 一般性を失うことなく  $X \in G_1$  と仮定する。 $W(X_b) < n_b$  ならば、任意の  $i \in A$  に対して、 $W(Y_a) = W(X_a) - 1$ ,  $X_a \geq Y_a$ ,  $X_b \leq Y_b$ ,  $y_i = 0$  を満たす  $Y = (Y_a, Y_b) \in G_2$  が存在する。したがって、AND ゲートの入力線  $i$  の1固定故障はこの符号語  $Y$  によって検出される。

必要性:  $W(X_b) < n_b$  でなければ  $W(X_b) = n_b$  であるから、 $W(Y_a) = W(X_a) - 1$  を満たす符号語  $Y = (Y_a, Y_b)$  は存在せず、この1固定故障は検出できない。

ここで、 $W(X_a) = t$  なる符号語  $X \in {}_n C_m$  の集合を  $C[t]$  で表すことにしよう。すなわち、

$$C[t] = \{X \mid X \in {}_n C_m, W(X_a) = t\}$$

$t$  が奇数か偶数かに従って、 $C[t] \subseteq G_1$ , または  $C[t] \subseteq G_2$  であることに注意されたい。

[補題5] 符号語  $X \in C[m - n_b]$  に対応する AND ゲートの  $A$  に属する入力線の1固定故障, および符号語  $X \in C[n_a]$  に対応する AND ゲートの  $B$  に属する入力線の1固定故障は検出不能である。その他の任意の AND ゲート入力線の1固定故障は検出可能である。

(証明)  $X = (X_a, X_b)$  に関し、

$$X \in C[m - n_b] \Leftrightarrow W(X_b) = n_b,$$

$$X \in C[n_a] \Leftrightarrow W(X_a) = n_a$$

である。ゆえに、補題4により明らか。

符号語  $X \in C[m - n_b]$  に対応する AND ゲートの  $A$  に属する入力線の数  $m - n_b$  であり、 $X \in C[n_a]$  に対応する AND ゲートの  $B$  に属する入力線の数  $m - n_a$  である。補題5より、 $m - n_b = 0$  かつ  $m - n_a = 0$  のとき、そのときに限り、検出不能な1固定故障の生じる AND ゲート入力線は存在しない。したがって、補題1, 補題3を含むこれまでの議論より次の結論を得る。

[定理1] 分離形2段実現が  ${}_n C_m$  の TSC 検査回路であるための必要十分条件は、 $n = 2m$  である。

[例3] 例1, 例2の  ${}_5 C_3$  の場合、

$$C[m - n_b] = C[1] = \{10011, 01011, 00111\}$$

$$C[n_a] = C[3] = \{11100\}$$

したがって、図4において、AND ゲート  $x_1 x_4 x_5$  の入力線  $x_1$ ,  $x_2 x_4 x_5$  の入力線  $x_2$ ,  $x_3 x_4 x_5$  の入力線  $x_3$  における1固定故障は検出不能である。

#### 4. 共有形3段実現

図3の構成において、最左段の一群の AND ゲートを、便宜上、共有 AND と呼び、中間段の一群の AND ゲートを分離 AND と呼ぶことにしよう。分離形2段実現とまったく同じ仕方で各分離 AND の出力が  ${}_n C_m$  の各符号語に1対1に対応してそのデコード出力となっているとき、図3の形式を共有形3段 AND-AND-OR 実現と呼ぶことにする。

共有形3段 AND-AND-OR 実現の接続構造を形

式的に表現するために、任意の符号語  $X \in {}_n C_m$  に対して、次のような  $I$  の部分集合の集まり  $D[X]$  を考える。

$$D[X] = \{S_1, S_2, \dots, S_k\}$$

ここに、 $j=1, 2, \dots, k$  に対して、 $S_j \subseteq I$ , かつ

$$S_1 \cup S_2 \cup \dots \cup S_k = \{i | X \text{ で } 1 \text{ をとるビット } i \in I\}$$

$|S_j|=1$  のとき  $S_j$  はその要素  $i$  に対応する外部入力線  $x_i$  を表し、 $|S_j| \geq 2$  のとき  $S_j$  はその要素を入力線とする共有 AND の出力線を表すと解釈すれば、 $D[X]$  は  $X$  に対応する分離 AND の入力線の構成を表している。したがって、共有形 3 段実現はすべての  $X \in {}_n C_m$  に対する  $D[X]$  によって完全に表現される。とくに、前述の分離形 2 段実現は、すべての  $S_j$  に関して  $|S_j|=1$  であるような  $D[X]$  によって表現される。

【例 4】 例 1, 例 2 の  ${}_5 C_3$  に対する共有形 3 段実現の例を図 5 に示す。その形式的表現を表 1 に示す。 ■

さて、共有形 3 段実現が TSC 検査回路になるために満たすべき構成規則を次に示す。

【構成規則】 任意の  $X \in {}_n C_m$  に対して、 $D[X] = \{S_1, S_2, \dots, S_k\}$  は次の i) ~ iii) を満たすこと。

i)  $X \in C[m-n]$  の場合

- 1) 任意の異なる  $i, j$  に対して、 $S_i \cap S_j \subseteq A$ , かつ
- 2) 任意の  $j$  に対して、 $S_j \cap B \neq \emptyset$ , かつ

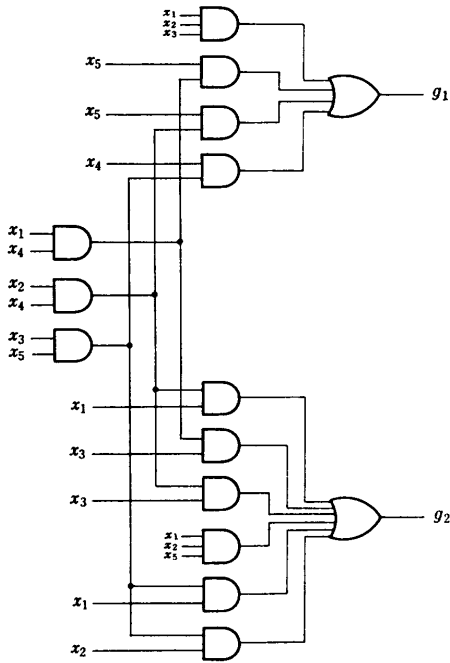


図 5  ${}_5 C_3$  に対する共有形 3 段実現  
Fig. 5 Shared-gate 3-level realization for  ${}_5 C_3$ .

表 1  ${}_5 C_3$  に対する  $D[X]$   
Table 1  $D[X]$ 's for  ${}_5 C_3$ .

For $X \in G_1 = C[1] \cup C[3]$	
$D[11100]$	$\{ \{1\}, \{2\}, \{3\} \}$
$D[10011]$	$\{ \{1,4\}, \{5\} \}$
$D[01011]$	$\{ \{2,4\}, \{5\} \}$
$D[00111]$	$\{ \{3,5\}, \{4\} \}$
For $X \in G_2 = C[2]$	
$D[11010]$	$\{ \{2,4\}, \{1\} \}$
$D[10110]$	$\{ \{1,4\}, \{3\} \}$
$D[01110]$	$\{ \{2,4\}, \{3\} \}$
$D[11001]$	$\{ \{1\}, \{2\}, \{5\} \}$
$D[10101]$	$\{ \{1\}, \{3,5\} \}$
$D[01101]$	$\{ \{2\}, \{3,5\} \}$

3) 任意の  $j$  に対して、もし  $S_j \cap A \neq \emptyset$  ならば、分割  $Q$  に関して  $X$  とは反対側のブロックに属するある  $Y \in {}_n C_m$  が存在し、 $D[Y]$  も  $S_j$  を含む。

ii)  $X \in C[n_a]$  の場合

- 1) 任意の異なる  $i, j$  に対して、 $S_i \cap S_j \subseteq B$ , かつ
- 2) 任意の  $j$  に対して、 $S_j \cap A \neq \emptyset$ , かつ
- 3) 任意の  $j$  に対して、もし  $S_j \cap B \neq \emptyset$  ならば、分割  $Q$  に関して  $X$  とは反対側のブロックに属するある  $Y \in {}_n C_m$  が存在し、 $D[Y]$  も  $S_j$  を含む。

iii) その他の場合

任意の異なる  $i, j$  に対して、 $S_i \cap S_j = \emptyset$  ■

【定理 2】 上記構成規則を満たす共有形 3 段実現は  ${}_n C_m$  に対する TSC 検査回路である。 ■

定理 2 を証明するために、二、三の準備をしておこう。

【補題 6】 共有形 3 段実現は fault-secure である。 ■  
(証明) NOT ゲートがないことから明らか。 ■

【補題 7】

i) 共有形 3 段 AND-AND-OR 実現が code-disjoint であるための必要十分条件は  $n \leq 2m$  である。

ii) 共有形 3 段 OR-OR-AND 実現が code-disjoint であるための必要十分条件は  $n \geq 2m$  である。 ■

(証明) 共有形 3 段実現と分離形 2 段実現とは同じ論理関数を実現しており、補題 3 から明らか。 ■

共有形 3 段実現の self-testing 性に関しては、共有 AND の入出力線および分離 AND の入力線における 1 固定故障の検出可能性のみを考察すればよく、その他の部分は分離形 2 段実現の場合と同じである。

そこで、任意の  $X \in {}_n C_m$  に関し、分離形 2 段実現において  $X$  に対応する AND ゲート (図 6 (a)) を、 $D[X] = \{S_1, S_2, \dots, S_k\}$  で表される分離 AND およびそれに伴う共有 AND (図 6 (b)) に変換して、共有形 3 段実現を導くことを考えよう。

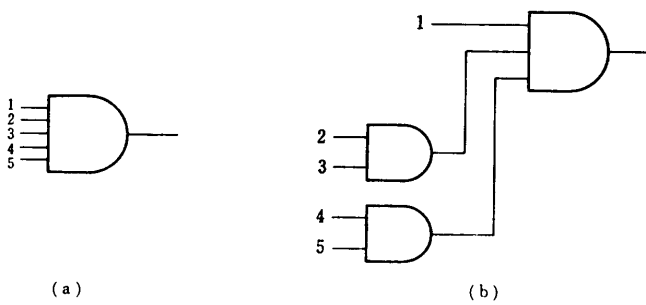


図6 2段実現から3段実現への変換  
Fig. 6 Conversion from 2-level realization to 3-level realization.

【補題8】分離形2段実現におけるANDゲート(図6(a))の入力線*i*の固定故障が検出可能であり、変換された共有形3段実現において*i*が $D[X]$ 中の唯一の部分集合、たとえば $S_j$ のみに属するならば、

- 1)  $|S_j| \geq 2$  のとき、図6(b)の共有AND  $S_j$  の入力線*i*と出力線、および $S_j$ に接続された分離ANDの入力線における固定故障、
- 2)  $|S_j| = 1$  のとき、図6(b)の外部入力線*i*に接続された分離ANDの入力線における固定故障、は検出可能である。

(証明) 図6(b)の回路は図6(a)の回路と同じ論理関数、すなわち、 $X$ のデコード関数を実現していることと、各信号線が冗長でないことから明らか。

以上で、定理2を証明する準備ができた。

(定理2の証明) 補題6, 7と共有形3段実現の導き方から、任意の $X \in {}_n C_m$ に対して、 $D[X] = \{S_1, S_2, \dots, S_k\}$ で表される図6(b)のような分離ANDの入力線および関連する共有ANDの入出力線の1固定故障に関するself-testing性だけを証明すればよい。一般性を失わずに $X \in G_1$ と仮定し、 $X$ に関して三つの場合に分けて証明する。

i)  $X \in C[m-n_b]$  の場合

a) 共有ANDの入力線: 共有ANDを $S_j$ とし、その入力線を*i*とする。すなわち、 $i \in S_j$ とする。

もし $i \in A$ ならば、規則i)-3)より、 $S_j$ はある $Y \in G_2$ に対する $D[Y]$ にも含まれる。 $C[m-n_b] \subseteq G_1$ であるから、 $Y \in C[m-n_b]$ 。したがって、分離形2段実現において $Y$ に対応するANDゲートの入力線*i*の1固定故障は検出可能である。さらに、規則ii)-1)またはiii)より、 $i$ は $D[Y]$ 中で $S_j$ 以外のどの $S_h$ にも属さない。ゆえに、補題8より、共有AND  $S_j$ の入力線*i*の1固定故障は検出可能である。

もし $i \in B$ ならば、補題5より、図6(a)のAND

ゲートの入力線*i*の1固定故障は検出可能である。さらに、規則i)-1)より、 $i$ は $S_j$ 以外のどの $S_h$ にも属さない。ゆえに、補題8より上と同様に証明される。

b) 共有ANDの出力線: 入力線の1固定故障が検出可能ならば、出力線のそれも検出可能である。したがって、a)より明らか。

c) 分離ANDの入力線: まず、外部入力線 $i \in I$ と接続されている場合、規則i)-2)から、 $i \in B$ 。したがって、a)の後半と同様に証明される。次に、共有AND  $S_j$ の出力線に接続されている場合、規則i)-2)より、 $i \in B$ なる $S_j$ の入力線*i*が存在する。この入力線 $i \in B$ に関して、a)の後半と同様に証明される。

ii)  $X \in C[n_a]$  の場合

規則i)と規則ii)を入れ替えれば、i)の場合と同様。

iii)  $X \in C[t]$  ( $t \neq m-n_b, t \neq n_a$ ) の場合

補題5より、図6(a)のどの入力線の1固定故障も検出可能である。ゆえに、規則iii)と補題8から、図6(b)のどの信号線の1固定故障も検出可能である。

i), ii), iii)より証明された。

【例5】例4で述べた図5もしくは表1の共有形3段実現は上の構成規則を満たすので、 $sC_3$ のTSC検査回路である。例3で説明したように、図4には検出不能な1固定故障が存在したのに対し、図5ではそれが存在しないことを確認できる。

## 5. 構成手順

本章では、 $2m > n \geq 4$ なる任意の ${}_n C_m$ に対して、前記の構成規則を満たす $D[X]$ の組織的な構成手順を示す。定理2より、この $D[X]$ に基づく共有形3段実現はTSC検査回路である。 $n > 2m$ なる ${}_n C_m$ に対しては、双対性から、 ${}_n C_{n-m}$ に対する $D[X]$ を共有形3段OR-OR-AND実現に適用すればよい。

$2m > n \geq 4$ の範囲の $n$ を次のように分ける。

①  $n$ が偶数 ( $2m-2 \geq n \geq 4$ )

②  $n$ が奇数 ( $2m-1 \geq n \geq 5$ )

②-①.  $n = m+1$

②-①-①.  $n \geq 7$

②-①-②.  $n = 5$

②-②.  $n = 2m-1$

②-③.  $2m-3 \geq n \geq m+2$

表 2  $C_4$  に対する  $D[X]$   
Table 2  $D[X]$ 's for  $C_4$ .

```

For  $X \in G_1 = C[1] \cup C[3]$ ,
D[100111] = {{1,4},{5},{6}}
D[010111] = {{2,5},{4},{6}}
D[001111] = {{3,6},{4},{5}}
D[111100] = {{1,4},{2},{3}}
D[111010] = {{2,5},{1},{3}}
D[111001] = {{3,6},{1},{2}}

For  $X \in G_2 = C[2]$ ,
D[110110] = {{1,4},{2,5}}
D[110101] = {{1,4},{2},{6}}
D[110011] = {{2,5},{1},{4}}
D[101110] = {{1,4},{3},{5}}
D[101101] = {{1,4},{3,6}}
D[101011] = {{3,6},{1},{5}}
D[011110] = {{2,5},{3},{4}}
D[011101] = {{3,6},{2},{4}}
D[011011] = {{2,5},{3,6}}
    
```

①:  $n$  が偶数の場合

添字集合を  $I = \{1, 2, \dots, 2k-1, 2k\}$  とし, 分割  $P$  を,  $A = \{1, 2, \dots, k\}$ ,  $B = \{k+1, k+2, \dots, 2k\}$  と定める. 任意の  $X \in C_m$  に対して,  $D[X]$  は次の手順で求められる.

[手順 1]

- 1)  $D[X]$  を空とする.
- 2)  $X$  で  $x_i = 1$  である  $i$  を列挙した表を作る.
- 3)  $j = 1, 2, \dots, k$  に対して, 表に  $j$  と  $j+k$  がともに存在するならば,  $\{j, j+k\}$  を  $D[X]$  のメンバに加え, 表から  $j$  と  $j+k$  を削除する.
- 4) 表に残ったすべての添字  $i$  (もしあれば) について,  $\{i\}$  を  $D[X]$  のメンバに加える. ■

【例 6】  $C_4$  に対して, 手順 1 で得られる  $D[X]$  を表 2 に示す.

手順 1 で得られる  $D[X]$  が前記規則を満たすことは次のように確かめられる.

まず, 規則 i)–1), ii)–1), iii) は, 任意の  $i, j$  に対して  $S_i \cap S_j = \emptyset$  であるから, 自動的に満たされる.

次に, 任意の  $X \in C[m-n_b]$  に関して,  $X_b = (1, 1, \dots, 1)$  である. したがって, 手順 1 から,  $D[X]$  のどのメンバも必ず  $B$  に属する添字を含む. すなわち, 規則 i)–2) が満たされる. 同様に,  $X \in C[n_a]$  に対して規則 ii)–2) も満たされる.

最後に,  $C[m-n_b]$  と  $C[m-n_b+1]$  は分割  $Q$  に関して互いに異な

るブロックに含まれる. また,  $n \geq 4$  ならば,  $Y \in C[m-n_b+1]$  に対して  $W[Y_b] \geq 1$ . したがって, 任意の  $X \in C[m-n_b]$  に対して,  $D[X]$  のどのメンバも必ずある  $Y \in C[m-n_b+1]$  に対する  $D[Y]$  のメンバである. ゆえに, 規則 i)–3) は満たされる. 同様に,  $X \in C[n_a]$  に対して規則 ii)–3) も満たされる.

②:  $n$  が奇数の場合

添字集合を  $I = \{1, 2, \dots, 2k, 2k+1\}$  とし, 分割  $P$  を,  $A = \{1, 2, \dots, k+1\}$ ,  $B = \{k+2, k+3, \dots, 2k+1\}$  と定める.

場合②は三つに分かれる.

②–①:  $n = m+1$  の場合

これは  $(n-1)$ -out-of- $n$  符号であるから, 各符号語は 1 ビットのみ 0 である. そこで,  $x_i = 0$  である符号語を  $i$  で表すことにする. この場合,  $n_a$  が偶数か奇数かによって,  $G_1 = C[m-n_b]$ ,  $G_2 = C[n_a]$ , または,  $G_1 = C[n_a]$ ,  $G_2 = C[m-n_b]$  になることを注意する.

②–①–①:  $n \geq 7$  の場合

$n \geq 7$  の場合の  $D[X]$  の一般的構成法を表 3 に示す. これが前記規則を満たすことは視察で確認できる.

②–①–②:  $n = 5$  の場合

$n = 5$  (したがって  $k = 2$ ) に対しては,  $D[1]$  の中の  $\{2, 3, k+2, k+3\}$  に関して規則 i)–3) が満たされないので表 3 の方法は適用できない. しかし,  $I = \{1, 2, 3, 4, 5\}$ ,  $A = \{1, 2, 3\}$ ,  $B = \{4, 5\}$  とすると, 前記規則を満たす  $D[X]$  は, たとえば, 表 4 のように定められる.

②–②:  $n = 2m-1$  の場合

表 3  $n = m+1, n \geq 7$  の場合の  $D[X]$   
Table 3  $D[X]$ 's for the case that  $n = m+1, n \geq 7$ .

```

For  $X \in C[m-n_b]$ ,
D[1] = {{2,3,k+2,k+3},{4,k+4},{5,k+5},...,{k+1,2k+1}}
D[2] = {{k+2},{1,3,k+3},{4,k+4},{5,k+5},...,{k+1,2k+1}}
D[3] = {{k+3},{1,2,k+2},{4,k+4},{5,k+5},...,{k+1,2k+1}}
D[4] = {{k+4},{1,2,k+2},{1,3,k+3},{5,k+5},...,{k+1,2k+1}}
D[5] = {{k+5},{1,2,k+2},{1,3,k+3},{4,k+4},...,{k+1,2k+1}}
⋮
⋮
⋮
⋮
⋮
D[2k+1] = {{2k+1},{1,2,k+2},{1,3,k+3},{4,k+4},{5,k+5},...,{k,2k}}

For  $X \in C[n_a]$ ,
D[k+2] = {{2},{1,3,k+3},{4,k+4},{5,k+5},...,{k+1,2k+1}}
D[k+3] = {{3},{1,2,k+2},{4,k+4},{5,k+5},...,{k+1,2k+1}}
D[k+4] = {{4},{1},{2,3,k+2,k+3},{5,k+5},...,{k+1,2k+1}}
D[k+5] = {{5},{1},{2,3,k+2,k+3},{4,k+4},...,{k+1,2k+1}}
⋮
⋮
⋮
⋮
⋮
D[2k+1] = {{k+1},{1},{2,3,k+2,k+3},{4,k+4},{5,k+5},...,{k,2k}}
    
```

表4  $n=m+1, n=5$  に対する  $D[X]$   
Table 4  $D[X]$ 's for the case that  
 $n=m+1, n=5$ .

For $X \in C[m-n_b]$ ,	
$D[1]=\{\{2,4\},\{3,5\}\}$	
$D[2]=\{\{1,4\},\{3,5\}\}$	
$D[3]=\{\{1,4\},\{2,5\}\}$	
For $X \in C[n_a]$ ,	
$D[4]=\{\{2,5\},\{3,5\},\{1\}\}$	
$D[5]=\{\{1,4\},\{2,4\},\{3\}\}$	

表5  $\tau C_s$  に対する  $D[X]$   
Table 5  $D[X]$ 's for  $\tau C_s$ .

For $X \in C_1 = C[3]$ ,	
$D[1110110]=\{\{3,6\},\{1,2,5\}\}$	$D[1110101]=\{\{1,2,5\},\{3\},\{7\}\}$
$D[1110011]=\{\{3,6\},\{1\},\{2\},\{7\}\}$	$D[1101110]=\{\{1,2,5\},\{4\},\{6\}\}$
$D[1101101]=\{\{4,7\},\{1,2,5\}\}$	$D[1101011]=\{\{4,7\},\{1\},\{2\},\{6\}\}$
$D[1011110]=\{\{3,6\},\{1,5\},\{4\}\}$	$D[1011101]=\{\{4,7\},\{1,5\},\{3\}\}$
$D[1011011]=\{\{3,6\},\{4,7\},\{1\}\}$	$D[C111110]=\{\{3,6\},\{2,5\},\{4\}\}$
$D[0111101]=\{\{4,7\},\{2,5\},\{3\}\}$	$D[0111011]=\{\{3,6\},\{4,7\},\{2\}\}$
For $X \in C_2 = C[2] \cup C[4]$ ,	
$D[1100111]=\{\{1,2,5\},\{6\},\{7\}\}$	$D[1010111]=\{\{5,6\},\{1,5\},\{7\}\}$
$D[1001111]=\{\{4,7\},\{1,5\},\{6\}\}$	$D[0110111]=\{\{3,6\},\{2,5\},\{7\}\}$
$D[0101111]=\{\{4,7\},\{2,5\},\{6\}\}$	$D[0011111]=\{\{3,6\},\{4,7\},\{5\}\}$
$D[1111100]=\{\{1,2,5\},\{3\},\{4\}\}$	$D[1111010]=\{\{3,6\},\{1\},\{2\},\{4\}\}$
$D[1111001]=\{\{4,7\},\{1\},\{2\},\{5\}\}$	

### [手順2]

- 1)  $D[X]$  を空にする。
- 2)  $X$  で  $x_i=1$  である  $i$  を列挙した表を作る。
- 3)  $j=2,3,\dots,k+1$  に対して、表に  $j$  と  $j+k$  がともに存在するならば、 $\{j, j+k\}$  を  $D[X]$  のメンバに加え、表から  $j$  と  $j+k$  を削除する。
- 4) もし、表に  $1$  と  $k+2$  が存在するならば、 $\{1, k+2\}$  を  $D[X]$  のメンバに加え、表から  $1$  と  $k+2$  を削除する。
- 5) 表に残ったすべての添字  $i$  (もしあれば) について、 $\{i\}$  を  $D[X]$  のメンバに加える。 ■

[例7] 表1に示した  $\tau C_s$  に対する  $D[X]$  は上記手順によって得られたものである。 ■

手順2で得られる  $D[X]$  が前記規則を満たすことは手順1の場合と類似の方法によって検証できる。

②-③:  $2m-3 \geq n \geq m+2$  の場合

### [手順3]

- 1)  $D[X]$  を空にする。
- 2)  $X$  で  $x_i=1$  である  $i$  を列挙した表を作る。
- 3)  $j=3,4,\dots,k+1$  に対して、表に  $j$  と  $j+k$  がともに存在するならば、 $\{j, j+k\}$  を  $D[X]$  のメンバに加え、表から  $j$  と  $j+k$  を削除する。
- 4) もし、表に  $k+2$  が存在するならば、
  - a) もし表に  $1$  が存在し、かつ  $2$  が存在しないならば、 $\{1, k+2\}$  を  $D[X]$  のメンバに加え、 $1$  と  $k+2$  を表から削除する。
  - b) もし表に  $1$  が存在せず、かつ  $2$  が存在するならば、 $\{2, k+2\}$  を  $D[X]$  のメンバに加え、 $2$  と  $k+2$  を表から削除する。
  - c) もし表に  $1$  と  $2$  がともに存在するならば、 $\{1, 2, k+2\}$  を  $D[X]$  のメンバとして加え、 $1, 2, k+2$  を表から削除する。
- 5) 表に残ったすべての添字  $i$  (もしあれば) につ

いて、 $\{i\}$  を  $D[X]$  のメンバに加える。

[例8]  $\tau C_s$  に対して上記手順で得られる  $D[X]$  を表5に示す。

手順3の検証も前と同様である。

## 6. む す び

$n \geq 4$  なる任意の  $m$ -out-of- $n$  符号に対する TSC 検査回路の3段実現の組織的構成法を示した。  $n=2m$  の場合は AND-OR または OR-AND で、  $n < 2m$  の場合は AND-AND-OR で、  $n > 2m$  の場合は OR-OR-AND でそれぞれ実現される。本論文の結果は、  $n=2m-1, n=2m+1$  の場合を除き、任意の  $n, m$  の組合せに対して、これまで知られている最小段数の構成を与えている。なお、実用的見地からは、本方法にはゲートへのファンインが大きくなるという問題が残されており、今後の課題である。

謝辞 本研究の一部は昭和57年度文部省科学研究費補助金(一般研究(C)57550213)のご援助による。

## 参 考 文 献

- 1) Carter, W.C. and Schneider, P.R.: Design of Dynamically Checked Computers, IFIP 68, pp. 878-883 (1968).
- 2) Anderson, D.A. and Metzger, G.: Design of Totally Self-checking Check Circuits for  $m$ -out-of- $n$  Codes, *IEEE Trans. Comput.*, Vol. C-22, No. 3, pp. 263-269 (1973).
- 3) Reddy, S.M.: A Note on Self-checking Checkers, *IEEE Trans. Comput.*, Vol. C-23, No. 10, pp. 1100-1102 (1974).
- 4) Marouf, M.A. and Friedman, A.D.: Efficient Design of Self-checking Checker for Any  $m$ -out-of- $n$  Code, *IEEE Trans. Comput.*, Vol. C-27, No. 6, pp. 482-490 (1978).
- 5) Wang, S.L. and Avizienis, A.: The Design of Totally Self Checking Circuits Using Program-



mable Logic Arrays, FTCS-9, pp. 173-180  
(1979).

報・システム部門全国大会, p. 504 (1981).

(昭和 57 年 9 月 16 日受付)

- [ 6) 井沢伸芳: 自己検査形 1 out of  $N$  符号検査回路  
の 3 レベル構成法, 昭和 56 年度電子通信学会情

(昭和 58 年 1 月 17 日採録)