

2G-01 大規模システムLSI開発におけるオーディオシステム検証

服部孝, 鈴木和雅, 中嶋宏知, 橋詰雅樹

三菱電機(株) 情報技術総合研究所

1. はじめに

システムLSI開発においては、開発済みIP部品を積極的に採用することなどによって、H/W設計よりも検証やLSI上のS/W設計により多くの人工を投資し、また、検証自体も可能な限りIP部品間の接続試験的な内容で済ませられるような設計として、開発早期にS/W込みのLSI全体のシステム試験に着手出来るような体制が求められている。

本稿では、開発が完了したMPEG2エンコーダLSIに関して、オーディオエンコード処理周辺の設計・検証方法についてまとめる。

2. LSI概要およびオーディオエンコーダ

2-1. LSIの構成

本LSIは、VLIWタイプのプロセッサコア(以下、CPUコアと呼ぶ)を内蔵し、MPEG2のビデオ、オーディオ、システム(多重処理)の各エンコーダを1チップに収めたものである。

以下に、本LSIの諸元を挙げておく。

| | |
|---------|--|
| 動作周波数 | 27/54/81MHz (CPUコア:162MHz) |
| チップサイズ | 142mm x 142mm (CPUコア:5.4mm x 1.5mm) |
| メモリサイズ | 128KB(命令:64KB, データ:32KB) |
| トランジスタ数 | 11million Tr |

2-2. オーディオエンコード処理

本LSIでは、ビデオエンコーダが主にハードワイヤードな処理で実現されているのに対して、オーディオ(およびシステム)エンコーダに関しては、

Audio System Verification of System LSI

Takashi Hattori, Kazumasa Suzuki,

Koji Nakashima and Masaki Hashizume.

Mitsubishi Electric Corporation,

Information Technology R&D Center

5-1-1 Ofuna, Kamakura, Kanagawa, 247-8501, Japan

CPUコア上のS/Wによるエンコード処理が主体となる。

図1に、オーディオエンコード処理に関するH/Wブロックおよびデータフローを示すが、S/Wの指示に従って、H/Wがオーディオ入力データをCPUコア内のデータメモリまでとエンコード後のデータをデータメモリからオーディオ出力(MPEG2ストリーム出力)まで転送する。

またS/Wは、データメモリを入出力として、MPEG1・レイヤ2(以下、MP2と呼ぶ)、AC-3、リニアPCM、の各オーディオエンコード処理を行なっている。

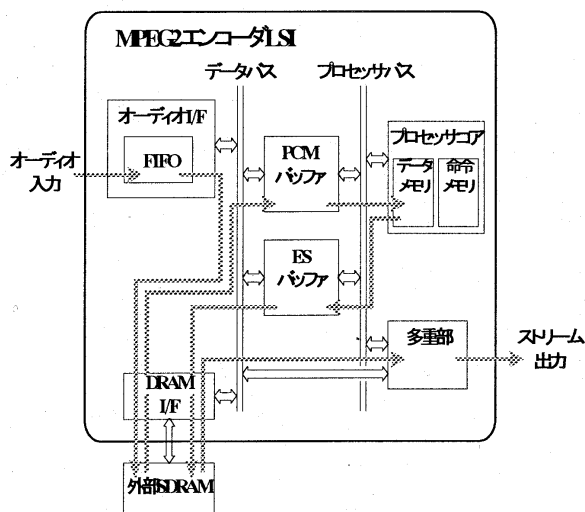


図1 オーディオ関連ブロック

3. 設計方針およびオーディオシステム検証

3-1. 工程短縮のための設計方針

まず、H/W設計工程の短縮という観点から、CPUコアに開発・検証済みの当社IPを採用することとした。ただし、CPUコア以外のオーディオ系のH/Wについては、適当なIPが無かったために

新規開発であった。

また、S/Wに関しては、既にS/Wエンコーダとして動作確認済みのC言語コードを流用することとしたが、この場合、コードサイズと処理性能面から、アセンブラに書き直す必要があった。

3-2. オーディオシステム検証

検証の効率化という観点では、動作確認済みのCPUコアを中心としたシミュレーション環境の立上げを先に行ない、順次、H/Wブロックを組込んで行くことで、H/Wのブロック検証をアセンブラコードでテストすることとした。

この場合、アセンブラ等の開発環境も確認済みのツールとしてCPUコアと共に提供されたため、テストケース開発のための準備作業も特に必要とならず、CPUコア開発時のテストケースを流用することで、シミュレーション環境の立上げは1週間程度の作業であった。

また、最初からCPUコアが存在しているために、シミュレーション環境の立上がりと同時にシミュレータ上でエンコードS/Wの試験を開始することが可能であった。

この他、ビデオ系H/Wと比べてオーディオ系は、動作クロックが非常に低速であるため、テスト用に高速なクロックを用意したり、CPUの機能が不要なテスト向けに、シミュレーション負荷の高いCPUコアを切離すような仕掛けを用意するなど、シミュレーション効率の向上を図った。

3-3. 開発の実際

LSI内に複数の非同期なクロックが存在する点から、シミュレータにはサイクルベースシミュレータの適用が難しく、主にコンパイル型のVCSを使用した。また実行マシンは、主にSUNのUltra-2(300MHz、1GB)を使用し、この構成でのシミュレーション速度は、50cycle/s程度であった。

H/Wブロックのデバッグにはオーディオフィーム単位の処理は必要でなく、また、テスト用高速クロックを使用することで十分に実用的なシミュレーション性能であったが、MP2のエンコードS/Wを実行した場合、1フレーム分のエンコード処理だ

けで約8時間掛かるものであり、残念ながら、S/Wを構成するモジュールの試験とごく一部のプログラム試験がシミュレータ上で実現した程度で、残りは実機での試験に持ち越しとなった。

一方、オーディオ系のH/Wの開発効率という点では、CPUコア開発の分が短縮出来たわけであるが、コア以外の部分で5人月程度の人工が掛かっている。また、オーディオ系のS/W開発という点では、アセンブラへの書き直しおよびC言語シミュレータでの試験までに0.5人年程度掛かり、更に、シミュレータ上での試験や実機試験に1.5人月が必要であった。

4. おわりに

今回の開発では、1stシリコンでバグフリーなLSIを得ることが出来たが、(1)オーディオ系H/Wは、CPUコア以外の流用が出来なかった。および、(2)アセンブラ書き直し時の不具合混入が多かった。という2点に改善の余地を残すこととなった。

前者の場合、開発毎にバッファメモリに費やせるトランジスタ数が変わる可能性が大きい部分のH/Wの流用であることから、新規開発分への投資を削減するためには、既にIP化されたものに仕様を合わせ込むか、IP部品の開発時にパラメータ化を十分に意識しておく必要がある。

後者の場合は、単純な人為ミスやチェック漏れである部分が大きく、これを回避するために、例えばS/W込みのIP部品の採用が考えられる。しかしながら、上述のバッファメモリ以上にS/Wに使用可能なメモリサイズがプロセスや開発ターゲットで変わる可能性は高く、S/Wの書き直しを前提として、C言語シミュレータの高精度化や、H/WとS/Wのより密接なシミュレーション環境の構築が、今後も要求されて行くものと思われる。

参考文献

- 1) 中嶋 他, “1チップMPEG2エンコーダシステムLSIへシステムの概要”, 情報処理学会第59回全国大会, 5H-1, 1999
- 2) 鈴木 他, “1チップMPEG2エンコーダシステムLSIへオーディオ系検証”, 情報処理学会第59回全国大会, 5H-2, 1999