

# 6ZA-02 教育向け RISC 型プロセッサ MITEC-II \*

清水 彩<sup>†</sup> 平柳 和也<sup>†</sup> 宮内 新<sup>†</sup> 石川 知雄<sup>†</sup>  
武蔵工業大学<sup>‡</sup>

## 1 はじめに

本大学修士課程において、コンピュータハードウェア教育では、講義及び演習により高性能化に最適な RISC 型プロセッサのアーキテクチャ及び設計手法を学習可能なカリキュラムを組んでいる。その演習を行うにあたり、当研究室独自の RISC 型プロセッサ MITEC-I (Musashi Institute of Technology Educational Computer) を使用している。

しかし、動作中の内部信号の観察、性能評価が不可能である、キャッシュや仮想記憶に対応していない、リソースに余裕がないため改造が制限されてしまう等問題点がある。

本稿では、MITEC-I を 32bit 拡張へアップグレードをし更に教育向け機能を充実させた MITEC-II のアーキテクチャ、教育向け機能及び演習方法について述べる。

## 2 MITEC-II のアーキテクチャ

図 1 に MITEC-II の概要図を示す。

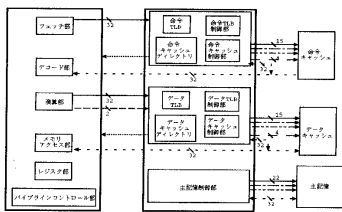


図 1: MITEC-II の概要図

CPU とメモリアクセスコントローラ (以下 MAC) は別の FPGA 上に実装され、CPU → MAC への信号はアドレス、命令フェッチ要求、ロード/ストア要求、ワード (半語、バイト) アクセスで

\*RISC Processor MITEC-II for Educational

<sup>†</sup>Aya Shimizu, Kazuya Hirayanagi, Arata Miyouchi, Tomo Isikawa

<sup>‡</sup>Musashi Institute of Technology

あり、MAC → CPU への信号は WAIT 要求、ページフォールト発生、等である。MITEC-II は 5 ステージのパイプライン処理による 1 クロック 1 命令実行である。5 ステージの各パイプラインは IF ステージで PC 更新、ID ステージで命令取り込み及び命令デコード、EX ステージで演算 (演算命令) やアドレス送出 (ロード/ストア命令)、MEM ステージでデータ取り込み (ロード命令)、WB ステージでレジスタ格納 (演算命令) を行う。

さらに、EXE ステージ及び MEM ステージの値をバイパスさせることによって次命令でもレジスタの値を読み出すことが可能なフォワーディング機構を設けてある。また、ID ステージで分岐先アドレスを計算させることによって遅延スロットを 1 命令としている。このように、RISC 型プロセッサに代表される高速化機能を搭載している。

次に MAC について述べる。MITEC-II では命令キャッシュとデータキャッシュが独立であるハードアーキテクチャを採用している。MAC は命令/データ TLB 内蔵、命令/データキャッシュディレクトリ (管理ビット、タグを保持) 命令キャッシュやデータキャッシュにアドレス、read/write 及び CE 信号を送出する。IF ステージ、EXE ステージの前半では TLB にアクセスし、CPU から生成された仮想アドレスを物理アドレスに変換する。後半では、キャッシュにアクセスするために、タグ検査、読み書き動作を行う。これら一連の動作でミスが発生した場合、下位の主記憶にアクセスされる。

## 3 演習プログラム

本大学院で行っている RISC 型プロセッサ設計演習の課程を説明する。

1. VHDL 言語の理解
2. MITEC-II アセンブリ言語を用いたプログラミング
3. MITEC-II の改良

1において,VHDL記述からFPGA実装/cdot動作検証といった一連の動作を通じてLSI設計の技法を体得することを目的としている。

2において,ハードウェアアーキテクチャや周辺機器の操作法を学び,アセンブリ言語によりプログラムを作成する。

3においては,MITEC-IIを実際に改良をする。実機上で動作確認,及び2で作成したプログラムを使って性能の評価を行う。

このような演習プログラムを通じ,学生がRISC型プロセッサのアーキテクチャを実機で理解することを目的としている。

## 4 教育向け機能

ここではMITEC-IIで新たに付加した教育向け機能について説明を行う。

### 4.1 手動クロック

図2にプッシュスイッチを使った手動クロックを示す。プッシュスイッチが押されることによって印がついている分すなわち1クロック分だけ実行される。

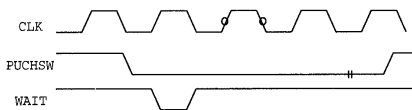


図2: 手動クロック

### 4.2 タイマ

演習プログラムの3でMITEC-IIの改良後,改良前との性能評価を実行クロック数で比較できるよう,プログラム開始から終了までクロックカウントを行うタイマを内蔵させる。

またキャッシュの定量的性能評価も可能にするために,指標として,ミス率,ミスペナルティ,1実行あたりの平均メモリ参照回数を選択した。そのために,命令キャッシュにアクセスした回数,データキャッシュにアクセスした回数,主記憶にアクセスした回数,CPUにWAITをかけている間カウントするカウンタを備える。上記のカウンタは32ビット,MSBをオーバフローとしている。

### 4.3 内部ステータス信号観測

手動クロックと同時に利用すると,演習プログラム2でアセンブリ言語のプログラム作成段階で学生が実機を使ってデバックを行う際,非常に有効になる機能であると考えている。図3に内部ステータス信号出力法を示す。CPU及びMACの主要信号を内部信号選択表示出力ボードに出力し,ロジックアナライザでモニタすることにより,実機の内部の状態を学生が観測することが可能である。アドレスバスやデータバスを観測する場合は信号線が多数になるため,選択信号でバスを選択し,観測するようにする。

観測可能な信号は,CPU MAC間の信号,ALUに関する信号,フォワーディングに関する信号,仮想記憶,割り込みに関する信号,タイマとキャッシュの性能評価に関するクロック数等である。

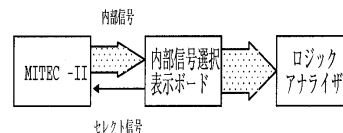


図3: 内部ステータス信号出力法

### 4.4 改良案の例

現時点で学生が行えると考えている改良案について列挙する。CPU-命令追加,MAC-キャッシュ容量及びキャッシュブロックに伴うミス率,ミスペナルティの変化などが行えると考えている。

## 5 おわりに

本稿ではMITEC-Iでは搭載されていなかった教育向け機能を中心に述べた。手動クロック及び内部ステータス信号出力機能は学生がデバックを行う際,またタイマは正確な性能評価を行う際に非常に有効になると思われる。

## 参考文献

- [1] 平柳 和也:教育用RISC型プロセッサMITEC-II,情報処理学会,59回大会論文集,1H-9,1999.
- [2] 清水 彩:教育向けRISC型プロセッサMITEC-IIにおけるメモリ管理ユニットの開発,情報処理学会,59回大会論文集,1H-10,1999.