

超高精細映像の並列符号化器の構成に関する一考察 A Study of Parallel Encoding Framework for UHDTV

大西 隆之[†] 佐野 卓[†] 西田 享邦[†] 草場 律[†]
Takayuki ONISHI Takashi SANO Yukikuni NISHIDA Ritsu KUSABA
嵯峨田 淳[†] 岩崎 裕江[†] 池田 充郎[†] 清水 淳[†]
Atsushi SAGATA Hiroe IWASAKI Mitsuo IKEDA Atsushi SHIMIZU

1. はじめに

近年、薄型テレビのさらなる高解像度化や、最新の符号化規格 HEVC[1]による圧縮効率のさらなる向上に伴い、8K に代表される超高精細映像の放送・配信サービスの実現を目的として、HEVC リアルタイム符号化に対する期待が高まっている。

超高精細映像の放送・配信のみならず、番組制作や映像素材の伝送を含めたワークフローの実現にあたっては、リアルタイム性はもちろんのこと、低遅延、小型低消費電力、高い色再現性など多くの性能が求められる。これらの要求を満たすためには、高集積な HEVC 符号化 LSI を核としたハードウェア型のエンコーダが必要となる。そこで本稿では、8K に代表される超高精細映像のリアルタイム符号化を、HEVC 符号化 LSI を用いて実現するにあたっての課題とその解決手段に関して考察を行う。

2. 超高精細映像符号化器の構成における課題

高精細映像向けに現在主流となる符号化 LSI は、符号化規格として H.264/AVC[2]を使用し、LSI 単体で HDTV (1080/60p) および 4K に対応している。HEVC の符号化処理は、図 1 に示すように H.264/AVC 比で 5.7 倍の演算量を要するため、今後の LSI 製造プロセスの微細化に伴う集積度向上や処理アルゴリズムの改良による演算量削減を考慮しても、単体 LSI で 4K/60p 程度の性能を想定することが妥当である。

この場合、8K/60p のリアルタイム符号化を実現するためには、4K/60p の性能を有する単体 LSI を 4 ヶ接続し、入力映像を並列に符号化する構成が考えられる。並列符号化処理にあたっては、次のような課題が存在する。

- 8K 映像の画面分割方式の決定
- LSI 間のデータ転送量の見積もり
- LSI 内蔵ラインバッファの削減
- 符号化ストリームの結合

これらの課題について、以下順に述べる。

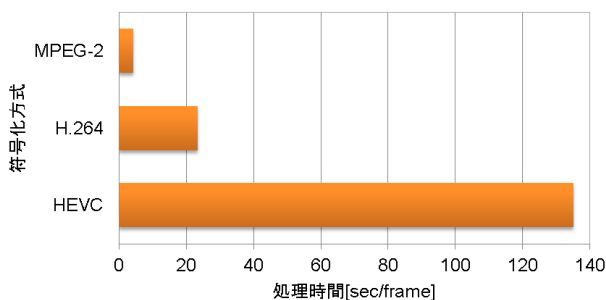


図 1 各符号化標準での 4K 符号化処理時間

2.1 8K 映像の画面分割方式

符号化 LSI の並列構成による画面分割符号化は、スライス水平分割による方式が従来から行われている[3]。HEVC ではスライスに加えてタイルが定義され、図 2 に示すように多様な分割形状での並列符号化が可能である。分割符号化方式の候補とその比較を表 1 に示す。

映像を GOP 単位に時間分割して符号化する GOP 分割は、入力映像と出力ストリームの並べ替えに 3GOP 以上の遅延を生じるため実用的でない。残る 3 種の画面分割で、水平 4 分割は分割映像も 8K の横幅を持ち、LSI に内蔵される各種ラインバッファ容量が 4K 比で 2 倍必要となる欠点があるものの、LSI 間の参照画像データ転送量を最も低く抑えることができること、またタイルのみでなくスライス分割も選択でき汎用性が高い。そこで本稿では(b)水平 4 分割による方式を選択し、以降の考察を進める。

2.2 LSI 間データ転送量

並列符号化を行う LSI 間のデータ転送には、画面分割境界を超える参照画像の相互転送、分割出力された符号化ストリームの結合、その他符号化パラメータや制御情報の伝達などが考えられるが、高精細 8K 映像においては、参照画像の相互転送が支配的である。

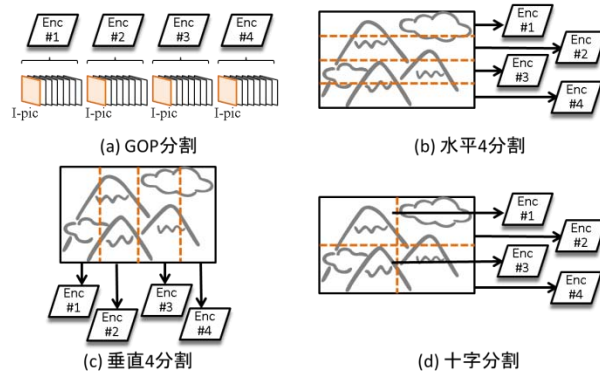


図 2 8K 分割符号化方式

表 1 8K 分割符号化方式の比較

	(a) GOP 分割	(b) 水平 4 分割	(c) 垂直 4 分割	(d) 十字 分割
分割方法	GOP	スライス/タイル	タイル	タイル
符号化遅延	非常に大	小	小	小
参照画像転送	なし	小*	中*	十字中心付近で大
内蔵ラインバッファ	4K と同じ	4K の 2 倍	4K の半分	4K と同じ

*分割境界を超える動きは、縦方向より横方向に広い特性に基づく

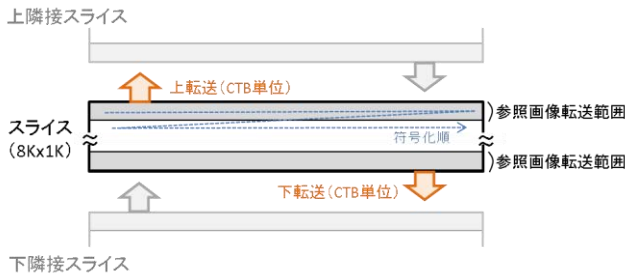


図3 水平4分割の参照画像転送 (隣接LSI間)

水平4分割における参照画像転送の例を図3に示す。水平分割された1スライス(8K×1K)において、符号化済み画像を隣接する上下のLSI間で相互に転送し、分割境界を超える動きベクトル(MV)を出力できるようにする。

参照画像転送範囲の大きさを縦128ピクセルに設定した場合、上下各々の転送範囲のデータ量は

4:2:0の場合 $7680 \times 128 \times 10\text{bit} \times 1.5$ (YCbCr) = 14.75Mbit

4:2:2の場合 $7680 \times 128 \times 10\text{bit} \times 2$ (YCbCr) = 19.66Mbit である。これを符号化と同期して転送する場合、縦128の符号化に要する時間は1.96msecであるから、転送帯域は

4:2:0の場合 7.52Gbit/s, 4:2:2の場合 10.03Gbit/s

と見積もられる。

この帯域幅は、例えば隣接LSI間をPCI express 2.0 x8 (実効帯域40%で16Gbit/s)等で接続することにより十分に実現可能な値である。

2.3 LSI内蔵ラインバッファの削減

水平4分割による8K映像符号化では、2.1節で述べたように、LSI内部のラインバッファとして横幅8K相当の容量が必要となる。とりわけ、動き探索に使用する参照画像(輝度)ラインバッファは大容量を要するため、この削減が課題となる。

参照画像(輝度)ラインバッファの概念を図4に示す。外部メモリ(DDR等)に格納された8K×1Kの参照画像データは、符号化の進行に同期して順次ラインバッファに転送され、複数の動き探索器からの読み出し要求に備える。使用されなくなったデータは、新たなデータに上書きされて順次削除される。

例として縦±128の動き探索範囲を確保する場合、2参照画像(L0, L1各1)を格納するラインバッファ容量は約50Mbitに達する。

これに対し、ラインバッファの使用を縮小画像探索器に限定する構成とすれば、縮小済のデータを蓄積すればよく、例として1/4縮小画像を用いる探索器であれば、ラインバッファ容量を1/16に削減できる。

しかしながら、整数・小数画素近傍探索器は、整数画素のデータを外部メモリから別途リードすることになり、その帯域が課題となる。表2は、1/4縮小探索を行った後、整数・小数画素探索器が±4.75画素の近傍探索を行うケースを仮定し、外部メモリからのリード量を算出したものである。ブロックサイズの細かい8x8PUではとりわけ大きな転送量を要し、DDR等の外部メモリからの直接リードが困難な帯域となる。

細かなPUの出現を抑制するなどの転送量削減手段はインターPUモードの選択を制限し、画像品質の劣化につな

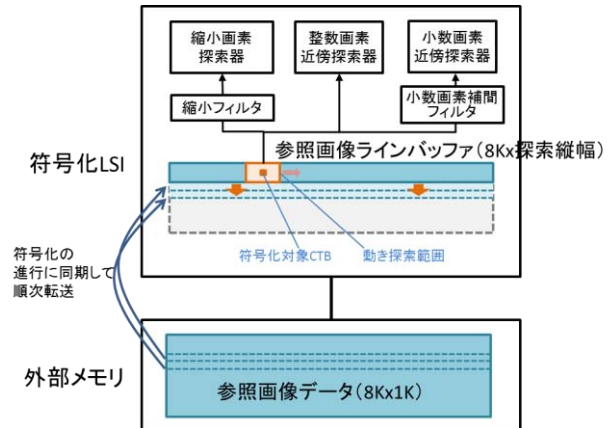


図4 参照画像(輝度)ラインバッファの例

表2 整数・小数画素近傍探索用参照画像(輝度) 必要リード帯域

	転送ブロック サイズ	ビット量[bit] (1ブロック当り)	転送量[Gbit/s] (2参照画像当り)
8x8PU	24x24	5760	96.26
16x16PU	32x32	10240	42.78
32x32PU	48x48	23040	24.06
64x64PU	80x80	64000	16.71

がるため、HEVCに期待される符号化性能を満たすためにはラインバッファの搭載が必要となる。

2.4 符号化ストリームの結合

4ヶのLSIでそれぞれ符号化された出力ビットストリームは、ピクチャ単位に結合したうえでMPEG-2トランスポートストリームやバイトストリームとして出力する必要がある。これは、従来と同様に各LSIの多重化出力部を縦列に接続することで実現できる[4]と同時に、2.2節で述べたLSI間データ転送の枠組みによってストリームをマスターLSIに集積して、多重化出力を行う構成も可能である[5]。

3. まとめ

8Kに代表される超高精細映像のHEVCリアルタイム符号化を実現するにあたって発生する課題について考察を行った。今後この結果をもとに、HEVC符号化LSIの並列構成による超高精細映像リアルタイム符号化の実現に向けた検討を進めてゆく。

参考文献

- [1] ITU-T Recommendation H.265 (2013), "High efficiency video coding", April 2013.
- [2] ITU-T Recommendation H.264 (2005), "Advanced video coding for generic audiovisual services", March 2005.
- [3] K.Nitta and et al., An H.264/AVC High422 profile and MPEG-2 422 profile encoder LSI for HDTV broadcasting infrastructures, 2008 IEEE Symposium on VLSI Circuits, June 2008.
- [4] T.Onishi and et al., A Distributed Stream Multiplexing Architecture for Multi-Chip Configuration beyond HDTV, IEICE Trans. INF. And SYST., vol.E91-D, no.12, 2008.
- [5] 草場他, 「高精細映像多重化に向けたマルチチップ構成法の検討」, 2014 信学ソ大 (予定)