

ラッチ変換による論理回路の遅延最適化

Timing Optimization by Latch Conversion

吉川 浩
Ko Yoshikawa金丸 恵祐
Keisuke Kanamaru萩原 靖彦
Yasuhiko Hagihara乾 重人
Shigeto Inui中村 祐一
Yuichi Nakamura

1. はじめに

高速な LSI を設計するために、アーキテクチャ・論理回路・レイアウト等の各設計フェーズで高速化の取り組みがなされている。本論文では論理回路における高速化の手法として、ラッチを利用した遅延最適化を提案する。論理設計・形式検証・遅延解析・TEST 等の設計容易性を最も広く用いられているフリップ・フロップベース設計と同程度にすることを目標とした。そして、フリップ・フロップで設計した論理回路をラッチ回路に変換しリタイミングを行うことで、最大で 20% の遅延最適化を達成できることがわかった。

2. ラッチ設計の特徴

フリップ・フロップ(以下 FF)を用いた論理回路と、ラッチを用いた論理回路の比較を図 1 に示す。FF を用いた設計におけるクロック周期は式 1 により求められる。

$$\begin{aligned} & \text{FF の出力遅延時間} + \text{組み合わせ回路の遅延時間} \\ & + \text{FF のセットアップ時間} + \text{クロック SKEW} \\ & \leq \text{クロック周期} \quad \dots\dots (式 1) \end{aligned}$$

ここで、FF のセットアップ時間、FF の出力遅延時間、各論理素子の遅延時間、ラッチの遅延時間、そしてクロック SKEW をそれぞれ 1 とすると、図 1 のオリジナル回路(図 1 (A))のクロック周期は最速で 10 となる。この回路をリタイミング[1]により、FF 間の遅延時間になるべく等しくなるように FF の位置を最適化することで、クロック周期を 9 に出来る(図 1 (B))。1 つの FF をマスターとスレーブのラッチから構成されていると考え、FF を使ったオリジナル回路(A)は 2 つのラッチを用いた回路と等価である(図 1 (C))。この状態でリタイミングによりラッチの位置を最適化することで(図 1 (D))、図 1 (A)の FF 回路と同じ機能を実現しながら、クロック周期を 8 に出来る。その理由を以下に説明する。

(1) クロック SKEW のキャンセル

FF 設計では必ず FF 間の遅延時間にクロック SKEW が影響するが、クロック SKEW に関係がないタイミングの箇所(図の斜線以外の箇所)にラッチを置く事により、サイクルタイムがクロック SKEW の影響を受けない設計が可能となる[2] [3]。この特性は、LSI が高速化しサイクルタイムが短縮する程、相対的にクロック SKEW の割合が大きくなり、サイクルタイム改善への効果が増大する。

(2) Time Borrowing

ラッチはクロックのエッジでホールドするが、その前に信号が到着している場合は、クロックのエッジを待たずに信号を後段へスルーして出力する。このため、あるラッチ

間の遅延時間がクロック周期の半分を超えていても、その前後のラッチ間の遅延時間に余裕がある場合は、そこから遅延時間を借りてくる事が出来る。これを Time Borrowing と言う。

以上のようにラッチ設計は LSI の高速化に有効である為、高速のマイクロプロセッサの設計に利用されている[3] [4]。しかし、ASIC では FF に比べてあまり利用されていない。例えば、FF で設計した ASIC を高速化の為にラッチ回路に変換するには次のような問題があった。

(1) 論理設計での問題

FF 設計をラッチに変換する場合、1 つの FF が 2 つのラッチに変換されるので、設計している RTL をラッチ用に書き直す必要がある。

(2) 形式検証での問題

リタイミングによりラッチを最適位置に配置する事は、RTL と実回路でラッチの位置が異なる事を意味する。現在の多くの等価性をチェックする形式検証システムはリタイミングされた回路間の検証に完全には対応しておらず、論理の等価性に問題が残ってしまうという欠点がある。

(3) 遅延解析での問題

ラッチ間の遅延時間は基本的に 1 クロック周期の半分の時間であるが、ラッチの Time Borrowing の性質により、その遅延時間以上のパスがあっても全体として遅延制約が満足出来る場合がある。この解析が過去の Static 遅延解析ツールは不得意であった。

(4) TEST での問題

ラッチを SCAN 化する事で TEST の問題はある程度解決出来る。しかし、ラッチの位置を移動するたびに TEST パターンが変更になってしまうという問題がある。

3. ラッチ自動変換システム

3.1 処理内容

ラッチ変換による遅延最適化の詳細を説明する。入力は FF を用いて設計した RTL、またはネットリストである。出

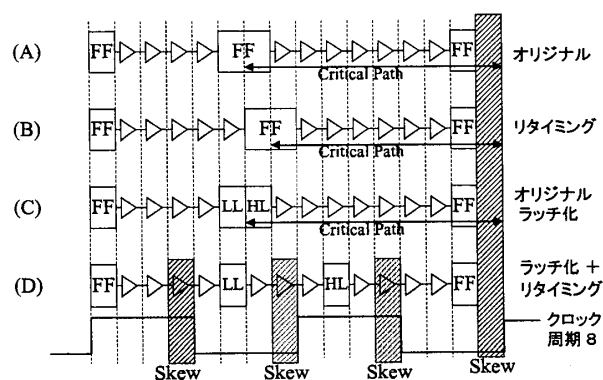


図1 ラッチとフリップ・フロップ

力はラッチ化されたネットリストとなる。

第1ステップとして、目標となるクロック周期に対し、FF のままで論理最適化[5][6]を行う。その際の遅延制約として、クロック周期は最終目標値を、クロック SKEW は基本的にゼロを用いる。但し、マルチサイクルパスのようにタイミング例外の FF 等はラッチ化しない指定が可能であり、始点側が FF として残るパスだけは実クロック SKEW 値を利用する。これは始端が FF なので、次段のラッチがスルーする為にはクロック SKEW 分早く信号が伝播する必要がある、クロック SKEW を無視出来ない為である。

第2ステップで、FF をローアクティブなラッチ (ローラッチ) に変換する。そして、このローラッチの位置はリタイミング等による変更を行わない。つまり、FF の位置をローラッチとして記憶する。

第3ステップでは、ローラッチのトランジティブ・ファンアウトにハイアクティブなラッチ (ハイラッチ) を挿入する。これはハイラッチのリタイミングに相当する。ここで、どの位置にリタイミングするかが、論理回路の性能・面積に大きく影響する。1つの方法としては、目標とするクロック周期の半分に近い場所に挿入 (リタイミング) する事が考えられる。この方法は、対象回路のローラッチがスルーするように第1ステップで遅延最適化されているので、ハイラッチをこの位置に置くと、ハイラッチもスルーしクロック SKEW がキャンセルできるので、遅延最適化に有効である。

第4ステップでは、ラッチ変換された回路を再度インクリメンタルに組み合わせ回路の遅延最適化を行う。これは、ラッチの実遅延時間が判明するので、第1のステップで使用していた FF の遅延時間との差を調整する為である。

3.2 ラッチ設計における問題点への対応

提案した上記の方法は、次のように前述したラッチ設計における問題点を解決している。

(1) 論理設計での問題

本手法では、FF を自動でラッチ変換するので、RTL を修正する必要は全くない。

(2) 形式検証での問題

必ずローラッチが、ラッチ化される前の FF と同じ位置に残っているので、それを FF として扱い、もう一方のハイラッチをバッファーと見なす事で形式検証の問題も解決する。

(3) 遅延解析での問題

最新の遅延解析ツールは市販のものでも、ラッチの Time Borrowing を扱えるようになって来ており、既に大きな問題は解決している。また、本手法は一部の FF をラッチ化しない指定が出来るので、例えばマルチサイクルパスの始点・終点はラッチ化しない事で遅延解析の複雑化を抑制出来る。

(4) TEST での問題

FF 位置に残っているラッチを SCAN 化し、もう1つのラッチを TEST 動作時にバッファーとなるような構成にする事で、FF での TEST パターンがそのまま利用可能となる。

4. 実験結果

本手法をインプリメントし、LSI の一部に適用した実験結果を表1に示す。表では、FF 設計 (FF) での遅延最適化後の FF 間クロック周期および面積と、ラッチ化による

遅延最適化後のクロック周期および面積のそれぞれの割合を示している。ラッチ化による遅延最適化の効果を見る為、クロック周期が改善出来なくなるまでクロック制約を厳しくして最適化を行った。またラッチは回路の入力側に遅延時間の余裕があるかどうかで、Time Borrowing の可否が決まる。そこで3種類の回路 (A, B, C) に対して実験を行い、primary input までの到着時間が大きい場合と小さい場合 (ラッチ1, 2) の結果をまとめた。

表の遅延において、入力から初段の FF やラッチまでの遅延時間は無視している。尚、クロック SKEW としては FF 設計の場合のクロック周期に対し5%から10%を指定している。

表1 実験結果

data	FF		ラッチ1		ラッチ2	
	周期	面積	周期	面積	周期	面積
A	1.0	1.0	0.89	1.44	0.82	1.34
B	1.0	1.0	0.94	1.38	0.87	1.39
C	1.0	1.0	0.86	1.11	0.80	1.12

実験結果を見て分かる通り、本手法により5%から20%の遅延最適化が達成出来る。また、回路の入力に遅延余裕がない場合 (ラッチ1) よりも、遅延余裕がある場合 (ラッチ2) の方が、回路の入力側の遅延余裕を利用する事で、より大きな遅延改善が達成出来る事も確認できる。

5. まとめ、今後の予定

ラッチ回路の有効性を利用し、設計容易性も考慮した論理回路の遅延最適化手法について述べた。実験結果に示されたように、本手法は LSI の動作速度向上に非常に有効である。今後はラッチのリタイミング方法の改善による遅延・面積の向上等を実施する予定である。

参考文献

- [1] C.E.Leiserson and J.B.Saxe, "Optimization Synchronous Systems," Journal of VLSI and Computer Systems, 1(1): pp.41-67, 1983.
- [2] 吉川篤志, 萩原靖彦, 乾重人, 山品正勝, "高クロックスキュー耐性ラッチ設計手法," 電子情報通信学会総合大会, 2000, C-12-13, pp108.
- [3] Y. Hagihara, S. Inui, A. Yoshikawa, T. Uesugi, T. Osada, S. Nakazato, M. Ikeda, M. Okada, and S. Yamada, "A Skew-Tolerant Design Scheme for Over 1-GHz LSIs," Proc. of ESSCIRC 2000, pp.416-419.
- [4] J. D. Warnock, J. M. Keaty, J. Petrovick, J. G. Clabes, C. J. Kircher, B. L. Krauter, P. J. Restle, B. A. Zoric, and C. J. Anderson, "The circuit and physical design of the POWER4 microprocessor," IBM J. Res. & Dev. 46 No.1 January 2002, pp. 27-51.
- [5] K.Yoshikawa and S.Muroga, "Logic Synthesizer with Optimizations in Two Phases," The VLSI Handbook, CRC Press, 2000, pp.33.1-33.7.
- [6] K.Yoshikawa, H.Ichiryu, H.Tanishita, S.Suzuki, N.Nomizu, and A.Kondoh, "Timing Optimization on Mapped Circuits," DAC'91, 1991, pp.112-117.