

## 連想メモリによるメモリ型並列計算モデルの計算能力†

武永康彦\*\* 高木直史\*\* 矢島脩三\*\*

高度の集積化が可能なメモリに簡単な機能を付加することにより、高度な並列処理を実現できる可能性がある。本論文では、連想メモリ (CAM) による並列計算の能力を明らかにするため、CAM と同様の記憶データに対する並列部分一致検索機能をもつメモリ型並列計算モデル CAFRAM を提案し、その能力について考察する。メモリ型並列計算モデルは、ランダムアクセス機械に、機能メモリを付加したものである。CAFRAM の機能メモリは、各ワードがアドレスを記憶するインデックス部とデータ部からなり、検索データとマスクデータを与えることにより両者に対してワード並列に部分一致検索を実行できる。われわれはこのモデル上で多項式時間で受理できる集合のクラスが、NP 問題に対する神託をもつ神託付きチューリング機械により多項式時間で受理できるクラス  $4P$  に等しいことを証明した。この結果は、われわれが以前に提案した FRAM モデルの場合と同じであり、すなわち、メモリ型並列計算の本質的な機能が、FRAM のもつ複数のワードへの並列アクセスにあることを示している。

### 1. はじめに

大規模・高速計算への要求が、理学や工学をはじめとして種々の分野でますます高まりつつある。その中でしばしば現れる多くの組合せ問題や組合せ最適化問題が、NP 完全あるいは NP 困難な問題であることが明らかになっている。これらの問題を逐次型計算機で解く場合、計算時間が問題のサイズに対し、指数関数的に増大すると考えられている。このような計算を高速に処理するため、パイプライン方式のベクトル計算機や、並列プロセッサ方式の並列計算機の開発がおこなわれている。

並列計算は、計算量の多い問題をより速く解くための有効な手段である。理論的な立場からの研究の結果、並列計算によりどの程度高速な計算が可能であるかが明らかにされつつある。これまでに種々の並列計算モデルが考案され、それらの計算能力や並列アルゴリズムに関する研究が数多くなされている。これらの並列計算モデルは一般に逐次型のモデルよりもはるかに能力が高い。しかし、NP 完全問題などの難しい組合せ問題に対しては、サイズの大きな問題を実用的な時間で解くには、膨大な数のプロセッサが必要である。したがって、本質的に計算量の大きな問題を解くには、非常に並列性の高い計算機構が必要となる。

そのような高い並列性を実現できる可能性がある計

算機構のひとつとして、連想メモリ (CAM: Content Addressable Memory) がある。メモリは本来データを記憶するためのものであるが、メモリに若干の機能を付加することにより、メモリ上で種々の計算をおこなうことが可能である。このような付加的な機能をもつメモリを機能メモリと呼ぶ。CAM は機能メモリの種類であり、記憶データの内容に基づくデータアクセスの機能をもつ。CAM では、記憶データに対する部分一致検索が全ワードに対して並列におこなわれ、その結果に基づいてデータの書き込み、読み出しが可能である。このような、連想メモリをはじめとする機能メモリは一種の並列計算機構としてとらえることが可能である。メモリはプロセッサに比べ高度の集積化が可能であるため、機能メモリにより、並列プロセッサ方式では実現が不可能と考えられるような大きな並列度を得られる可能性がある。われわれは、機能メモリを用いた計算機構を SIMD (Single Instruction Multiple Data stream) 型の、メモリ型並列計算モデルとして定式化し、また、機能メモリを用いた並列アルゴリズムを提案している<sup>1)-3)</sup>。本論文では、CAM と同様の記憶データに対する並列部分一致検索機能をもつ機能メモリを用いた、メモリ型並列計算モデルの能力を調べる。

機能メモリに関する研究は、30年以上前からおこなわれており、CAM をはじめとする種々の機能メモリが提案されてきた。CAM の並列処理機能の有効性については当時から知られていたが、大容量の CAMLSI の実現は困難であった。しかし、近年になって、VLSI 技術の発展にともない、かなり大規模で高機能な CAMLSI が開発されるようになってきている。1988年

† Computational Power of a Memory-Based Parallel Computation Model with Content Addressable Memory by YASUHIKO TAKENAGA, NAOFUMI TAKAGI and SHUZO YAJIMA (Department of Information Science, Faculty of Engineering, Kyoto University).

\*\* 京都大学工学部情報工学科

には 20K ビット<sup>4)</sup>, 1991年には 288K ビット<sup>5)</sup>の CAMLSI の開発が報告されるなど, CAM の大容量化は急速に進んでおり, さらに大容量の CAMLSI の実現が期待される。このため, 実用的な CAM システムが徐々に現実的なものとなり, CAM などの機能メモリを用いた高速計算が注目されつつある<sup>6)</sup>。特に, 知識情報処理向けの新しい VLSI アーキテクチャとして, CAMあるいは, 目的に応じた専用の機能をCAMに加えた機能メモリを利用した研究がおこなわれている<sup>7),8)</sup>。さらに, 人工知能の分野では, 連想機能について高次の議論がおこなわれている。

大久保らは, 論理型言語の実行における基本的操作である単一化操作を CAM を用いて効率良く解く方法の中で, CAM において初期データとしてアドレスを記憶するという考え方を示している<sup>9)</sup>。このようにアドレスを与えることにより, 各種の組合せ問題を効率的に解くことができる。安浦らも, アドレスに対する部分一致検索と CAM 本来の機能をもつ, 組合せ問題向けの機能メモリアーキテクチャを提案している<sup>10)</sup>。

われわれはこのような計算機構の能力を理論的に明らかにする研究をおこなってきた。アドレスの部分一致による複数ワードへの並列アクセスが可能な機能メモリを用いた, メモリ型並列計算モデル FRAM (Random Access Machine with Functional Memory) を提案し, その計算能力を調べた<sup>1)</sup>。FRAMの機能メモリは, アドレスの部分一致に基づいた並列書き込みが可能なものである。本論文では, アドレスに基づく並列アクセス機能に加え, CAM のもつ並列部分一致検索機能を取り入れたモデルを示し, その能力を明らかにする。機能メモリに FRAM 以上の機能を与えた場合の能力を調べることは, 計算能力の向上の要因をより明確にする上でも重要であると考えられる。

本論文で提案するメモリ型並列計算モデル CAFRAM (Random Access Machine with Content Addressable Functional Memory) は, FRAM の機能メモリの能力を拡張したモデルである。メモリ型並列計算モデルは, 代表的な逐次型の計算モデルであるランダムアクセス機械 (RAM)<sup>11)</sup> に, 機能メモリを付加したものである。CAFRAM の機能メモリは, 各ワードがアドレスとデータ部からなり, 両者に対する部分一致検索機能をもつ。CAFRAM により多項式時間で受理できる集合のクラスは, FRAM の場合と同じく, NP 問題に対する神託 (オラクル) をもつ神託付きチ

ューリング機械 (OTM: Oracle Turing Machine) により多項式時間で受理できるクラス  $\Delta_1^P$  に等しいことを示す。 $\Delta_1^P$  は, NP 完全問題を1ステップで解くことができると仮定した場合に, 多項式時間で受理することのできる集合のクラスであり, NP や co-NP を包含する<sup>12)</sup>。記憶データに対する部分一致検索機能の付加が, 多項式時間計算において能力に影響を与えないという結果は, メモリ型並列計算の本質的な機能が, 複数のワードへの並列アクセスにあることを示している。

以下, 2章では実際に開発されている CAM の機能について述べる。3章では CAFRAM モデルを定義し, 4章では, CAFRAM の能力について考察する。4.1節で CAFRAM 上での論理式の充足可能性判定問題に対する線形時間アルゴリズムを示し, 4.2節で多項式時間限定 CAFRAM により受理できる集合のクラスについて述べる。5章では CAFRAM とマルチプロセッサモデルとの関係について述べる。

## 2. 連想メモリ

連想メモリ (CAM) は, 機能メモリの一種であり, 実際に開発が進められているものである。ランダムアクセスメモリでは, 記憶セルのアドレスを与えることにより記憶データにアクセスをおこなう。それに対して, CAM では, アドレスによるほかに, 記憶データの内容に基づいたデータアクセスが可能である。このようなアクセス方法は, すべての記憶データに対して並列に部分一致検索をおこなうことにより実現される。検索結果は各ワードごとに保存され, それに基づいてデータの読み出しや書き込みをおこなうことができる。

近年, CAM の高集積化, 高機能化の研究が進んでおり, 1988年には, 1チップで 20K ビット<sup>4)</sup>, 1991年には 288K ビット<sup>5)</sup>の CAMLSI の開発が報告されている。文献5)の CAMLSI のセルアレイは 8K ワード×36ビットで構成され, 8個まで直列に接続することが可能である。現在の CAMLSI の主要な機能は以下のようなものである<sup>4)</sup>。

### 検索

- 部分一致検索
- 関係検索

### 読み出し

- 検索結果を用いたデータ/アドレスの読み出し
- アドレスを用いたデータの読み出し

書き込み

- 一致ワードへのデータの並列/順次部分書き込み
- 不一致ワードへのデータの並列部分書き込み
- アドレスを用いたデータの書き込み

ガーベジコレクション

関係検索では、検索処理の結果を蓄積することが可能である。関係検索は、ワード並列ビット直列の検索処理を繰り返すことにより実現される。各ビットに対して処理をおこなうたびに、前回までの結果とのAND/ORをとる。この機能により、“less-than”/“greater-than”検索などの高度な処理が実現できる。

1ワードのサイズを越えるデータは、数個の連続したワードに記憶し、それを1個の大きなワードとして扱うことが可能である。これは、タグフィールドと、隣接ワード間の通信線により実現される。

以下の各節では、このような現実のCAMをモデル化して扱う。次節で定義するCAFRAMモデルの機能メモリは、CAMの基本的な機能とほぼ同等の機能を持ち、CAMをモデル化したものと考えられる。

3. 連想メモリによるメモリ型並列計算モデル

3.1 CAFRAMモデル

本論文で提案するメモリ型並列計算モデルCAFRAMは、通常のランダムアクセス機械に、アドレスおよび記憶データに対する部分一致検索機能をもつ機能メモリを付加したものである。

CAFRAMは、図1に示すように、RAMと、機能メモリ、検索結果レジスタから構成される。RAMは、一本の読み取り専用の入力テープ、無限個のレジスタ、プログラムカウンタ、有限のプログラムからなる。

機能メモリは無限個のワードからなる。各ワードは、図2に示すように、インデックス部とデータ部からなり、データ部には任意の数を記憶することができ

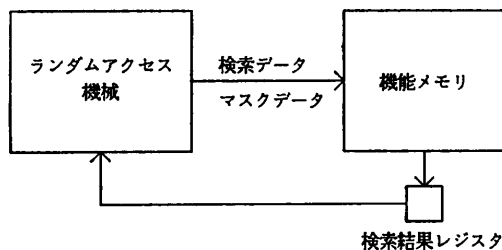


図1 FRAMの構成  
Fig. 1 The scheme of the FRAM.

る。インデックス部には、先頭のワードから順に、0, 1, 2, …の2進数が書き込まれており、書き換えはできない。インデックス部に書き込まれた数をアドレスと呼ぶ。データ部は検索結果により書き換えが可能である。検索データとマスクデータを与えることにより、全ワードのインデックス部とデータ部に対する部分一致検索をおこなうことができる。検索データおよびマスクデータは、インデックス部、データ部のそれぞれに対して与えられる。マスクデータが0の部分のみに、検索データとの一致検索がおこなわれる。検索結果に基づいて、データ部の内容を書き換えることができる。

検索結果レジスタは、1ビットのフラグで、検索命令の結果により0または1が自動的に記入される。

CAFRAMの命令セットは表1に示すとおりである。

SEARCH, WRITEBITの2種類を除いた命令は、通常のRAMの命令と同じものである。オペランドとしては、検索結果レジスタの指定も可能である。プ

… 0 0 1 1 0	… 0 0 0 0 1	検索データ
↓	↓	
… 0 0 0 1 1	… 0 1 1 0 0	マスクデータ
↓	↓	
… 0 0 0 0 0	… 0 1 0 0 1	
… 0 0 0 0 1	… 0 0 0 0 0	
… 0 0 0 1 0	… 0 0 0 1 1	
… 0 0 0 1 1	… 0 0 1 0 1	
… 0 0 1 0 0	… 0 1 0 0 1	
… 0 0 1 0 1	… 0 0 0 1 0	
… 0 0 1 1 0	… 0 0 1 0 1	
⋮	⋮	
インデックス部	データ部	

図2 機能メモリによる検索  
Fig. 2 Search by the functional memory.

表1 CAFRAMの命令セット  
Table 1 The instruction set of the CAFRAM.

LOAD
STORE
ADD
SUB
JUMP
JZERO
JGTZ
SEARCH
WRITEBIT
READ
ACCEPT
REJECT

プログラムはレジスタとは別の領域にあり、書き換えは認めない。

SEARCH, WRITEBIT の各命令が機能メモリを用いた検索命令である。検索データ、マスクデータは、オペランドに指定された RAM のレジスタの内容を 2 進数とみなした列がデータとなる。ただし、データの上位には 0 が補われるものとする。図 2 では、太線で囲まれたワードが一致している。SEARCH 命令は、インデックス部とデータ部に対して検索をおこない、その結果一致するワードが存在すれば 1、存在しなければ 0 が検索結果レジスタに自動的にセットされる。データ部の内容は変更しない。WRITEBIT 命令は、検索データ、マスクデータのほか、検索結果により内容を変更するビット位置（複数も可）と、1 個の論理演算を指定する。この論理演算は任意の 2 変数論理関数でよい。検索をおこない、すべてのワードのデータ部のうち指定したビットに、検索結果（一致したワードは 1、一致しないワードは 0）と現在データ部に記憶されている値との論理演算をおこなった結果を書き込む。

インデックス部の検索データ、マスクデータとして  $n$  桁の 2 進数を与えれば、下位から  $n$  ビット以外はすべて 0 になり、実質上アドレスが 0 から  $2^n - 1$  までの  $2^n$  個のワードに対して操作がおこなわれる。なお、初期状態において、データ部はすべて 0 であるとする。

このモデル上での時間計算量は、通常の RAM と同じく実行した命令の数で定義する。

### 3.2 CAFRAM の位置付け

われわれは以前に、実現性が高く、また高度な並列性を実現できると考えられるメモリ型並列計算モデルとして、FRAM を提案した<sup>1)</sup>。FRAM モデルは、指数個の場合分けに対する並列探索を可能にするために必要な、最小限の機能を機能メモリに与えたものである。FRAM の機能メモリは、各ワードが CAFRAM と同様のインデックス部と 1 ビットのデータ部からなる。FRAM の機能メモリも、並列の部分一致検索機能をもつが、検索はインデックス部に対してのみおこなわれる。機能メモリを用いた検索命令は、SEARCH 0, WRITE1 の 2 種類をもつ。SEARCH 0 命令は、検索の結果一致したワードの中に、データ部が 0 のものが存在するかどうかを調べる。この命令の結果は検索結果レジスタにセットされる。WRITE1 命令は、検索をおこない、その結果一致したすべてのワードのデータ部に 1 を書き込む。

CAFRAM は、FRAM の機能メモリを拡張し、より高度な機能を与えたものである。CAFRAM の機能メモリと FRAM の機能メモリとの大きな相違は以下の 2 点である。

- データビットの複数化と高度な書き込み機能
- データ部に対する部分一致検索

つまり CAFRAM は、FRAM のもつ記憶アドレスに対する操作に加えて、CAM の基本的な機能である記憶データに対する部分一致検索機能を取り入れたものである。FRAM においても部分一致検索がおこなわれているが、検索の対象がインデックス部に限られるため、書き込みをおこなうかどうかはアドレスのみによって決められる。

CAFRAM の機能メモリは、あらかじめアドレスを記憶していることを除けば、実際に製作されている CAM に類似している。WRITEBIT 命令による並列書き込みは、実際の CAM の書き込み機能とはやや異なり、高度なビット並列の論理演算機能を仮定し、また全ワードに書き込みがおこなわれる。しかし、WRITEBIT 命令は CAM により容易に模倣することが可能である。また、後で述べるように、CAM と同じ書き込み命令を用いても、その能力について同様に議論できる。したがって、CAFRAM は FMPP<sup>10)</sup> などの CAM を用いた並列計算機構をモデル化したものといえる。

CAFRAM の機能メモリとほぼ同等のものは、CAM の各ワードにあらかじめアドレスを与えることにより、既存の CAM を用いて容易に実現することが可能である。FRAM の機能メモリは、これと同様に実現することも可能であるが、通常のメモリのアドレスデコーダやメモリセルに若干の変更を加えることにより、より有効に実現可能であると考えられる<sup>13)</sup>。

## 4. CAFRAM の能力

### 4.1 論理式の充足可能性判定アルゴリズム

FRAM 上で多項式時間で受理できるクラスは  $4P$  に等しいことから、FRAM においても、SAT などの NP 完全問題をすべて多項式時間で解くことが可能である。しかし、FRAM の機能メモリ上での操作は、CNF-SAT を解くことに相当するため、これらの問題を CNF-SAT に帰着することが必要である。したがって、問題によっては、多くの計算時間が必要となるばかりか、機能メモリの多くのワード数が必要となる。3 章で述べた機能の拡張により、CAFRAM 上で

は多くの NP 完全問題をより効率的に解くことができる。本節では、CAFRAM 上での効率的なアルゴリズムの例として、論理式の充足可能性判定問題 (SAT) に対する線形時間アルゴリズムを示す。

【論理式の充足可能性判定アルゴリズム】

Step 1: 論理式を木構造に分解する。各ノードは 2 個以下の子ノードをもつようにする。リーフノードは 1 個の和項 (1 個のリテラルでもよい) に対応し、それ以外のノードには 1 個の論理演算が対応する。

Step 2: Step 1 で構成した木の後行順走査 (postorder traversal) をおこなう。リーフノードを訪れた時には、Step 2. a を実行する。それ以外のノードを訪れた時には、Step 2. b を実行する。

Step 2. a: (1) インデックス部に対して、和項に現れる変数に対応するビットのみが 0 (他は 1) であるようなマスクデータを作る。また、和項に正のリテラルが現れる変数に対応するビットが 0、負のリテラルに対応するビットが 1 であるような検索データを作る。

(2) (1) で作ったマスクデータと検索データにより各ワードに対して部分一致検索をおこない、ノードに対応するデータビットに対して、一致したワードには 1 を書き込む。

(3) (2) で操作をおこなったデータビットの値を、全ワードにわたって反転する。

Step 2. b: ノードの示す論理演算を、子ノードに対応するデータビットに対しておこない、その結果を使用されていないデータビットに書き込む。

Step 3: ルートノードに対応するデータビットが 1 となるワードを検索する。検索結果レジスタの値が 1 になれば、与えられた論理式は充足可能である。

このアルゴリズムでは、FRAM 上での CNF-SAT に対するアルゴリズム<sup>1)</sup>と同様に、アドレスの 1 ビットを 1 個の変数に対応させ、その値を変数への真偽値の割り当てとみなす。 $k$  変数の論理式の場合、検索データ、マスクデータの低位から  $k$  ビット以外は常に 0 とし、実質上アドレスが 0 から  $2^k - 1$  までのワードを使用する。

Step 2. a では、真偽値の割り当てが和項を充足する

ワードのデータビットを 1 とする。(1) で与えるデータは、例えば 5 変数の論理式において  $(x_5 + \bar{x}_2 + x_1)$  という和項に対しては、検索データは 0--10、マスクデータは 01100 となる (0 は 0 でも 1 でもよい)。(2) の検索で一致したワードは、アドレスの表す真偽値割り当てが和項を充足しないワードである。Step 2. b での論理演算は、たとえば AND 演算の場合、子ノードに対応するデータビットがともに 1 であるワードを検索して (他のビットはマスクする)、その結果一致したワードに並列に 1 を書き込むことにより実行可能である。同様にして任意の論理演算を定数時間で計算できる。

このアルゴリズムの計算時間を評価する。Step 1 の計算時間は  $O(n)$  である。Step 2. a では、一回の実行につき (1) で検索データとマスクデータを作るのに  $O(k)$ 、(2) および (3) は  $O(1)$  の時間が必要である。しかし、(1) では、インデックス部の実際に用いられる  $k$  ビットのうち 1 箇所だけを 1 とした数、すなわち  $1, 2, 4, \dots, 2^{k-1}$  をあらかじめ用意しておくことにより、それ以降は和項に出現するリテラル数に比例する時間で計算できる。Step 2. a は、論理式中の各和項について 1 回ずつ実行されるため、Step 2. a に費やされる時間の合計は  $O(n)$  となる。Step 2. b は、1 回の実行に計算時間  $O(1)$ 、実行回数は  $O(n)$  である。Step 3 は 1 回の検索命令で実行できる。以上より、このアルゴリズムは線形時間で実行可能である。

連想メモリを用いることにより、NP 完全などの計算量の大きい問題だけでなく、逐次計算で多項式時間で解ける問題についても、より高速なアルゴリズムが得られることがある。CAFRAM とほぼ同様の機能メモリを仮定した上で、故障シミュレーション<sup>14)</sup>や、グラフの到達可能性判定問題<sup>3)</sup>などの実際的な問題に対するアルゴリズムが考えられている。

#### 4.2 多項式時間限定 CAFRAM の能力

本章では、CAFRAM 上で多項式時間で受理できるクラスについて述べる。

機能メモリのデータ部は無限のビット数をもつが、多項式時間限定計算をおこなった場合、各ワードに対して入力サイズの多項式個のデータビットしか用いることができない。これにより、以下の定理が示される。

定理 多項式時間限定 CAFRAM により受理できる集合のクラスは  $4\#$  に等しい。

証明 まず、CAFRAM 上で多項式時間で受理できるクラスが  $4\#$  を包含することを示す。

NP 問題に対する神託をもつ OTM の各動作を, CAFRAM により多項式時間で模倣すればよい. この模倣は以下のようにおこなわれる<sup>1)</sup>.

CAFRAM の最初の 4 個のレジスタには, OTM の状態, 通常のテープヘッドの位置, 神託テープのヘッドの位置, OTM のテープの模倣に使っているレジスタの番号の最大値を記録しておく. OTM の 2 本のテープを折り畳み, 1 個のレジスタに 4 個のマスの内容を記憶させる.

OTM が query state に入った場合以外は, RAM によるチューリング機械の模倣と同様の方法を用いる<sup>16)</sup>. OTM が query state に入ると, CAFRAM は神託テープの内容を取り出し, その内容を SAT に帰着させる. 神託テープに記入される系列の長さは多項式で抑えられ, また, 神託は NP の問題に属するものであるから, 機能メモリを用いることなく SAT に多項式時間で変換することが可能である. SAT に帰着された後は, 前節のアルゴリズムにより多項式時間で解くことができる. 以上より, OTM の各動作は CAFRAM により多項式時間で模倣できる.

次に,  $\mathcal{A}_2^P$  が CAFRAM 上で多項式時間で受理できるクラスを包含することを示す.

機能メモリのアドレスを入力とし, アドレスを与えることにより, 一連の検索命令を実行した後のデータ部の全ビットの値を計算する回路の記述を構成する. WRITEBIT 命令が実行されるたびに, それまでに構成された回路に, WRITEBIT 命令で指定されたビットの内容を変更する回路を付け加える. この回路はアドレスおよびデータ部の値から一致の有無を調べ, 書き換えるデータビットの値との論理演算をおこなう. 実際に使用されるアドレス, データのビット数, WRITEBIT 命令の回数とともに多項式で抑えられることから, このようにして構成された回路は多項式サイズの回路となる. したがって, アドレスを与えれば, 多項式時間でデータ部の各ビットの値を計算することができる.

SEARCH 命令が実行されると, 実際に検索対象となった指数個のアドレスに対して非決定的に, 指定されたデータビットの値を調べる. これにより, 検索の結果一致するワードが存在するかどうかを, 非決定性多項式時間で知ることができる. 以上より, CAFRAM 上で多項式時間で受理できるクラスが  $\mathcal{A}_2^P$  に等しいことが示された. □

並列書き込み機能として, WRITEBIT 命令と異な

るものを用いても上記の証明は成立する. 例えば, 実際の CAM と同様に, 検索の結果一致したワードのみに対して, 指定した値をデータ部の一部に書き込む命令を考える. このとき, データ部の値を計算する回路が, 一致の有無により, 書き込むデータと検索前のデータの一方を選択するものになる. この回路も多項式サイズでの記述が可能である. また, 証明の他の部分はそのまま適用できる.

この定理より, CAFRAM 上で多項式時間で受理できるクラスが FRAM の場合と同じであることが示された. 機能メモリにより高度な機能を想定しても能力に影響しないことは, 理論的に FRAM がメモリ型並列計算の基本的モデルであり, 機能メモリによる計算の高速化の要因が, 複数のワードへの並列書き込みにあることを示している.

## 5. マルチプロセッサモデルとの関係

メモリ型並列計算では, 機能メモリの各ワードが 1 個の演算要素にあたる. CAFRAM の機能メモリは FRAM とは異なり, 各ワードのデータ部が複数のビットをもつため, その上で種々の演算を並列におこなうことが可能である. そのため, マルチプロセッサによる SIMD 型の並列計算モデルとの対応を考えることができる.

機能メモリ上の演算として, 例えば, 加算および最大値 (最小値) の検出が CAM 上で並列に実行できる<sup>10)</sup>. 加算は, 下位のビットから順に 1 ビットずつの加算を繰り返すことにより実現され, 最大値 (最小値) の検出は, 上位のビットから順に 1 ビットずつ比較操作をおこない, その時点で最大値 (最小値) の候補となりうるワードにフラグを立てることにより実現される. これらの計算では, 計算時間はデータの長さのみに依存するという特徴がある.

一般に, ランダムアクセス機械などの上で考えられる演算命令は, ビット単位の論理演算に分解することにより, すべて CAFRAM によってワード並列に実行することが可能である. さらに, データ部をいくつもの領域に分割し, それぞれをひとつのレジスタのように取り扱うことも可能である. 加算の場合, 各ワードの決められた領域に同じ数を加えるだけでなく, 領域間の加算もワード並列に実行することができる. したがって, 各ワードのデータ部を無限のレジスタ集合とみなすことができる. したがって, CAFRAM の機能メモリは, 演算機能に関してはランダムアクセス機

械とほぼ同等の機能をもつといえる。CAFRAMの機能メモリの各ワードはコントロールプロセッサであるRAMから命令を受ける演算プロセッサであり、アドレスがそのプロセッサ番号に相当する。

多項式時間で受理できるクラスがPSPACEとなる多くの並列計算モデルでは、演算要素間の通信を並列に実行することが可能である。それに対しCAFRAMでは、他のワードの内容を知るには一度RAMに読み出すことが必要であり、同時に複数の通信をおこなうことはできない。このような演算要素間の通信に対する制約がメモリ型並列計算の能力を特徴づけていると考えられる。

## 6. む す び

本論文では、CAMのもつ記憶データに対する並列部分一致検索機能を備えた機能メモリを用いた、メモリ型並列計算モデルCAFRAMを提案し、さらにCAFRAMにより多項式時間で受理できるクラスが $d_2^2$ に等しいことを示した。

各ワードにあらかじめアドレスを与えることは、指数個のワードにデータを与える時間を考慮しないことに相当するため、この結果はある意味でCAMを用いた並列処理機構の計算能力を示したといえる。すでに288KビットのCAMLSIが開発されるなど、CAMの高集積化が急速に進んでいることから、CAFRAMは他の多くの並列計算モデルと比べて実現性が高く、またより高度の並列性を得られる可能性がある。今後は、機能メモリを用いた種々の並列アルゴリズムを具体的に示すことも重要であると思われる。

## 参 考 文 献

- 1) 高木直史, 武永康彦, 矢島脩三: メモリ型並列計算モデルとその計算能力, 情報処理学会論文誌, Vol. 31, No. 11, pp. 1565-1571 (1990).
- 2) 武永康彦, 高木直史, 矢島脩三: 連想メモリによるメモリ型並列計算モデルとその能力, 電子情報通信学会技術研究報告, COMP 89-118 (1990).
- 3) 高木一義, 武永康彦, 矢島脩三: 到達可能性及び充足可能性判定問題に対するメモリ型並列アルゴリズム, 情報処理学会研究報告, AL 21-3 (1991).
- 4) Ogura, T., Yamada, J., Yamada, S. and Tan-no, M.: A 20-kbit Associative Memory LSI for Artificial Intelligence Machines, *IEEE J. Solid-State Circuits*, Vol. 24, No. 4, pp. 1014-1020 (1989).
- 5) 濱本武史, 山形整人, 三原雅章, 小林稔史, 山田道裕: スタックトキャパシタセル構造を用いた288 kbit 完全並列型 CAM, 1991年電子情報通信学会春季全国大会, C-649, 第5分冊, p. 240 (1991).
- 6) Chisvin, L. and Duckworth, R. J.: Content-addressable and Associative Memory: Alternatives to the Ubiquitous RAM, *IEEE Comput.*, Vol. 22, pp. 51-64 (1989).
- 7) Nagamura, J., Ogura, T., Yamada, S. and Kimura, T.: High-Speed CAM Based Architecture for a Prolog Machine (ASCA), *IEEE Trans. Comput.*, Vol. 37, No. 11, pp. 1375-1383 (1988).
- 8) Higuchi, T., Furuya, T., Kusumoto, H., Handa, K. and Kokubu, A.: The Prototype of a Semantic Network Machine IXM, *Proc. of the Int. Conf. on Parallel Processing*, Vol. 1, pp. 217-224 (1989).
- 9) 大久保雅且, 安浦寛人, 高木直史, 矢島脩三: 連想メモリを利用したハードウェア向き単一化アルゴリズム, 情報処理学会論文誌, Vol. 28, No. 9, pp. 915-922 (1987).
- 10) 安浦寛人, 辻本泰造, 田丸啓吉: 組合せ問題に対する機能メモリ形並列プロセッサアーキテクチャ, 電子情報通信学会論文誌, Vol. J 72-A, No. 2, pp. 222-230 (1989).
- 11) Aho, A. V., Hopcroft, J. E. and Ullman, J. D.: *The Design and Analysis of Computer Algorithms*, Addison-Wesley, R. M. (1974) (野崎昭弘, 野下浩平 (共訳): アルゴリズムの設計と解析 I, サイエンス社).
- 12) Stockmeyer, L. J.: The Polynomial Time Hierarchy, *Theor. Comput. Sci.*, Vol. 3, pp. 1-22 (1977).
- 13) Takagi, N., Takenaga, Y. and Yajima, S.: On a New Supercomputer with a Memory-Based Parallel Computation, 情報処理学会研究報告, ARC 80-13, pp. 97-103 (1990).
- 14) 石浦菜岐佐, 矢島脩三: 連想記憶を用いた線形時間故障シミュレーション, 第4回回路とシステム軽井沢ワークショップ, pp. 63-68 (1991).
- 15) Cook, S. A. and Reckhow, R. A.: Time Bounded Random Access Machines, *J. Comput. Syst. Sci.*, Vol. 7, No. 4, pp. 354-375 (1973).

(平成3年8月28日受付)

(平成4年1月17日採録)



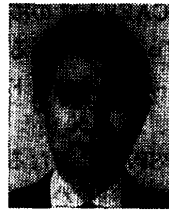
武永 康彦 (正会員)

昭和 41 年生。平成元年京都大学工学部情報工学科卒業。平成 3 年同大学院修士課程修了。平成 3 年 4 月より京都大学工学部助手。並列計算、計算量理論の研究に従事。電子情報通信学会会員。



高木 直史 (正会員)

昭和 34 年生。昭和 56 年京都大学工学部情報工学科卒業。昭和 58 年同大学院修士課程修了。昭和 59 年 4 月より京都大学工学部助手。現在、同助教授。工学博士。VLSI 向きハードウェアアルゴリズム、算術演算回路、論理設計用 CAD/DA 等の研究に従事。IEEE、電子情報通信学会各会員。



矢島 脩三 (正会員)

昭和 8 年生。昭和 31 年京都大学工学部電気工学科卒業。同大学院博士課程修了。工学博士。昭和 36 年より京都大学工学部に勤務。昭和 46 年情報工学科教授。昭和 35 年京都大学第一号計算機 KDC-1 を設計稼働。以来、計算機、論理設計、オートマトン等の研究教育に従事。著書は「電子計算機の機能と構造」(岩波, 57 年) 等。本学会元常務理事, 元会誌編集委員 (地方), 元 JIP 編集委員, 電子情報通信学会元評議員およびオートマトンと言語研専元委員長, North-Holland 出版元 IPL 編集委員, IEEE Senior Member.