

プロセスコーナーモデルとBTIばらつきを考慮した タイミング解析手法

藪内 美智太郎¹ 小林 和淑¹

概要: 微細プロセスの大規模集積回路の設計においては初期特性ばらつきに加えてBTIばらつきを考慮しなければならない。これらの分布をシミュレーションするためには膨大な計算が必要となってしまうため、計算を高速化した解析手法が求められている。本稿では初期特性ばらつきとBTIばらつきの分布を加算することで、長期劣化予測の統計的解析結果を得る手法を提案する。提案手法によって45 nmバルクプロセスインバータの遅延ばらつきを解析したところ、 10^8 sの使用期間で遅延が20%以上増加することが分かった。

Timing Analysis Considering Process Corner Model and BTI Variability

YABUCHI MICHITAROU¹ KOBAYASHI KAZUTOSHI¹

Abstract: Both process variations and BTI variabilities are should be considered by the LSI designers. However, a huge amount of time is needed to simulate those variations. Therefore, the fast simulation methodology is required. In this study, we propose the methodology of the statistical timing analysis considering those variations. The delay degradation of a 45 nm bulk process inverter is 20% for a 10^8 s period of use.

1. 序論

近年、微細プロセスの半導体集積回路におけるBTI (Bias Temperature Instability) ばらつきが報告されており、特にSRAMなどの大規模高集積回路における信頼性を脅かすとされている [1], [2], [3]。BTIは時間の経過とともにMOSFETのしきい値電圧 V_{th} が増加する現象であり、回路寿命を決定する主要因として知られている [4], [5]。BTI発生原因はプロセス時に生成されるゲート酸化膜欠陥によるキャリアの捕獲、放出である。これはRTN (Random Telegraph Noise) と同様の現象であるが、BTIはRTNより長期間に渡って V_{th} が変動し続ける。欠陥はゲート電圧やデバイス温度が高くなるほどキャリアを捕獲しやすくなり、放出しにくくなる傾向にあるため、BTIによる V_{th} の変動量 ΔV_{th} が大きくなる [6], [7]。微細プロセスになるほ

どキャリアのランダムな挙動がMOSFETの動作に与える影響が大きくなるため、BTIによる ΔV_{th} のばらつきは深刻化する。回路設計においては従来の初期特性ばらつきに加えてBTIばらつきを考慮しなければならないため、これまでよりも設計制約が厳しくなってしまうことが予想される。このことについて回路設計の最適化が要求されており、BTIばらつきが回路動作に及ぼす影響を解析する手法が重要となっている。

BTIばらつき解析手法の関連研究を以下に示す。文献 [8] ではトランジスタ毎に初期特性ばらつきとBTIばらつきを足し合わせてモンテカルロ解析する手法を提案している。BTIばらつきは特にSRAMなどの大規模高集積回路において歩留まりを悪化させるが、この手法をSRAMの各トランジスタに適用すると計算量が膨大になるという問題が考えられる。文献 [9] ではBTIばらつきを考慮したSRAMにおけるSNM (Static Noise Margin) 解析において、 ΔV_{th} の分布に従うサンプルセットを利用することで計算量を削

¹ 京都工芸繊維大学
KIT, Kyoto, Kyoto 606-8585, Japan

減する手法を提案している．文献 [10] では BTI ばらつきを解析するために，周波数とデューティ比に近い信号をグループ化して計算量を削減するフォーマットを提案している．ただし，このフォーマットは SPICE シミュレーションを併用する必要がある．このように BTI ばらつき解析においては計算量を削減し高速化する手法が求められており，盛んに研究されている．

回路の遅延ばらつきの原因は上記のような BTI ばらつき以外に，初期特性ばらつきがある．初期特性ばらつきは回路の製造時における諸条件の不安定性によって引き起こされるが，特に支配的な要因は RDF (Random Dopant Fluctuation) であるとされる [11]．初期特性ばらつきによるしきい値電圧の分布は正規分布に従うとされる．

本稿では大規模ロジック回路における初期特性ばらつきと BTI ばらつきの分布を考慮した統計的タイミング解析手法を提案する．本手法ではこれらのばらつきの分布の和をとることで，高速に遅延時間の分布を解析できるようにした．提案手法による回路遅延の解析結果を利用することで，微細プロセスにおける大規模ロジック回路設計の高信頼化が実現される．

本稿の構成を次に述べる．第 2 節で BTI しきい値電圧変動量の計算手法を示し，BTI ばらつき分布と初期特性ばらつき分布を考慮した提案解析手法について説明する．第 3 節では提案した BTI ばらつき分布の近似についてのシミュレーション結果と回路遅延ばらつきの解析結果を示す．最後に第 4 節で結論を述べる．

2. 初期特性ばらつきと BTI ばらつきを考慮した統計的解析手法

本節では BTI ばらつきと初期特性ばらつきの解析手法について述べ，それらを組み合わせた統計的解析手法を提案する．

2.1 AT-B Model による BTI しきい値電圧変動量分布の解析手法

BTI しきい値電圧変動量は Atomistic Trap-Based Model (AT-B Model) によって求められる [12]．図 1 に示すように製造時にゲート酸化膜に発生する欠陥がキャリアを捕獲，放出することでチャネルを流れるキャリアの量が変化し，しきい値電圧が変動する．AT-B Model ではゲート酸化膜欠陥の特性及び状態によってしきい値電圧の変動量が計算される．欠陥数 n 個の MOSFET の時間 t におけるしきい値電圧変動量 ΔV_{th} は式 (1) によって求められる．

$$\Delta V_{th}(t) = \sum_{j=1}^n k_j(t) \cdot \mu_j \quad (1)$$

ここで欠陥状態 k は捕獲状態 1，放出状態 0 で，捕獲確率によって決定される．捕獲確率の計算には表 1 に示す変数

を用いる．以下に各変数の説明を述べる．

酸化膜欠陥数 n はポアソン分布に従うが，その期待値 N_t は式 (2) で表される．

$$N_t = LWD \quad (2)$$

ここで D は酸化膜欠陥密度である．文献 [13], [14] では HfSiO₂ pFET の酸化膜欠陥数 N について，ゲート面積が $L \times W = 280 \times 720 \text{ nm}^2$ の場合には $N_t = 800$ ， $L \times W = 35 \times 90 \text{ nm}^2$ の場合には $N_t = 12$ と報告されている．本稿ではこれを参考に $D = 4 \times 10^{-3} \text{ nm}^{-2}$ とした．

しきい値電圧ステップ μ は指数分布に従うが，その期待値 η と $1/LW$ は式 (3) の比例関係となる．

$$\eta = \frac{s}{LW} \quad (3)$$

ここで s は係数であり，本稿では文献 [15] の TCAD による解析結果を参考に $s = 9 \times 10^3 \text{ mV} \cdot \text{nm}^2$ とした．

ゲート電圧が High の時の τ_e, τ_c をそれぞれ τ_{eh}, τ_{ch} ，ゲート電圧が Low の時の τ_e, τ_c をそれぞれ τ_{el}, τ_{cl} としている．本稿では各時定数について τ_{el} は 10^{-9} s から 10^9 s に対数等分布， $\tau_{ch}, \tau_{eh}, \tau_{cl}$ は τ_{el} と相関を持つと仮定した [16], [17], [18]．

長期間の BTI 劣化における酸化膜欠陥の状態は式 (4) の捕獲確率 P_C によって決定される [19]．

$$P_C(t) = \frac{\tau_e^*}{\tau_c^* + \tau_e^*} \left[1 - \exp \left\{ - \left(\frac{1}{\tau_e^*} + \frac{1}{\tau_c^*} \right) t \right\} \right] \quad (4)$$

$$\frac{1}{\tau_c^*} = \frac{DF}{\tau_{ch}} + \frac{1-DF}{\tau_{cl}} \quad (5)$$

$$\frac{1}{\tau_e^*} = \frac{DF}{\tau_{eh}} + \frac{1-DF}{\tau_{el}} \quad (6)$$

ここで DF, τ_e^*, τ_c^* はそれぞれデューティファクタ，実効放出時間，実効捕獲時間である．ゲート入力信号の周波数 f ，1 周期中の信号が High の時間を t_H とした時 $DF = f \times t_H$ となり，ゲート電圧が DC の場合には $DF = 1$ である．式 (4) は近似式であるが，時定数が $1/f$ より十分大きいときにはよい近似となる．

AT-B Model による BTI しきい値電圧変動量の計算結果の分布 (CDF) を図 2 に示す．計算条件は $L = 45 \text{ nm}$ ， $W = 1000 \text{ nm}$ ， $t = 10^8 \text{ s}$ ， $DF = 0.1$ から 0.1 刻みで $DF = 1.0$ まで，計算回数は各時間ごとに 10000 回である．トランジスタサイズは PTM 標準とした [20]．横軸はしきい値電圧変動量，縦軸は確率となっている．本稿では BTI ばらつきの分布として 10^8 s の場合を想定して以降の議論をすすめる．

2.2 BTI ばらつきと初期特性ばらつきを考慮したタイミング解析手法

提案する BTI ばらつきを考慮したタイミング解析手法

表 1 BTI しきい値電圧変動量モデルの変数.

変数	定義	説明
L	デバイスパラメータ	チャンネル長 [nm]
W	デバイスパラメータ	チャンネル幅 [nm]
DF	$f \times t_h$	デューティ比
t	時間	ストレス時間 [s]
N_t	LWD	酸化膜欠陥数の期待値
D	4×10^{-3}	酸化膜欠陥密度 [nm^{-2}] [13], [14]
n	N_t のポアソン分布	酸化膜欠陥数
η	s/LW	しきい値電圧ステップの期待値 [mV]
s	9×10^3	しきい値電圧ステップ係数 [$\text{mV} \cdot \text{nm}^2$] [15]
μ	η の指数分布	しきい値電圧ステップ [mV]
τ_{el}	10^{-9} - 10^9 の対数等分布	ゲート電圧 low 時の放出時定数 [s] [16], [17]
τ_{cl}	τ_{el} の定数倍	ゲート電圧 low 時の捕獲時定数 [s] [18]
τ_{eh}	τ_{el} の定数倍	ゲート電圧 high 時の放出時定数 [s] [18]
τ_{ch}	τ_{el} の定数倍	ゲート電圧 high 時の捕獲時定数 [s] [18]
P_C	t と DF と時定数の関数	捕獲確率 [19]

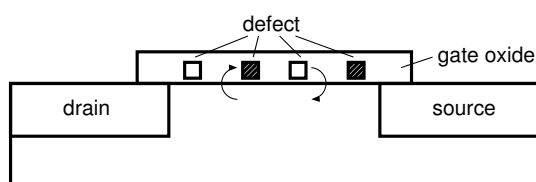


図 1 BTI の物理的な発生原因である酸化膜欠陥によるキャリアの捕獲と放出 .

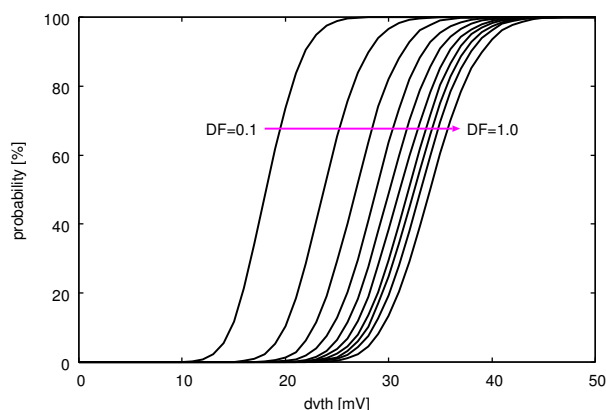


図 2 BTI しきい値電圧変動量の DF 特性, $L = 45 \text{ nm}$, $W = 1000 \text{ nm}$, $t = 10^8 \text{ s}$ の条件における分布 (CDF), 計算回数は 10000 回 .

においては, BTI ばらつきと初期特性ばらつきの分布を加算した分布によってタイミング検証をおこなう .

バルクプロセスにおいては初期特性ばらつきの原因として RDF (Random Dopant Fluctuation) が支配的であり, 初期しきい値電圧の分布は正規分布に従うことが知られている [11]. 従来のタイミング検証において遅延ばらつきを考慮する手法として SSTA (統計的静的タイミング解析: Statistical Static Timing Analysis) が挙げられる [21]. SSTA では回路をセル (ゲートや FF) に分割して遅延ばらつき分布を統計的に算出し, パス遅延がタイミング制約を

違反しないか検証する. SSTA では設定した確率でのタイミングエラーを知ることが可能で, 悲観性の低いタイミング検証をおこなえるという利点がある. ただし, 従来手法では遅延ばらつき分布に BTI ばらつきは考慮されていない .

提案手法においては SSTA のように回路をセルに分割して, セルの遅延時間の統計的分布を元に回路の遅延ばらつき分布を算出する. ここでセルの遅延時間の統計的分布とは BTI ばらつきと初期特性ばらつきの分布の和とすることで, BTI ばらつきを考慮したタイミング検証が可能となる. BTI ばらつきは式 (7) に示すポアソン分布と指数分布の畳み込み積分に従うことが知られている [9].

$$H_{\eta, N_T}(\Delta V_{th}) = \sum_{n=0}^{\infty} \frac{e^{-N_T} N_T^n}{n!} \left[1 - \frac{n}{n!} \Gamma(n, \Delta V_{TH}/\eta) \right] \quad (7)$$

初期特性ばらつきは正規分布に従うが, 式 (7) と加算した分布により大規模ロジック回路のタイミング検証をおこなうことは計算量の観点から困難である. 互いに独立な正規分布 $N_1(\mu_1, \sigma_1^2)$ と $N_2(\mu_2, \sigma_2^2)$ の和は正規分布 $N_{1+2}(\mu_1 + \mu_2, \sigma_1^2 + \sigma_2^2)$ となる. ここで μ は平均, σ は標準偏差である. もし BTI ばらつきの分布を正規分布で近似できれば, 簡単に遅延時間の統計的分布を得られることになる. ポアソン分布 $P(\lambda)$ は λ が十分に大きいとき連続な分布に修正するならば正規分布で近似できることが知られており, 式 (7) の BTI ばらつき分布についても正規分布で近似できることが示唆される .

図 2 に示した BTI ばらつき分布の計算結果の母分布が正規分布に従うか χ^2 検定で確認する. 検定には表 2 に示す変数を用い, 手順は下記の通りである .

- (1) スタージェスの公式より階級数 k とする
- (2) データから母平均と母分散の推定値 \bar{X}, V を求める
- (3) 各階級の標準得点 Z_i を求める

表 2 χ^2 検定の変数定義 .

変数定義	式
データ数	n
階級数	$k = \lceil \log_2 n + 1 \rceil$
各階級の中心点	X_i
各階級の観測度数	f_i
母平均の推定値	$\bar{X} = \sum_{i=1}^k f_i X_i / n$
母分散の推定値	$V = (n \sum_{i=1}^k f_i X_i^2 - (\sum_{i=1}^k f_i X_i)^2) / n^2$
第 i 階級と 第 $i+1$ 階級の限点	X'_i
各階級の標準得点	$Z_i = (X'_i - \bar{X}) / \sqrt{V}$
各階級の確率	p_i
各階級の理論度数	$E_i = n p_i$
併合後の階級数	m
検定統計量	$\chi_0^2 = \sum_{i=1}^m (f_i - E_i)^2 / E_i$
自由度	$\phi = m - 3$
有意確率	$P = \Pr\{\chi^2 \geq \chi_0^2, \phi\}$
有意水準	α

- (4) Z_i を各階級の確率 p_i に変換する
- (5) 各階級の理論度数 E_i を求める
- (6) $E_i \leq 1$ となる階級を併合する
- (7) 検定統計量 χ_0^2 を求める
- (8) 自由度 ϕ の χ^2 分布により有意確率 P を求める
- (9) 有意水準 α で帰無仮説の採否を決定する

ここで有意水準 $\alpha = 0.05$, 帰無仮説 H_0 「母分布は正規分布である」, 対立仮説 H_1 「母分布は正規分布ではない」とした . ただし, 計算量を削減するため検定に用いたデータは元のデータから無作為に 1000 個選んだデータである . 検定結果を表 3 に示す . 有意確率 P は 0.10 ~ 0.98 となっており, いずれも H_0 を採択していることが分かる . ここで有意確率 P の値のばらつきは元のデータのばらつきに起因すると考えられる . この結果から BTI ばらつき分布は正規分布で近似することができるといえる .

タイミング検証における従来手法と提案手法による遅延解析の比較を図 3 に示す . 図中 N_p は初期特性ばらつき分布, N_b は BTI ばらつき分布を示している . 従来手法では BTI ばらつきを考慮していないため, セルの遅延ばらつき分布 N_d は N_p より求める . 提案手法では BTI ばらつきを考慮するので, セルの遅延ばらつき分布 N'_d は $N_p + N_b$ より求める . 本提案手法によって BTI ばらつきの影響が大きくなる微細プロセスにおける統計的な解析が可能となる .

3. BTI ばらつきを考慮した遅延ばらつき分布の解析結果

本節では第 2 節で提案した統計的解析手法によるしきい値電圧ばらつき分布を用いた遅延ばらつき分布の解析結果を示し, その結果を考察する .

表 3 BTI ばらつき分布の正規分布適合度 χ^2 検定結果, P は有意確率 (> 0.05 で帰無仮説を採択) .

DF	P	採否	DF	P	採否
0.1	0.12	採択	0.6	0.65	採択
0.2	0.18		0.7	0.85	
0.3	0.98		0.8	0.26	
0.4	0.10		0.9	0.37	
0.5	0.18		1.0	0.48	

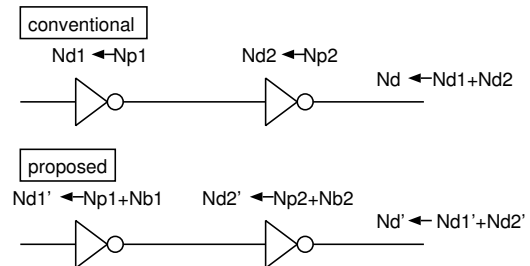


図 3 従来の SSTA と提案解析手法の比較, N_d は遅延ばらつき分布, N_p は初期特性ばらつき分布, N_b は BTI ばらつき分布 .

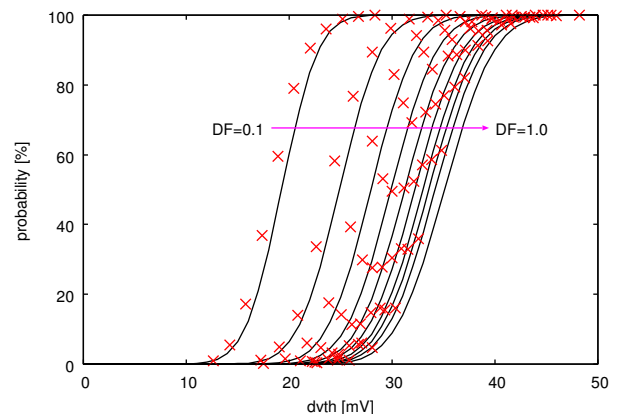


図 4 $DF = 0.1$ から $DF = 1.0$ における BTI しきい値電圧変動量の計算結果と正規分布近似曲線の比較 .

3.1 BTI ばらつき分布の解析結果

第 2 節で示したとおり BTI ばらつき分布が正規分布に従うことを, 実際に BTI しきい値電圧変動量の計算結果のデータと正規分布近似曲線を比較することで確認する . BTI しきい値電圧変動量の計算条件は $L = 45$ nm, $W = 1000$ nm, $t = 10^8$ s である . $DF = 0.1$ から 0.1 刻みで $DF = 1.0$ まで, それぞれの DF で 1000 回ずつ計算した結果をデータとして用いる .

図 4 に $DF = 0.1$ から $DF = 1.0$ におけるデータ (× 点) と正規分布近似曲線を示す . ここで正規分布近似曲線と μ と σ はそれぞれ表 4 のとおりデータから母分布を推定して求めた . いずれもデータと正規分布近似曲線はよく一致しており, この結果からも BTI ばらつき分布が正規分布でよく近似できることが分かる .

表 4 $DF = 0.1$ から $DF = 1.0$ における BTI しきい値電圧変動量の計算結果から推定した母分布の平均 μ と標準偏差 σ .

DF	μ [mV]	σ [mV]
0.1	19.26	2.81
0.2	24.88	3.20
0.3	27.95	3.37
0.4	29.90	3.49
0.5	31.22	3.60
0.6	32.21	3.65
0.7	33.00	3.65
0.8	33.57	3.68
0.9	34.19	3.72
1.0	35.10	3.78

3.2 提案手法による遅延ばらつき分布の解析結果

初期特性ばらつきと BTI ばらつきを考慮したしきい値電圧分布を用いて、45 nm パルクプロセス CMOS インバータの遅延ばらつき分布を回路シミュレータ (hspice) によって解析する。シミュレーション回路を図 5 に示す。トランジスタサイズは $L_N = L_P = 45$ nm, $W_N = 1000$ nm, $W_P = 2000$ nm であり、 $DF = 0$ から 0.1 刻みで 1.0 まで解析した。初期特性ばらつき分布 N_p は NMOS, PMOS ともに $\mu_p = 0$ V, $\sigma_p = 0.01$ V の正規分布に従うとした [20]。BTI ばらつき分布 N_b は第 2 節に示したような 10^8 s の μ_b , σ_b の正規分布に従うとした。しきい値電圧分布 N_v はこれらの分布を加算した式 (8) に従うとして、 $\pm 3\sigma$ の値を BSIM4 の delvto コマンドによって各トランジスタ毎に設定した [22]。

$$N_v(\mu_v, \sigma_v) = N_{p+b}(\mu_p + \mu_b, \sqrt{\sigma_p^2 + \sigma_b^2}) \quad (8)$$

遅延時間は、0.5 V ($1/2V_{dd}$) をトリガとして、入力が立ち下がってから出力が立ち上がるまでの時間 t_{dr} を求める。BTI 劣化がなく初期ばらつき $\mu \pm 0\sigma$ のとき、 $t_{dr} = 9.67$ ps であった。

解析結果を図 6 に示す。縦軸は t_{dr} の増加量、横軸は DF である。 $DF = 0$, $+3\sigma$ の条件では t_{dr} が 20% 以上増加することが明らかになった。ここで $DF = 0$ の場合には PMOS にゲート電圧が印加されているため、PMOS が BTI 劣化する。PMOS のしきい値電圧が増加すると、インバータの t_{dr} も増加することが予想される [23]。一方 $DF = 1.0$ の場合には PMOS は劣化しないため、 t_{dr} はほとんど増加しないはずである。このように図 6 の解析結果は予想される回路特性と一致している結果であるといえる。

4. 結論

本稿では初期特性ばらつきと BTI ばらつきを考慮した遅延ばらつき解析手法を提案した。BTI ばらつき分布はポアソン分布に従う酸化膜欠陥数と指数分布に従うしきい値電圧ステップによって決定されているが、提案手法では正

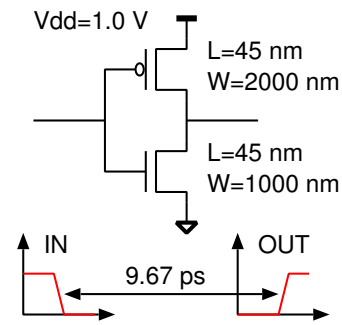


図 5 シミュレーション回路、45 nm パルクプロセス CMOS インバータ。

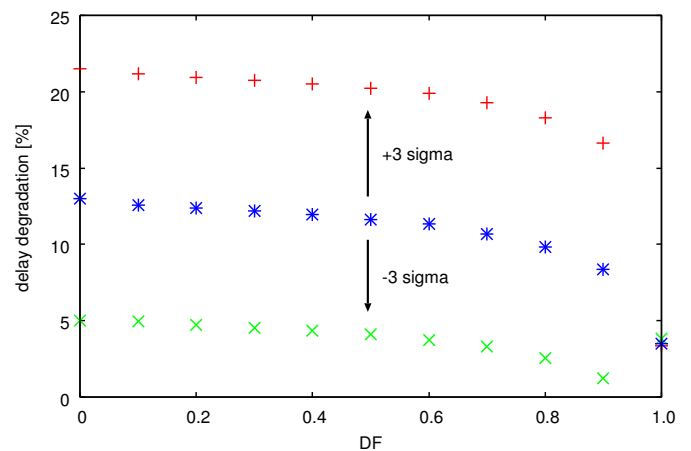


図 6 45 nm パルクプロセス CMOS インバータの時間 10^8 s における遅延ばらつき分布。

規分布に近似することで解析時間を削減する。45 nm プロセスバルクモデルにおける BTI ばらつき分布の計算結果は χ^2 検定において有意確率 0.10 ~ 0.98 を示し、有意水準 0.05 で正規分布に従うことを確認した。提案手法によって 45 nm パルクプロセスインバータの使用期間 10^8 s における遅延増加を解析したところ、最悪条件では遅延は 20% 以上も増加することが明らかになった。提案手法により、微細プロセス大規模回路の設計者が短い設計期間で高信頼性を実現可能となる見通しがたつ。

今後の課題として、以下の 3 つが挙げられる。1 つめは、BTI ばらつき分布のパラメータ決定方法の確立と、電源電圧やプロセスなどの条件を変えた場合の提案手法の有効性の確認である。特にパラメータ決定方法については実測結果をもとに正確にモデル化することが求められる。2 つめは、提案した解析手法と従来手法の比較による評価である。これは計算速度、計算精度の観点から実施する必要があると考える。3 つめは、提案手法によって回路性能を評価し、高信頼性回路の設計指針を示すことである。これからの研究は上記の方針をもとに進めていく予定である。

謝辞 本研究は JSPS 科研費 15H02677 の助成を受けて実施したものである。本研究は東京大学大規模集積システム設計教育センターを通し、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社の協力で行われたものである。

参考文献

- [1] T. Grasser, "Stochastic charge trapping in oxides: From random telegraph noise to bias temperature instabilities", *Microelectronics Reliability*, Vol. 52, No. 1, pp. 39–70, (2012).
- [2] D. Angot, V. Huard, L. Rahhal, A. Cros, X. Federspiel, A. Bajolet, Y. Carminati, M. Saliva, E. Pion, F. Cacho, and A. Bravaix, "BTI variability fundamental understandings and impact on digital logic by the use of extensive dataset", *IEEE IEDM*, (2013), pp. 15.4.1–15.4.4.
- [3] A. Kerber, "Methodology for Determination of Process Induced BTI Variability in MG/HK CMOS Technologies Using a Novel Matrix Test Structure", *IEEE EDL*, Vol. 35, No. 3, pp. 294–296, (2014).
- [4] K. Ramakrishnan, S. Suresh, N. Vijaykrishnan, and MJ Irwin, "Impact of NBTI on FPGAs", *VLSI Design.*, (2007), pp. 717–722.
- [5] W. Wang, S. Yang, S. Bhardwaj, S. Vrudhula, F. Liu, and Y. Cao, "The Impact of NBTI Effect on Combinational Circuit: Modeling, Simulation, and Analysis", *IEEE Trans. on VLSI Systems*, Vol. 18, No. 2, pp. 173–183, (2010).
- [6] S. Desai, S. Mukhopadhyay, N. Goel, N. Nanaware, B. Jose, K. Joshi, and S. Mahapatra, "A comprehensive AC / DC NBTI model: Stress, recovery, frequency, duty cycle and process dependence", *IEEE IRPS*, (2013), pp. XT.2.1–XT.2.11.
- [7] T. Grasser, K. Rott, H. Reisinger, M. Wlatl, J. Franco, and B. Kaczer, "A Unified Perspective of RTN and BTI", *IEEE IRPS*, (2014), pp. 4A.5.1–4A.5.7.
- [8] T. Naphade, P. Verma, N. Goel, and S. Mahapatra, "DC / AC BTI variability of SRAM circuits simulated using a physics-based compact model", *IEEE IRPS*, (2014), pp. CA.2.1–CA.2.8.
- [9] P. Weckx, B. Kaczer, H. Kukner, J. Roussel, P. Raghavan, F. Catthoor, and G. Groeseneken, "Non-Monte-Carlo methodology for high-sigma simulations of circuits under workload-dependent BTI degradation - Application to 6T SRAM", *IEEE IRPS*, (2014), pp. 5D.2.1–5D.2.6.
- [10] D. Rodopoulos, P. Weckx, M. Noltsis, F. Catthoor, and D. Soudris, "Atomistic Pseudo-Transient BTI Simulation With Inherent Workload Memory", *IEEE TDMR*, Vol. 14, No. 2, pp. 704–714, (2014).
- [11] T. Tsunomura, A. Nishida, and T. Hiramoto, "Analysis of NMOS and PMOS Difference in VT Variation With Large-Scale DMA-TEG", *IEEE Trans. on Electron Devices*, Vol. 56, No. 9, pp. 2073–2080, (2009).
- [12] B. Kaczer, S. Mahato, V. Valduga de Almeida Carmargo, M. Toledano-Luque, Ph. J. Roussel, T. Grasser, F. Catthoor, P. Dobrovolny, P. Zuber, G. Wirth, and G. Groeseneken, "Atomistic approach to variability of bias-temperature instability in circuit simulation", *IEEE IRPS*, (2011), pp. XT.3.1–XT.3.5.
- [13] T. Grasser, B. Kaczer, W. Goes, H. Reisinger, T. Aichinger, P. Hehenberger, P.-J. Wagner, F. Schanovsky, J. Franco, P. Roussel, and M. Nelhiebel, "Recent advances in understanding the bias temperature instability", *IEEE IEDM*, (2010), pp. 4.4.1–4.4.4.
- [14] M. Toledano-Luque, B. Kaczer, J. Franco, P.J. Roussel, T. Grasser, T.Y. Hoffmann, and G. Groeseneken, "From mean values to distributions of BTI lifetime of deeply scaled FETs through atomistic understanding of the degradation", *VLSIT*, (2011), pp. 152–153.
- [15] K. Takeuchi, T. Nagumo, S. Yokogawa, K. Imai, and Y. Hayashi, "Single-charge-based modeling of transistor characteristics fluctuations based on statistical measurement of RTN amplitude", *VLSIT*, (2009), pp. 54–55.
- [16] T. Grasser, H. Reisinger, P.-J. Wagner, F. Schanovsky, W. Goes, and B. Kaczer, "The time dependent defect spectroscopy (TDDS) for the characterization of the bias temperature instability", *IEEE IRPS.*, (2010), pp. 16–25.
- [17] H. Reisinger, T. Grasser, W. Gustin, and C. Schlunder, "The statistical analysis of individual defects constituting NBTI and its implications for modeling DC- and AC-stress", *IEEE IRPS.*, (2010), pp. 7–15.
- [18] H. Miki, M. Yamaoka, N. Tega, Z. Ren, M. Kobayashi, C. P. D'Emis, Y. Zhu, D. J. Frank, M. A. Guillorn, D.-G. Park, W. Haensch, and K. Torii, "Understanding short-term BTI behavior through comprehensive observation of gate-voltage dependence of RTN in highly scaled high-k/metal-gate pFETs", *VLSIT*, (2011), pp. 148–149.
- [19] M. Toledano-Luque, B. Kaczer, Ph.J. Roussel, T. Grasser, G.I. Wirth, J. Franco, C. Vrancken, N. Horiguchi, and G. Groeseneken, "Response of a single trap to AC negative Bias Temperature stress", *IEEE IRPS.*, (2011), pp. 4A.2.1–4A.2.8.
- [20] "Predictive Technology Model", <http://ptm.asu.edu/>.
- [21] S. Tsukiyama, M. Tanaka, and M. Fukui, "An algorithm for statistical static timing analysis considering correlations between delays", *IEICE TRANS. on Fund. of ECCS*, Vol. 84, No. 11, pp. 2746–2754, (2001).
- [22] X. Xi, M. Dunga, J. He, W. Liu, K.M. Cao, X. Jin, J.J. Ou, M. Chan, A.M. Niknejad, and C. Hu, "BSIM4. 3.0 MOSFET Model User; s Manual", *University of California, Berkeley*, (2003).
- [23] M. Yabuuchi and K. Kobayashi, "Circuit Characteristic Analysis Considering NBTI and PBTI-Induced Delay Degradation", *IEEE IMFEDK*, (2012), pp. 72–73.