

## 再構成可能なリングオシレータを用いた ランダムテレグラフノイズの統計解析

中井 辰哉<sup>1</sup>, イスラム マーフズル<sup>2</sup>, 小野寺 秀俊<sup>1</sup>

<sup>1</sup> 京都大学大学院情報学研究科

<sup>2</sup> 東京大学生産技術研究所

{tnakai,onodera}@vlsi.kuee.kyoto-u.ac.jp

mahfuzul@iis.u-tokyo.ac.jp

### 概要

本稿では、回路動作中のスイッチング状態で発生するランダムテレグラフノイズ (RTN) によるトランジスタ閾値電圧変動の統計モデルを構築する。統計的モデル化において、モデルパラメータのトランジスタサイズ依存性に注目し、サイズの異なるトランジスタの評価結果よりその依存性を抽出する。統計量の取得に、nMOS と pMOS を独立に評価可能な再構成可能なリングオシレータを用い、感度解析により遅延分布を閾値電圧変動分布に換算する。65-nm CMOS プロセスにて試作したチップを用いた測定結果を元に、RTN による閾値電圧変動分布が対数正規分布で良く表現できる事を示し、対数正規分布の各パラメータのサイズ依存性について考察を行う。RTN の統計モデルを用いることにより、時間的に変動する回路遅延の統計的解析が可能になる。

## Statistical Analysis of Random Telegraph Noise with Reconfigurable Ring Oscillator

Tatsuya Nakai<sup>1</sup>, A.K.M. Mahfuzul Islam<sup>2</sup>, Hidetoshi Onodera<sup>1</sup>

<sup>1</sup> Graduate School of Informatics, Kyoto University.

<sup>2</sup> Institute of Industrial Science, the University of Tokyo

### Abstract

This paper proposes a compact statistical model for RTN (Random Telegraph Noise) induced transistor threshold voltage fluctuation. We focus on the dependency of model parameters to the transistor size and extract the dependency through statistical evaluation using a reconfigurable ring oscillator (RO). Using the reconfigurable ring oscillator, we could evaluate nMOS and pMOS transistors independently. The observed delay distributions with a 65-nm test chip are translated to threshold voltage distributions utilizing sensitivity analysis. We report that log-normal distribution can be used to model RTN induced threshold variability. The size dependency of model parameters are then extracted and compared for nMOS and pMOS.

### 1 序論

近年、集積回路の高性能化のための製造プロセスの微細化と省電力化のための低電圧化が進んできている。それに伴い、トランジスタの特性変動の影響は増大し、信頼性の高いシステムを設計することはますます困難になってきている。トランジスタ特性ばらつきには、静的ばらつきと動的ばらつきがある。静的ばらつきは製造時に発生する特性ばらつきである。一方、動的ばらつきは時間とともにトランジスタ特性が変化するものである。動的ばらつきの中でもランダムテレグラフノイズ (Random Telegraph Noise, RTN) は閾値電圧を動的に変動する現象であり、その変動量はトランジスタサイズに反比例して増大する [1]。従って、微細化と共に RTN による

特性変動が大きくなり、安定動作を保障するためには、回路設計時にその影響を考慮する必要がある。RTN は絶縁膜中の欠陥に起因するランダムな現象であり、回路設計時に各種回路パラメータの依存性を組み込んだコンパクトモデルが必要である。

RTN の影響を考慮した回路設計に、RTN による閾値電圧変動量を表現するコンパクトな統計モデルは有効である。モデルの検証にも大量の測定データを用いて行う必要があるため、効率の良い実測と解析方法が求められる。本研究では、再構成可能なリングオシレータ (RO) によって効率良く多数のトランジスタにおける RTN を観測する。RTN によって生じたしきい値電圧変動量の分布を対数正規分布で近似できることを示す。次に、nMOS と pMOS の3種類のトランジスタサイズにおけるモデルパラ

メータを抽出し、サイズ依存性を調べる。

2章では RTN の発生機構と統計モデル化について述べる。3章では再構成可能なリングオシレータによる遅延揺らぎの測定方法と遅延揺らぎから閾値電圧変動を推定する手法について述べる。4章では、65-nm CMOS プロセスの評価チップを用いた RTN の測定結果及びモデルパラメータのサイズ依存性について考察を行う。5章で本研究の結論を述べる。

## 2 ランダムテレグラフノイズの統計モデル

### 2.1 ランダムテレグラフノイズ

MOS トランジスタのゲート酸化膜に欠陥が存在し、その欠陥にチャンネル中のキャリアが捕獲されたり放出されたりする現象が発生する。その結果、チャンネルのポテンシャルが変化し、閾値電圧が変動する。チャンネルの面積が大きい場合、チャンネルに大電流が流れるため、RTN の影響は比較的に無視できる。しかし、微細化と共にチャンネルの面積が小さくなっていくと、トラップ1つの影響が顕著に現れ始め、離散的な特性変動となる。このような離散的な変動を RTN として分類されており、SRAM やフラッシュメモリやイメージセンサーのように微細デバイスを大量に集積化する回路においてすでに問題とされている。そして、RTN がデジタル回路の性能にも影響を与えるようになっている [2]。

### 2.2 統計モデル

RTN による閾値電圧変動量の評価において、トラップあたりの変動量をモデル化し、トラップの数とトラップされる確率を元に閾値電圧変動量を見積もる方法がある [3]。しかし、回路設計時のマージンを設ける際に、RTN により発生し得る最大の閾値電圧変動量が重要である。そこで、本研究ではデバイスごとに発生する閾値電圧変動最大値に注目し、変動量の統計的な振る舞いを再現できる統計モデルを検討する。RTN による変動量を再現する統計分布として指数分布と対数正規分布が検討されている [3, 4]。指数分布は自由度が1つあり、対数正規分布は自由度が2つある。4章の実測結果は対数正規分布でよく表現できることから、その分布形状を表わすパラメータのトランジスタサイズ依存性の検討を行う。

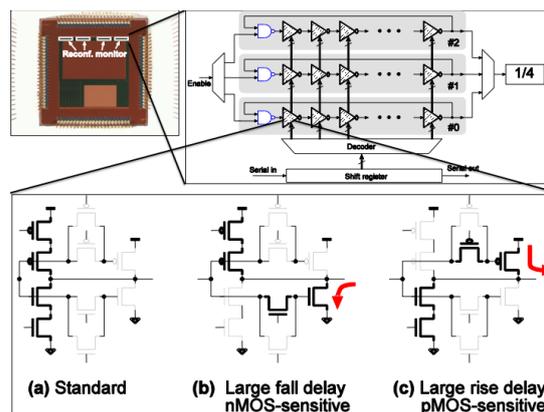


図 1: 65-nm CMOS プロセスに実装した再構成可能なリングオシレータ回路。

## 3 再構成可能リングオシレータによる閾値電圧変動の評価

### 3.1 再構成可能リングオシレータ

RTN の評価に次のような測定が必要である。

1. 同じデバイスの長時間測定。
2. 大量のデバイスの測定。

以上より、RTN の実測による評価は時間とコストがかかる。従来は、単体デバイスの  $I-V$  特性を評価する方式をとっているが、回路遅延を模擬する観点からリングオシレータを用いた評価手法もある。しかし、リングオシレータを用いた場合、デバイスごとの評価ができなくなり、閾値電圧変動の評価が難しくなる。そこで、本研究では、RTN の測定のために図 1 に示すような再構成可能なリングオシレータ (RO) [5, 6] を用いた。RO はトポロジー可変なインバータからなっており、各インバータ段のトポロジーを制御信号により動的に変えることができる。本 RO の遅延セルは、制御信号により図 1 (a)(b)(c) の 3 種類の回路構造に設定可能である。図 1 (a) は、立ち上がり遅延と立ち下がり遅延が同じ程度となる構造である。この構造の遅延は標準的に使うインバータ遅延特性を模擬しており、インバータを構成するトランジスタの閾値電圧変動に対対する感度は比較的低い。図 1 (b) は、入力とプルダウン nMOS のゲート間に nMOS パストラジスタを挿入した構造である。パストラジスタによるしきい値電圧分の電圧降下により、立ち下がり遅延が増大する。また、パストラジスタおよびプルダウントランジスタのしきい値電圧変動に対して、立ち下がり遅延時間は高い感度をもつ。図 1 (c) は、図 1 (b) の相補構造であり、立ち上がり遅延時間は、pMOS トランジスタ

タのしきい値電圧に対する感度が高い。これらの感度の異なる回路構造をインバータ段ごとに独立に構成することで、インバータ間の遅延ばらつきが評価可能となる。

### 3.2 インバータ間の遅延ばらつきの評価方法

1 個の再構成可能な RO を用いた多数のサンプルの評価方法について説明する。RO 中のただ 1 個の遅延セルのみを図 1 (b) もしくは図 1 (c) の構成として、他の遅延セルを図 1(a) の構成とした RO を考える。このような構成を非均質な RO と言い、非均質なインバータ段の特性が RO の遅延特性に支配的になる。nMOS に敏感な非均質なインバータ段を RO 内のすべてのインバータ段をスキャンしながら測定を行うと、 $N$  段インバータからなる RO から  $N$  通りの発振周波数が取得できる。 $N$  個の測定データの統計分布は  $N$  個のインバータ内の nMOS に起因する特性変動の関数となる。

次に、評価回路の再構成可能な性質を利用し、非均質なインバータ段におけるシリコン上の遅延を推定する。 $N$  段からなる RO において、 $j$  番目のインバータ段のみを nMOS に敏感な構成にしたときに、インバータチェーンを伝搬する遅延を次のように表すことができる。

$$D^j \approx \sum_{i=0, i \neq j}^{N-1} (d_{\text{fall}}^i + d_{\text{rise}}^i) + d_{\text{rise}}^j + d_{\text{fall}}^j = D_0^j + d_{\text{fall}}^j \approx D_0 + d_{\text{fall}}^j. \quad (1)$$

ここで、 $d_{\text{fall}}^j$  は  $j$  番目のインバータ段を nMOS に敏感な構成したときの立ち下がり遅延で、 $D_0^j$  は非均質なインバータ段の遅延以外のインバータの遅延の総和である。 $D_0$  は標準構成のインバータからなる均質な構成にした時の遅延である。標準構成のインバータ遅延は感度が低く、段数も大きい場合、 $D_0^j$  と  $D_0$  はほとんど同じ値をとる。そして、非均質な構成における実測値とシミュレーションにより見積もった値との差  $\Delta D^j$  は次のように表現できる。

$$\begin{aligned} \Delta D^j &= D_{\text{meas}}^j - D_{\text{TT}}^j \\ &= (D_{0,\text{meas}}^j + d_{\text{fall},\text{meas}}^j) - (D_{0,\text{TT}}^j + d_{\text{fall},\text{TT}}^j) \\ &= (D_{0,\text{meas}}^j - D_{0,\text{TT}}^j) + (d_{\text{fall},\text{meas}}^j - d_{\text{fall},\text{TT}}^j). \end{aligned} \quad (2)$$

従って、非均質なインバータ段の測定値とシミュレーション値との差分  $\Delta d^j$  は次ように求めることがで

きる。

$$\begin{aligned} \Delta d^j &= d_{\text{fall},\text{meas}}^j - d_{\text{fall},\text{TT}}^j \\ &= (D_{\text{meas}}^j - D_{\text{TT}}^j) - (D_{0,\text{meas}} - D_{0,\text{TT}}). \end{aligned} \quad (3)$$

ここで、 $D_{\text{meas}}^j$  と  $D_{\text{TT}}^j$  は非均質な構成の場合の遅延の測定値とシミュレーション値であり、 $D_{0,\text{meas}}$  と  $D_{0,\text{TT}}$  は均質な構成の場合の測定値とシミュレーション値である。以上より、非均質なインバータ段を変えながら測定を行うと、非均質なインバータ段間の遅延の分布を取得できる。

### 3.3 閾値電圧変動の統計分布の推定手法

本稿では、RTN により発生し得る最大遅延変動のモデル化に注目し、図 2 の最大周波数と最小周波数から遅延変動を定義する。nMOS に敏感な非均質な構造を例に、発振周波数の揺らぎの分布から遅延変動量の分布を取得する方法を説明する。ある特定のインバータ段の nMOS パストランジスタにおける閾値電圧変動量を  $\Delta V_{\text{tn1}}$ 、パストランジスタがゲートに繋がっているプルダウントランジスタの閾値電圧変動量を  $\Delta V_{\text{tn2}}$  とする。発振周波数の最大値  $F_{\text{max}}$  と最小値  $F_{\text{min}}$  より、あるインバータ段を非均質な構成にした時の RTN による遅延変動量  $\Delta D$  は、式 (4) で表わされる。

$$\Delta D = 1/F_{\text{min}} - 1/F_{\text{max}}. \quad (4)$$

次に、遅延変動の分布から閾値電圧の分布を推定する手法を説明する。遅延変動量  $\Delta D$  を感度係数を用いて次の線形近似を行う。

$$\Delta D = k_1 \Delta V_{\text{tn1}} + k_2 \Delta V_{\text{tn2}}. \quad (5)$$

ここで、パストランジスタとプルダウントランジスタの寸法が同一の場合、 $\Delta V_{\text{tn1}}$  と  $\Delta V_{\text{tn2}}$  は同じ統計分布に従うと仮定できる。 $\Delta D$  の統計分布より  $V_{\text{tn}}$  の統計分布を抽出する際に、2 つの感度係数である  $k_1$  と  $k_2$  が必要である。 $k_1$  と  $k_2$  は固定値でなく、トランジスタのばらつきにより異なる。そこで、式 (4) を次のように変形する。

$$\begin{aligned} \frac{\Delta D}{k_1} &= \Delta V_{\text{tn1}} + \frac{k_2}{k_1} \Delta V_{\text{tn2}} \\ &= \Delta V_{\text{tn1}} + \alpha \Delta V_{\text{tn2}}. \end{aligned} \quad (6)$$

ここで、 $k_1$  はインバータ段の遅延ばらつきに依存するが、2 つの感度係数の比である  $\alpha = \frac{k_2}{k_1}$  は評価回路のトポロジー上の性質により一定となる。プルダウントランジスタのしきい値電圧に対する遅延感度  $k_1$  は、チップ内ばらつきの量を考慮して求める。チップ内ばらつきは式 (3) により評価する。

$\frac{\Delta D}{k_1}$  は対数正規分布  $\mathcal{LN}(\mu_{\frac{\Delta D}{k_1}}, \sigma_{\frac{\Delta D}{k_1}}^2)$  に従い、RTN によるしきい値電圧変動は  $\mathcal{LN}(\mu_{\Delta V_{th}}, \sigma_{\Delta V_{th}}^2)$  に従うと仮定すると、文献 [7] より  $\mu_{\Delta V_{th}}$  と  $\sigma_{\Delta V_{th}}^2$  は  $\mu_{\frac{\Delta D}{k_1}}$ 、 $\sigma_{\frac{\Delta D}{k_1}}^2$ 、 $\alpha$  を用いて次の式で求められる。

$$\sigma_{\Delta V_{th}}^2 = \log \left( \frac{(1 + \alpha)^2 \exp(\sigma_{\frac{\Delta D}{k_1}}^2) - 2\alpha}{1 + \alpha^2} \right), \quad (7)$$

$$\mu_{\Delta V_{th}} = \mu_{\frac{\Delta D}{k_1}} - \frac{\sigma_{\Delta V_{th}}^2}{2} - \log(1 + \alpha) + \frac{\sigma_{\frac{\Delta D}{k_1}}^2}{2}. \quad (8)$$

## 4 実測に基づく RTN による閾値電圧の統計モデルの検証

### 4.1 搭載回路と測定条件

本稿では、65-nm プロセスにて実装した再構成モニタ回路を用いて実測を行う。1 つチップにサイズの異なる 3 種類の 127 段 RO を搭載し、nMOS と pMOS 別に評価を行う。1 つ目の RO は、nMOS と pMOS のそれぞれのゲートサイズは 120 nm である。2 つ目の RO は、nMOS のサイズは 240 nm で、pMOS のサイズは 360 nm である。3 つ目は、nMOS のサイズは 360 nm で、pMOS のサイズは 240 nm である。これにより、nMOS と pMOS それぞれにおいて、120 nm、240 nm と 360 nm のサイズのトランジスタを評価可能となっている。127 段の RO より初段の NAND ゲートと最終段のインバータをバッファとして用いるため、125 個のインバータ段の遅延変動を評価する。サンプル数を増やすために、各 RO を同一チップ上に 4 つずつ搭載し、4 つの RO から合計で 500 個の測定サンプルを得る。

RO の発振周波数はチップの外でカウントする。測定の積分時間は 1 ms とし、ある RO 構成を 30 s 測定する。すなわち、時定数が 1 ms から 30 s の間に存在する欠陥による閾値変動を測定可能である。電源電圧は 0.8 V に設定し、低電源電圧動作における RTN の評価を目標にしている。

### 4.2 遅延変動の測定結果

図 2 に、特定の nMOS に敏感な RO 構成の場合の周波数測定例を示す。横軸は時間で、縦軸は周波数を表す。図において、時間と共に周波数が変動しており、離散的な 2 つの周波数と微小変動を高い頻度で繰り返している周波数変動が観測される。30 s の間に観測された周波数より最大周波数と最小周波数から遅延変動  $\Delta D$  を抽出し、500 個のサンプルより nMOS と pMOS 別の統計分布を取得する。

図 3 および図 4 に遅延変動分布の Q-Q プロットを、トランジスタの寸法 (120 nm, 240 nm, 360 nm)

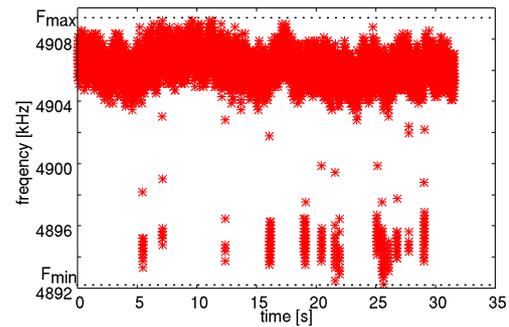


図 2: RTN によるリングオシレータの周波数変動の例。

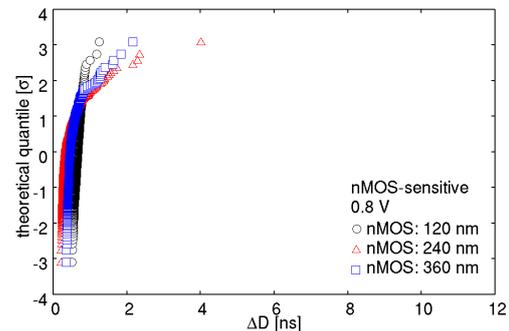


図 3: nMOS に敏感な回路構造における遅延変動量の Q-Q プロット。

ごとに示す。図 3 は nMOS トランジスタの結果であり、図 4 は pMOS トランジスタの結果である。縦軸は標準正規分布であり、観測結果は右に長い尾を引いていることがわかる。

### 4.3 閾値電圧の統計モデルの評価

図 3 と図 4 の遅延変動分布より閾値電圧変動の分布を抽出するために、まず  $\frac{\Delta D}{k_1}$  の分布を導出する。 $\frac{\Delta D}{k_1}$  の分布が対数正規分布に従うことを示し、対数正規分布により RTN による閾値電圧変動のモデル化が可能であることを示す。そして、各サイズのトランジスタは  $\mathcal{LN}(\mu, \sigma^2)$  の対数正規分布に従うと

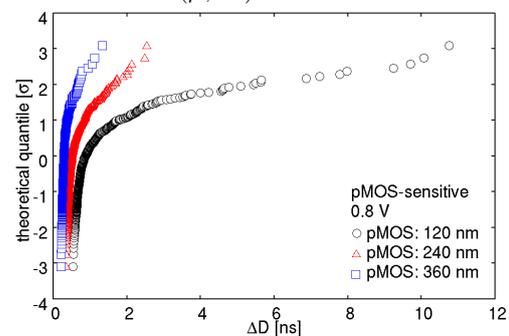


図 4: pMOS に敏感な回路構造における遅延変動量の Q-Q プロット。

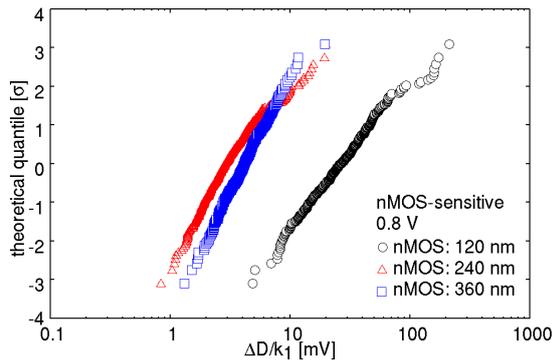


図 5: nMOS に敏感な回路構造における  $\frac{\Delta D}{k_1}$  の分布。

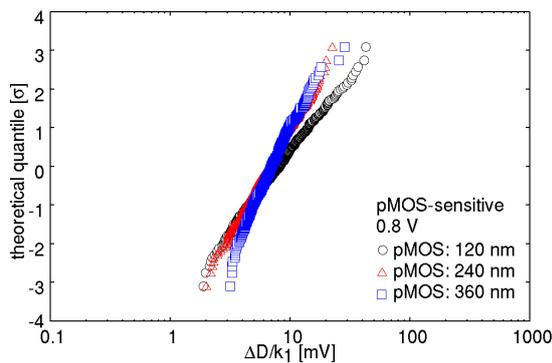


図 6: pMOS に敏感な回路構造における  $\frac{\Delta D}{k_1}$  の分布。

仮定し、 $\frac{\Delta D}{k_1}$  の分布より対数正規分布の  $\mu$  と  $\sigma$  を推定する。

図 5 に nMOS の閾値電圧変動に対応する抽出した  $\frac{\Delta D}{k_1}$  の Q-Q プロットを示す。横軸は対数スケールで示しており、縦軸は標準正規分布を表している。分布の形状がほぼ直線となっていることから、抽出された  $\frac{\Delta D}{k_1}$  は対数正規分布に従っている。同様に、図 6 に pMOS の閾値電圧変動に対応する  $\frac{\Delta D}{k_1}$  の Q-Q プロットを示す。nMOS の場合と同様に、pMOS の場合の  $\frac{\Delta D}{k_1}$  も対数正規分布に従っている。従って、RTN による閾値電圧の変動量を対数正規分布で表現できる。

次に、nMOS と pMOS において  $\frac{\Delta D}{k_1}$  より閾値電圧の変動量と統計モデルとして対数正規分布の  $\mu$  と  $\sigma$  と表 1: nMOS と pMOS における  $\mu_{\frac{\Delta D}{k_1}}$ 、 $\sigma_{\frac{\Delta D}{k_1}}$ 、 $\mu_{\Delta V_{th}}$ 、 $\sigma_{\Delta V_{th}}$  の推定値。

	nMOS [nm]			pMOS [nm]		
	120	240	360	120	240	360
$\mu_{\frac{\Delta D}{k_1}}$	3.3	1.1	1.4	2.1	1.9	2.0
$\sigma_{\frac{\Delta D}{k_1}}$	0.59	0.50	0.38	0.57	0.43	0.35
$\mu_{\Delta V_{th}}$	2.2	0.16	0.51	1.1	0.96	1.0
$\sigma_{\Delta V_{th}}$	0.76	0.66	0.51	0.75	0.57	0.47

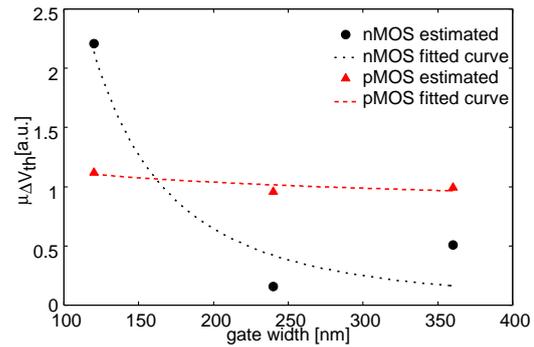


図 8: 推定した閾値電圧変動量における対数正規分布のパラメータ  $\mu_{\Delta V_{th}}$  のゲートサイズ依存性。

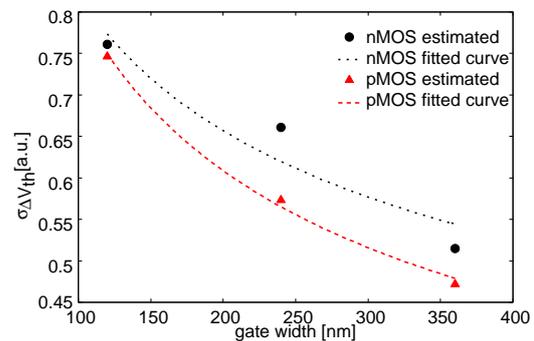


図 9: 推定した閾値電圧変動量における対数正規分布のパラメータ  $\sigma_{\Delta V_{th}}$  のゲートサイズ依存性。

$\sigma$  を推定する。表 1 に各サイズにおける推定した  $\mu$  と  $\sigma$  の値を nMOS と pMOS 別に示す。表に参考までに  $\frac{\Delta D}{k_1}$  の場合の  $\mu$  と  $\sigma$  も示している。

#### 4.4 統計モデルの検証

閾値電圧変動を対数正規分布によるモデル化の妥当性を検証する。表 1 に示した対数正規分布の  $\mu$  と  $\sigma$  から閾値電圧変動をモンテカルロ法により生成し、遅延式より  $\frac{\Delta D}{k_1}$  の再現性を評価する。対数正規分布に従う時の閾値電圧変動の振る舞い  $\frac{\Delta D}{k_1}$  の振る舞いを再現できれば、モデルの妥当性が示される。図 7 に測定結果より得られた  $\frac{\Delta D}{k_1}$  の分布とモンテカルロシミュレーションにより得られた  $\frac{\Delta D}{k_1}$  の分布を比較する。2つの方法で得られた分布の形状が一致しており、閾値電圧変動のモデルとして対数正規分布が妥当であることが確認される。

#### 4.5 モデルパラメータのサイズ依存性

図 8 に、トランジスタチャネル幅に対する  $\mu$  の値を示す。pMOS トランジスタの場合は、トランジスタ幅の増加とともに僅かに減少していた。一方、nMOS トランジスタの場合には値の変化も大きく、変化も単調ではない。トランジスタ幅の変化に対するしきい値電圧の変化をシミュレーションにより調

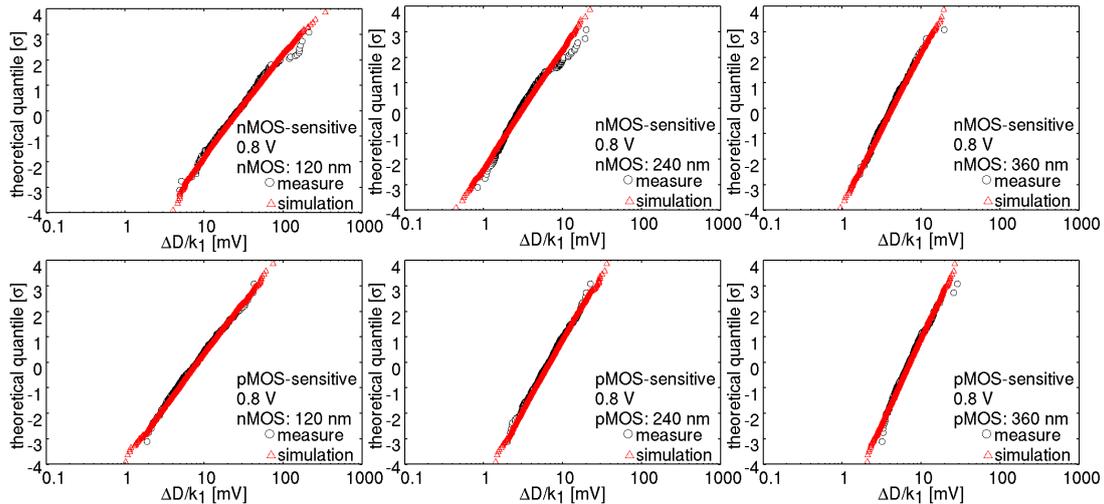


図 7: 測定した  $\frac{\Delta D}{k_1}$  分布とモデルより生成した  $\frac{\Delta D}{k_1}$  分布の比較。

べたところ、pMOS トランジスタの場合にはあまり変化は見られなかったが、nMOS トランジスタは非常に大きく変化していた。従って、幅の異なる nMOS トランジスタは、その特性が大きく異なっており、幅依存性の評価には適していないと考えられる。図 9 に、トランジスタチャネル幅に対する  $\sigma$  の値を示す。チャネル幅増加とともに  $\sigma$  は小さくなっている。チャネル幅依存性を求めたところ、nMOS の場合には 0.32 乗、pMOS の場合には 0.41 乗に反比例していた。

## 5 結論

本研究では、65-nm CMOS プロセスにて実装した再構成可能なリングオシレータを用いて、RTN によるトランジスタ閾値電圧の変動量の統計解析を行い、nMOS と pMOS における閾値電圧変動量は対数正規分布で表現できることを示した。次に、3 種類の異なるゲートサイズのトランジスタの分布を評価し、対数正規分布の 2 つのパラメータである  $\mu$  と  $\sigma$  を評価した。pMOS に場合、 $\mu$  はゲートサイズ依存性がなく、 $\sigma$  はゲートサイズの 0.4 乗に反比例する結果が得られた。RTN による閾値電圧変動の統計モデルにより、時間的に変動する回路遅延の統計解析が可能となる。

## 謝辞

本研究の一部は科研費 (B-25280014) の支援による。本チップ試作は東京大学大規模集積システム設計教育研究センターを通し 株式会社 イー・シャトルおよび富士通セミコンダクター (株) の協力で行われたものである。

## 参考文献

- [1] N. Tega, H. Miki, and F. Pagette, "Increasing Threshold Voltage Variation due to Random Telegraph Noise in FETs as Gate Lengths Scale to 20 nm," in *Symposium on VLSI Technology*, 2009, pp. 50–51.
- [2] K. Ito, T. Matsumoto, S. Nishizawa, H. Sunagawa, K. Kobayashi, and H. Onodera, "The Impact of RTN on Performance Fluctuation in CMOS Logic Circuits," in *International Reliability Physics Symposium*, Apr. 2011, pp. 710–713.
- [3] S. Realov and K. L. Shepard, "Analysis of Random Telegraph Noise in 45-nm CMOS Using On-Chip Characterization System," *IEEE Transactions on Electron Devices*, vol. 60, no. 5, pp. 1716–1722, May 2013.
- [4] K. Takeuchi, T. Nagumo, S. Yokogawa, K. Imai, and Y. Hayashi, "Single-Charge-Based Modeling of Transistor Characteristics Fluctuations Based on Statistical Measurement of RTN Amplitude," in *Symposium on VLSI Circuits and Technology*, 2009, pp. 54–55.
- [5] A. M. Islam and H. Onodera, "Area-efficient Reconfigurable Ring Oscillator for Device and Circuit Level Characterization of Static and Dynamic Variations," *Japanese Journal of Applied Physics*, vol. 53, no. 4S, pp. 04EE08–1–8, 2014.
- [6] A. K. M. M. Islam and H. Onodera, "In-Situ Variability Characterization of Individual Transistors Using Topology-Reconfigurable Ring Oscillators," in *International Conference on Microelectronic Test Structures*, 2014, pp. 121–126.
- [7] N. Beaulieu, A. Abu-Dayya, and P. McLane, "Comparison of Methods of Computing Lognormal Sum Distributions and Outages for Digital Wireless Applications," in *IEEE International Conference on Communications*, May 1994, pp. 1270–1275 vol.3.