

積層型 NOR MRAM の検討

玉井 翔人† 渡辺 重佳‡

湘南工科大学大学院電気情報工学専攻† 湘南工科大学‡

1. まえがき

ユニバーサルメモリには低コスト、高速性能、不揮発の要素が求められる。過去、その候補としてチャンネル部に情報を記憶するスピントランジスタを用いた積層型 NAND MRAM が提案されている(1)。この方式は低コスト化が実現出来る反面、積層数が増えると、読出し時間が増大し、また誤読み出ししないという条件では積層数の上限が 64 段に制限されるという問題があった。それに対し、本発表ではドレインに情報を記憶するスピントランジスタを用いた積層型 NOR MRAM を新たに提案する。NOR 型の構成の為 NAND 構成と異なり読み出しによる積層数の制限が無く、NAND 構成と比べ高速に動作する。今回、メモリセル構成と、その動作速度を NAND 構成と比較して見積った。

2. 検討に用いたスピントランジスタ

Fig. 1 (A)に NOR 型に用いたスピントランジスタを示す(2)。ソース部分を固定層、ドレイン部分を自由層としドレイン部分に情報を記憶する。NAND 構造ではソースとドレインのスピンの方向が同一になる構成が望ましいためチャンネル部に情報を記憶していた(3)。今回の NOR 構成では書き込み方式が異なる為(A)方式のスピントランジスタを用いる。スピントランジスタは固定層と自由層でスピンの向きが平行か反平行かで抵抗値が変わり、スピンの状態に関わらずしきい値電圧は同じになるという特徴を持っている。

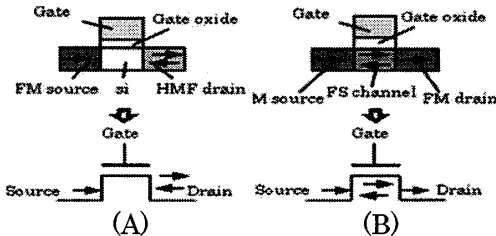


Fig.1 Spin transistor and Equivalent circuit

study of stacked NOR MRAM

†Shouto TAMAI, Shonan Institute of Technology

‡Shigeyoshi WATANABE, Department of Information Science, Shonan Institute of Technology

3. 積層型 NOR MRAM の構成

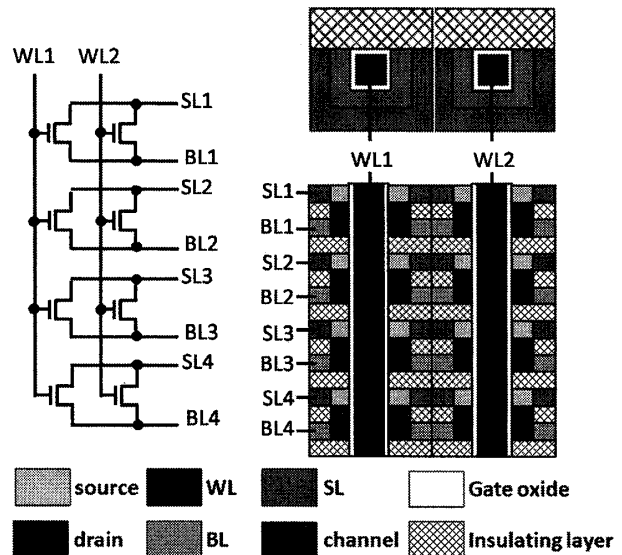


Fig.2 Stacked NOR type MRAM
(A) equivalent circuit
(B) Cross-sectional view (C) Top view

BiCS 型フラッシュメモリで示されたように(4)、積層型では NAND 構成は実現しやすいが NOR 構成では一般的に困難である。今回 Fig.2 に示す積層型 NOR 構成を初めて提案した。Fig.2(A)に NOR 型の回路図を示す。通常の NOR 型メモリセルでソースとドレインを独立して制御する方式となっている。これは書き込みにスピン注入を用い、ソースとドレイン間でスピン注入するためである(5)。この NOR 型の回路を積層して積層型 NOR MRAM を実現する(Fig.2 では簡単化のため 4 段積層したイメージである)。その断面図を Fig.2(B)、上面図を Fig.2(C)に示す。メモリセルには内側のゲート電極を取り囲む形の 3 側面をチャンネルとして用いる縦型トランジスタを用いる(6)。ソースとドレインをメモリセル間で接続する SL と BL は横方向に形成し側壁部分でメモリセルと接続される。この新たなメモリセル構成を用いる事により初めて積層構造を用いているにも関わらずセルサイズを 9F2 での微細な面積に抑えつつ NOR 型の動作が可能になっ

た。BiCS 型フラッシュメモリ同様工程数削減のために、ワード線形成は 4 段分 SL、BL 積層後一括して行う。NAND 構成では 4 段分 WL を積層するのに対し、NOR 構成では 4 段分 SL と BL を積層する必要があり若干工程数が増加する。読み出しは BL にスピントランジスタの抵抗の大きさを情報として読み出す。書き込みは、任意の BL と SL に電位差を設け、選択セルのゲートの電圧を制御し、ドレイン、ソース間に電流を流し情報を書き込むスピン注入方式を用いる。

4. NOR 型と NAND 型の読み出し時間の比較

以下シミュレーションで得られたスピントランジスタの V_d - I_d 特性(2)等から動作速度の見積もりを行った。セルの読み出し時間を T_{READ} として Fig.3 に NOR 型と NAND 型の比較を示す。NOR 型の T_{READ} は総抵抗値(BL、SL の抵抗と、トランジスタの抵抗と縦方向の配線の抵抗の和)と、BL と SL の容量の和の積として求めた。BL と SL のシート抵抗を $5\Omega/\square$ 、デザインルール $F=39nm$ 、 $TOX=0.7nm$ として求めた。抵抗値はトランジスタ部で $0.6k\Omega$ 、メモリセルを横方向に 8 千個繋げると仮定してメモリセルの BL、SL 配線部で $7.2k\Omega$ 、メモリセル側壁からデコーダ等の回路に接続する段数に比例した縦方向の長さの配線部で最大 $2k\Omega$ の合計 $9.8k\Omega$ 、容量はセル部分の MOS 容量及び PN 接合の合計 $0.183pF$ を用いた。チャネル幅は 3 側面を用いる構造を考慮し $117nm$ とした。NAND 型は同一デザインルールの積層型 NAND MRAM の読み出し時間(1)を用いた。過去提案された NAND 構造では積層数分だけドレイン電圧が分圧されてしまうため、一つ当たりのトランジスタに印加されるドレイン電圧が非常に小さな値になっていた。それに対し今回提案する NOR 構造では積層数に依存せず、ドレイン電圧は常に一つのトランジスタに印加されるため、NAND 構造に比べ高速動作出来る。Fig.3 に比較結果を示す。NOR 構造では NAND 構造よりも読み出し時間は 1 桁以上小さく、段数依存性も小さい。これはトランジスタの抵抗値の差による物である(約 $0.6k\Omega$ に対し約 $20k\Omega$ と大きい)。NAND 構成では抵抗は段数に比例し、ソースドレイン間電圧が小さくなる(約 $0.05V$)のに対して、NOR 構成では抵抗は段数に依存せず、ソースドレイン間電圧も $0.6V$ と大きく出来るため読み出し時間に大きな差が生じた。

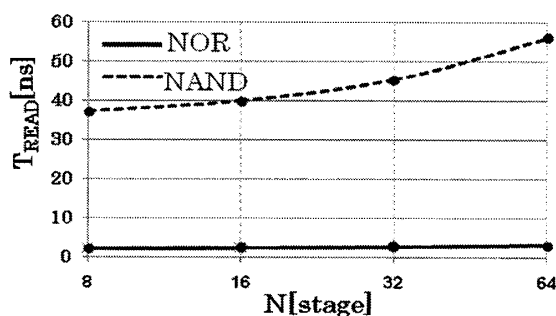


Fig.3 Comparison of read time

5. むすび

今回、積層型 NOR MRAM を新たに提案し、その読み出し時間を NAND 型と比較検討した。NAND 構造と比べて、構造が複雑になる為に工程数が若干増加するが、積層数を増やしても読み出し時間が大きく増えず、3ns 程度と高速に動作出来る事が分かった。

文献

- (1)玉井、渡辺、“スピントランジスタを用いた積層型 NAND MRAM の読み出し法の検討”電子通信情報学会論文誌 C, vol. J91-C, no.11, pp.666-667
- (2)S. Sugahara and M. Tanaka, “A Spin Metal-Oxide-Semiconductor Field-effect Transistor Using Half-Metallic-Ferromagnet Contacts for the Source and Drain” Appl. phys. lett. vol.84, no.13, pp.2307-2309, 2004
- (3)S. Sugahara and M. Tanaka, “A Spin Metal-Oxide-Semiconductor Field-Effect Transistor (Spin MOSFET) with a Ferromagnetic Semiconductor for the Channel” J.Appl. phys. vol.97, no.10, pp. 10D503/1- 10D503/3, 2005
- (4)H. Tanaka et al., “Bit Cost scalable Technology with Punch and Plug Process for Ultra High Density Flash Memory” Symp. on VLSI Technology ,2007
- (5)M. Tanaka and S. Sugahara, “A Spin Metal-Oxide-Semiconductor Field-Effect Transistor (Spin MOSFET) with a Ferromagnetic Semiconductor for the Channel” IEEE Trans. on Electron Devices, vol.54, no.5, pp.961-976, 2007.
- (6)A.H.Shah et al, “4-Mbit DRAM with trench-transistor cell” IEEE J. Solid-State Circuits, vol.21, no.5, pp.618-625, 1986